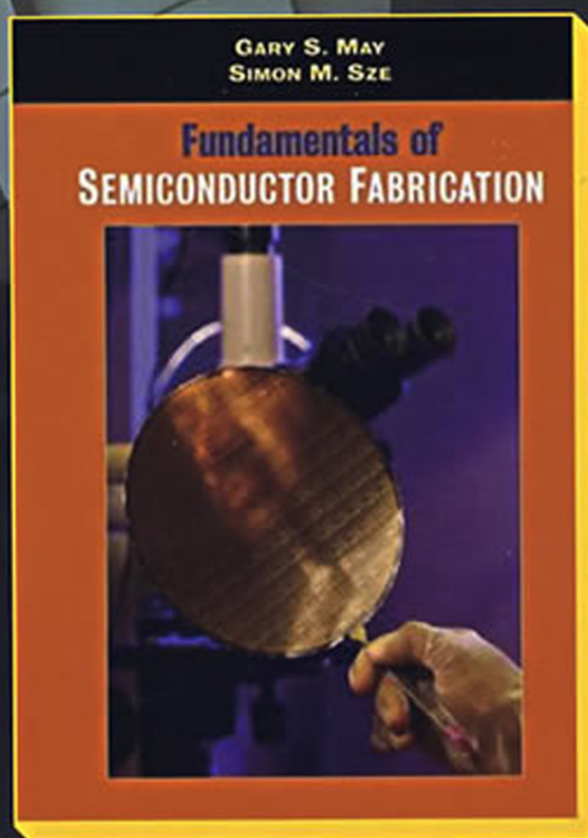
TURING 图灵电子与电气工程丛书

WILEY

半导体制造基础

Fundamentals of Semiconductor Fabrication

[美] Gary S. May 施敏 著
代永平 译



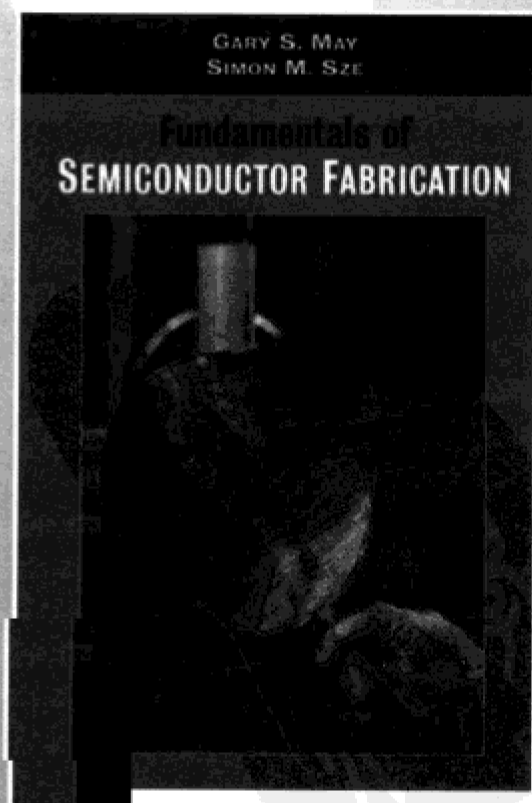
人民邮电出版社
POSTS & TELECOM PRESS

TURING 图灵电子与电气工程丛书

半导体制造基础

Fundamentals of Semiconductor Fabrication

[美] Gary S. May 施敏 著
代永平 译



人 民 邮 电 出 版 社
北 京

图书在版编目（CIP）数据

半导体制造基础 /（美）梅（May, G. S.），（美）施敏（Sze, S. M.）著；代永平译. —北京：人民邮电出版社，2007.11
（图灵电子与电气工程丛书）
ISBN 978-7-115-16639-5

Ⅰ. 半… Ⅱ. ①梅…②施…③代… Ⅲ. 半导体工艺－高等院校－教材 Ⅳ. TN305

中国版本图书馆 CIP 数据核字（2007）第 119050 号

内 容 提 要

本书在简要介绍半导体制造流程的基础上，着力从理论和实践两个方面对晶体生长、硅氧化、光刻、刻蚀、扩散、离子注入和薄膜淀积等主要制备步骤进行详细探讨。本书所有内容的讲解都结合了计算机仿真和模拟工具，并将工艺模拟作为问题分析与讨论的工具。

本书可作为高等院校微电子和材料科学等专业高年级本科生或者一年级研究生的教材。

图灵电子与电气工程丛书

半导体制造基础

◆ 著　［美］Gary S. May　施　敏
译　代永平
责任编辑　朱　巍

◆ 人民邮电出版社出版发行　北京市崇文区夕照寺街 14 号
邮编　100061　电子函件　315@ptpress.com.cn
网址　http://www.ptpress.com.cn
北京隆昌伟业印刷有限公司印刷
新华书店总店北京发行所经销

◆ 开本：700×1000　1/16
印张：17.5
字数：380 千字　2007 年 11 月第 1 版
印数：1－4 000 册　2007 年 11 月北京第 1 次印刷

著作权合同登记号　图字：01-2007-3047 号

ISBN 978-7-115-16639-5/TN

定价：45.00 元

读者服务热线：(010)88593802　印装质量热线：(010)67129223

版 权 声 明



译　者　序

目前，以集成电路为核心的电子信息产业超过了以汽车、石油、钢铁为代表的传统工业成为第一大产业，并成为改造和拉动传统产业向数字时代迈进的强大引擎。21 世纪集成电路技术的发展仍然需要依靠制备工艺技术的不断改进，使得器件的特征尺寸不断缩小，从而集成度不断提高，功耗降低，器件性能得到提高。在微电子学领域，尽管砷化镓等化合物用作半导体材料的研究及在某些领域的应用方面取得了很大进展，但还远不具备替代单晶硅工艺的条件。单晶硅集成电路技术发展至今，已经吸纳了全世界数以万亿美元计的设备和科技投入，形成了非常强大的产业规模和制备能力。同时，长期的科研投入已使人们对硅及其衍生物各种属性的了解达到十分深入、透彻的地步，这是非常宝贵的知识积累。

在传播半导体集成电路知识的历史上，本书作者之一施敏教授以其较高的学术造诣，相当长时间以来耕耘在编纂教科书的园地上，而且硕果累累。他在 1969 年所编写的《半导体器件物理学》(*Physics of Semiconductor Devices*)一书成为近代工程及应用科学领域被引用最多的文献。随后，施敏教授又陆续撰写了 *VLSI Technology* 和 *Semiconductor Devices*:*Physics and Technology*，这两本书都及时反映了当时的半导体器件加工工艺水平。进入 21 世纪，施敏教授与 G. S. May 教授合作撰写了本书，及时反映了亚微米、深亚微米硅基器件制备中使用成熟的工艺和设备。实际上，20 世纪 80 年代中期我国集成电路的加工水平为 5 微米，其后，经历了 3、1、0.8、0.5、0.35、0.18 微米的发展，目前已达到了 0.13 微米的水平，而当前国际水平为 0.09 微米(90 纳米)，我国仍与之相差约为 2～3 代。

本书提供了大量简明的物理描述和丰富的工艺过程数据，不仅适合作为大学本科和研究生教材，而且对在半导体器件领域从事实际工作的工程师和科研人员而言，也不失为一本有用的参考书。

最后我要特别感谢天津大学微电子中心的张为副教授，正是由于他对本书原著的热情推崇，才使我静心坐下来，认识到该书的实用价值并完成中文翻译。另外应当声明，由于译者水平所限，书中难免存在翻译不当甚至误译之处，恳请读者不吝教正。

译　者

前　　言

本书介绍了从晶体生长到器件和电路集成的半导体制造技术，覆盖制造工序中主要步骤的理论与实践的方方面面，旨在用作微电子和材料科学高年级本科生或者一年级研究生的教材。本书适用于长学期的集成电路制造课程，这类课往往配有一门并修实验室课程，亦可作为半导体工业中从事实际工作的工程科研人员的参考书。

第1章简要回顾了主要半导体器件和关键技术发展的历史，同时介绍了半导体制造的基本步骤；第2章介绍晶体生长技术。接下来几章按照典型制造工序来组织内容：第3章阐述硅氧化；光刻和刻蚀分别在第4章和第5章中讨论；第6章和第7章叙述杂质侵入的主要技术——扩散和离子注入；第8章为单次工艺介绍的最后一章，涵盖了各种薄膜淀积方法。最后3章把论述重心放在宽泛的总结性话题上：第9章通过阐明关键工艺技术、集成器件和微机电系统(MEMS)的工艺流程，把各道工艺步骤集合在一起；第10章介绍了高水平集成电路制造存在的问题，包括电学测试、封装、工艺控制和成品率等；最后，第11章讨论了半导体工业的前景和面临的挑战。

各章以简介开始并列出学习重点及重要概念小结，同时章节中配有解析例题，并在各章结尾给出对应习题。在其中几章涉及的工艺模拟，采用流行的SUPREM和PROLITH软件包作为应用工具。掌握和使用这些软件旨在利用微电子工艺过程辅助基本概念学习，而并非代替学习。

所有各章结尾的习题均有完整答案(其中标注星号的是难度较高的习题)，采纳该书的院系可以使用教师手册及书中图表的电子版，请通过以下网址获取：http://www.wiley.com/college/may。

致　　谢

我们衷心感谢中国台湾纳米器件实验室的 T. C. Chang 博士、T. S. Chao 博士、M. C. Chiang 博士、F. H. Ko 博士、M. C. Liaw 博士和 S. C. Wu 博士，以及中国台湾嘉义大学的 T. L. Li 教授所做的有益建议和讨论。同时，我们还要感谢 N. Erdos 先生对手稿所做的技术修订，Iris Lin 女士对多版修订稿的录入，以及中国台湾新竹大学半导体实验室的 Y. G. Yang 女士为本书配置了几百个技术图解。

感谢 John Wiley & Sons 公司的 W. Zobrist 先生对本书撰写工作的鼓励。施敏还要感谢中国台湾交通大学思源基金的资金支持，以及联华电子股份有限公司(United Microelectronic Corporation)提供的 UMC 讲座教授职位为本书创造的撰写环境；同样，G. S. May 也要感谢摩托罗拉基金会提供客座教授一职。



目　　录

第1章 概 述

半导体器件是电子产业的基石。自1998年以来，电子产业凭借其超过1万亿美元的全球销售额成为世界上最大的产业。图1-1显示了过去20年以半导体元器件为基础的电子产业的销售量和到2010年的销售预期，同时还给出在此期间全球生产总值(GWP)和汽车、钢铁、半导体产业的销售额[1,2]。值得注意的是在1998年电子产业的销售额超过了汽车产业；如果保持这种趋势的话，到2010年电子产业的销售额将达到3万亿美元，并占到GWP的10%。作为电子产业的一部分，半导体产业将会以更快的速度增长，并在21世纪初超过传统的钢铁产业，在2010年达到电子产业总份额的25%。

几万亿美元的电子产业基本依赖半导体集成电路(IC)的生产。电子计算机、电信、航天、汽车和消费电子业都十分依赖这些集成电路元器件，掌握半导体材料、器件和工艺的基础知识对解读现代电子学至关重要。因此，虽然本书主要涉及IC制造过程中的基本工艺，仍将对上述三方面的内容进行简要的历史回顾。

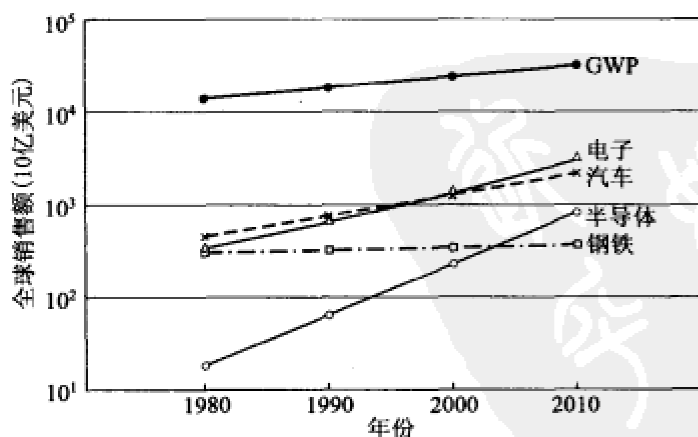


图1-1 从1980年到2000年全球生产总值(GWP)和汽车、钢铁、半导体产业的销售额，以及到2010年的销售预期[1,2]

1.1 半导体材料

锗是最早用于半导体器件制造的材料之一，实际上Bardeen、Brattain和Shockley在1947年制出的第一个晶体管就使用了这种材料。不过到了20世纪60年代初期，硅凭借其特有的优势迅速替代了锗，成为半导体器件制造的主流材料。首先，硅容易被

氧化形成高质量的二氧化硅绝缘层(SiO_2),在IC制造所需的选择扩散工艺步骤中,SiO_2是一种出色的阻挡层;其次,硅的能带隙比锗大,这就意味着相对于锗器件,硅器件的工作温度可以更高;最后,也可能是最重要的一点,硅作为普通沙子的主要成分,在自然界中储量非常丰富,并且非常便宜,因此,硅除了所具备的加工工艺优势外还是一种低成本的原材料。

IC制造中的另一种常见材料是砷化镓(GaAs)。虽然GaAs的电子迁移率高过硅,但却存在一些工艺局限,这当中包括热处理时低稳定性、低本征氧化度、高成本和高缺陷度,因此IC业选中了硅,本书也会更多偏重硅材料。GaAs多用在高速(超过1GHz)工作、初等到中等规模集成度的电路中。

1.2 半导体器件

半导体材料独特的性能导致产生出各式各样改变着我们这个世界的集成器件,对这些器件的研究已有超过125年的历史[3]。时至今日,大约有60个主要器件,而相关器件有100多个变种[4],表1-1按年代顺序列出部分主要半导体器件。

表1-1 主要半导体器件

年 份	半导体器件	作者/发明者	参考文献
1874	金属—半导体接触*	Braun	5
1907	发光二极管*	Round	6
1947	双极晶体管	Bardeen 和 Brattain;Shockley	7,8
1949	PN结*	Shockley	8
1952	晶闸管	Ebers	9
1954	太阳能电池*	Chapin、Fuller 和 Pearson	10
1957	异质结双极晶体管	Kroemer	11
1958	隧道二极管*	Esaki	12
1960	MOSFET	Kahng 和 Atalla	13
1962	激光*	Hall 等人	15
1963	异质结构激光*	Kroemer;Alferov 和 Kazarinov	16,17
1963	转移电子二极管*	Gunn	18
1965	IMPATT 二极管*	Johnston,DeLoach 和 Cohen	19
1966	MESFET	Mead	20
1967	非易失性半导体存储器	Kahng 和 Sze	21
1970	电荷耦合器件	Boyle 和 Smith	23
1974	共振隧道二极管*	Chang、Esaki 和 Tsu	24
1980	MODFET	Mimura 等人	25
1994	室温单电子记忆单元	Yano 等人	22
2001	15nm MOSFET	Yu 等人	14

MOSFET:金属—氧化物—半导体场效应晶体管;MESFET:金属—半导体场效应晶体管;MODFET:调制掺杂型场效应管。

标注"*"的是两端器件,其他的是三端或四端器件。

最早对半导体器件(金属—半导体接触物)进行系统研究应归功于Braun[5],1874年他发现金属和金属硫化物(如黄铜矿)之间的接触电阻与供给电压的大小和极性有关。1907年Round[6]发现了电致发光现象(应用于发光二极管),他在给碳化硅晶体两端提供一个10V的正向电压时,观察到晶体发出淡淡的黄光。

1947年,Bardeen和Brattain[7]发明了点接触式晶体管,接着Shockley[8]于1949年发表了关于PN结和双极晶体管的经典论文,图1-2所示为第1只晶体管的照片。图中三角形石英晶体底边上的两个点接触区是由两条间隔50μ(1μm = 10^{-4} cm)的金箔带形成,再把它们压到一个半导体表面上,这里用锗作为半导体材料。当一个接触正偏(即相对于第3端的正电压)另一个反偏时,可以观测到能把输入信号放大的晶体管效应。双极晶体管是非常关键的半导体器件,它引领了现代电子时代。

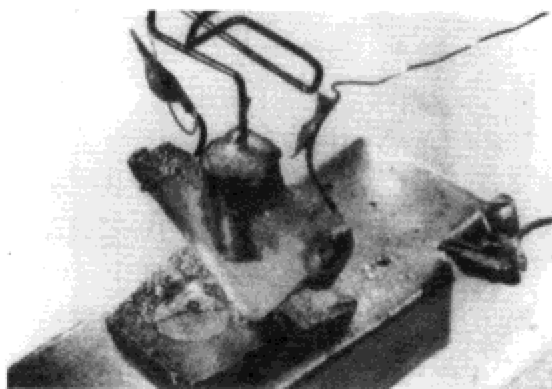


图1-2 第1只晶体管[7](照片使用由贝尔实验室惠允)

1952年,Ebers[9]研究出晶闸管的基本模型,晶闸管是一种相当通用的开关器件。1954年Chapin[10]等人利用PN结研发出太阳能电池,它能把太阳光直接转化成电能,相当环保,因此它成为从太阳获得能量的一种主要待选途径。1957年,Kroemer[11]主张用异质结双极晶体管来提高晶体管性能,异质结双极晶体管是有潜力的快速半导体器件之一。1958年Esaki[12]在重掺杂PN结中观察到负阻特性,导致了隧道二极管的发现。在欧姆接触和载流子通过薄膜传输过程中,隧道二极管及其相关联的隧穿现象非常重要。

2

先进集成电路中最重要的器件应该是MOSFET(金属—氧化物—半导体场效应晶体管),这种器件由Kahng和Atalla[13]于1960年正式提出。图1-3所示为使用热氧化硅衬底的第1个器件照片,这个器件的栅长20μm,栅氧化层厚100nm(1nm = 10^{-7} cm),图中两个锁眼是源和漏接触区,顶部拉长区域是透过金属网罩蒸镀的铝栅电极。尽管今日MOSFET的尺寸已缩小到深亚微米级范围,但是仍然保留了第1只晶体管所使用的硅材料和热生长氧化硅的组合方式,这种材料的组合非常重要。现在,



图1-3 第1只金属—氧化物—半导体场效应晶体管[13](照片使用由贝尔实验室惠允)

MOSFET及其相关集成电路占到了半导体器件市场份额的90%。最近公布的沟道长15nm的超小型MOSFET[14]，可以用作最先进集成电路芯片的基本单元，该芯片将可容纳1万亿以上($>10^{12}$)的管子。

1962年，Hall等人[15]首次用半导体产生了激光。1963年，Kroemer[16]、Alferov和Kazarinov[17]提出了异质结激光器，这些构想奠定了可在室温下连续工作的现代激光二极管的基础，激光二极管作为关键性的元件，在DVD、光纤通信、激光打印和大气污染监测等广泛的领域都得到了应用。

3~4

在接下来的3年内3种重要的微波器件问世了。第1种器件是Gunn[18]于1963年发明的转移电子二极管(TED，也称耿氏二极管)，TED广泛用在毫米波领域，如探侦系统、远程控制和微波测试仪等；第2种器件是IMPATT二极管，Johnston[19]等人于1965年首次观察到其工作机理，在所有的半导体器件中IMPATT二极管能以毫米波频率产生最高的连续波(CW)功率，这样它就被用在雷达和预警系统中；第3种器件是Mead[20]于1963年发明的MESFET(金属—半导体场效应晶体管)，它是单片微波集成电路(MMIC)的关键元件。

Kahng和Sze[21]于1967年发明了一种重要的半导体存储器——非易失性半导体存储器(NVSM)，在关断电源的情况下它仍能保存信息。这种存储器类似传统的MOSFET，最大的差别在于多了个可以暂存电荷的"浮栅"。NVSM因为拥有非易失特性、高器件密度、低功耗和电可擦写等特性，成为了便携电子系统如手机、笔记本电脑、数字相机和智能卡的主流存储器。

浮栅非易失性存储器的一种限制性用途是作为单电子记忆单元(SEMC)应用，SEMC通过缩小浮栅长度至超短尺寸空间(比如10 nm)来获得，在这个空间范围内，每当有一个电子移进浮栅，栅电压都会发生变化，从而阻止另一个电子进入。因为我们只需要一个电子来存储信息，所以SEMC就是最终的浮栅存储单元。Yano[22]等人在1994年首次展示了室温下SEMC的工作过程。SEMC能够用作最先进的半导体存储器的基本单元，这种存储器将可容纳1万亿位以上。

1970年Boyle和Smith[23]发明了电荷耦合器件(CCD)，CCD广泛应用在视频摄像机和光学传感器领域。1974年Chang等人[24]首次研制出共振隧道二极管(RTD)，因为它可以大幅度削减器件来完成既定的电路功能，所以成为大多数量子器件的基本要素，量子器件能够提供超大密度、超高速度和超强功能。1980年，Mimura等人[25]研发出MODFET(调制掺杂型场效应管)；异质材料选择合适的话，MODFET会是最快的场效应晶体管。

自1947年双极晶体管发明以来，伴随着先进技术、新材料层出不穷，半导体器件的数量和品种有惊人的发展，并且对其理解的拓展已用于创造新器件。不过，我们不禁会问：什么样的工艺制程能使基本半导体材料构造出这些神奇的器件?

1.3 半导体工艺技术

1.3.1 关键半导体技术

很多重要的半导体技术可以追溯到几个世纪以前发明的工艺制程，比如，在熔炉里生成金属晶体的技术可追溯到2000多年前生活在维多利亚湖西岸的非洲人[26]，他们用这种工艺制程在预热强制通风炉内生产碳钢。另一个例子是发明于1798年的平板印刷术，在最初的工艺中图案或者图像是用石板转印得到的(*石板印刷*)[27]。本节讨论应用于半导体制程或特定半导体器件制造的技术的里程碑。

5

一些重大的半导体技术按照年代顺序列在表1-2中。1918年，Czochralski开发了一种液—固态单组分生长工艺(liquid-solid monocomponent growth technique)，Czochralski[28]生长法用在大多数晶体制备工序中，硅晶圆(silicon wafer)也是这样生产的。另一种生长工艺是Bridgman[29]在1925年开发出的，Bridgman工艺已广泛用在砷化镓及其他化合物半导体晶体的生长制程中。虽然早在1940年就开始广泛研究硅的半导体特性，但是半导体化合物的研究工作却长期被忽视。直至1952年，Welker[30]注意到

表1-2 重大半导体技术

年份	技术	作者/发明者	参考文献
1918	Czochralski法晶体生长	Czochralski	28
1925	Bridgman法晶体生长	Bridgman	29
1952	III-V族化合物	Welker	30
1952	扩散	Pfann	32
1957	平版光刻抗蚀剂(光刻胶)	Andrus	33
1957	氧化物掩模	Frosch和Derrick	34
1957	外延CVD生长	Sheftal,Kokorish和Krasilov	35
1958	离子注入	Shockley	36
1959	混合集成电路	Kilby	37
1959	单片集成电路	Noyce	38
1960	平面工艺	Hoerni	39
1963	CMOS	Wanlass和Sah	40
1967	DRAM	Dennard	41
1969	多晶硅自对准栅	Kerwin,Klein和Sarace	42
1969	MOCVD	Manasevit和Simpson	43
1971	干法刻蚀	Irving,Lemons和Bobos	44
1971	分子束外延	Cho	45
1971	微处理器(4004)	Hoff等人	46
1982	沟槽隔离法	Rung,Momose和Nagakubo	47
1989	化学机械抛光	Davari等人	48
1993	铜互连	Parazczak等人	49

CVD:化学气相沉积;CMOS:互补金属—氧化物—半导体场效应晶体管;DRAM:动态随机存取存储器;MOCVD:有机金属化学气相沉积。

砷化镓和III-V族化合物同样是半导体材料，在实验证明的基础上，他预言了这些材料的性能特征，从此这些化合物相关器件和技术的研究开始活跃起来。

在器件制程中，掺杂原子在半导体材料内的扩散非常重要。1855年Fick[31]就思考过基本的扩散理论，但在硅材料中采用扩散工艺来改变传导类型的想法，则是1952年Pfann[32]在一份专利中提出来的。1957年，Andrus[33]把古老的平版印刷技术用于半导体器件制造，他在图形转移制程中使用了光敏材料、抗刻蚀聚合物(光刻胶)。应该说平版印刷技术是半导体工业的关键技术，半导体工业的持续发展就是平面光刻技术提高的直接结果。平版印刷技术还是一个很有影响力的经济因素，目前它占据IC制造成本的35%以上。

6

1957年Frosch和Derrick[34]开发出氧化物掩模方法，他们发现氧化物能够阻挡大部分杂质原子扩散透过。同年，Sheftal等人[35]在化学气相沉积技术的基础上开发出外延生长制程，外延的词根是希腊词*epi*和*taxis*，*epi*的意思是"依附在……表面上"，*taxis*的意思是"有序排列"，这描述了一种晶体生长工艺，即在有晶格结构的晶体表面形成一层同类型半导体薄膜，该方法对于器件性能的提高和新式器件结构的创建极其重要。1959年Kilby[37]制出了集成电路的雏形，它包含1个双极晶体管、3个电阻和1个电容器，所有器件都制备在锗材料上并且用金属丝焊接相连——这是一块混合电路。也是在1959年Noyce[38]提出了单片(monolith)IC的构想，即把所有器件都制作在同一块半导体衬底上，并用铝镀法来连接器件。图1-4所示为第1块单片式IC，它是一块包含6个器件的触发器电路，这里使用光刻技术刻蚀蒸镀在整个氧化层表面上的铝膜来获得铝连线。这些发明为微电子产业的迅猛发展奠定了基础。

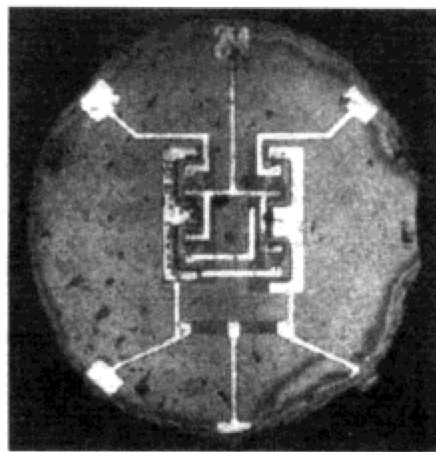


图1-4　第1块单片式集成电路[36]（照片使用由G. Moore博士惠允）

平面制程工艺是Hoerni[39]在1960年开发的，在这个制程中半导体表面首先形成氧化层，然后借助光刻工艺剥离去部分氧化物，在氧化层中开出窗口，接着掺杂原子只能对暴露出来的半导体表面进行扩散，这样在氧化层的窗口区就形成了PN结。

7

随着IC越来越复杂，IC技术从NMOS(N沟道MOSFET)发展到了CMOS(互补MOSFET)，CMOS同时采用NMOS和PMOS(P沟道MOSFET)来形成逻辑基元。1963年Wanlass和Sah[40]提出了CMOS的概念，CMOS技术的优势在于只有从一个状态过渡到另一个状态时(比如从0变成1)，逻辑基元才有明显电流消耗，而在两个过渡态间消耗的电流极小，这样就使得整个功耗非常低。CMOS技术成为了先进IC的主流技术。

1967年，Dennard[41]发明了一种重要的双元电路——动态随机存取存储器

(DRAM),它的存储单元包括1个MOSFET和1个电荷存储电容器,其中把MOSFET用作为对电容器进行充放电荷的开关。尽管DRAM既不稳定又功耗较高,但是针对非便携式电子系统,我们相信在可预计的未来DRAM仍继续是众多半导体存储器中的首选。

为了提高器件的性能,1969年Kerwin等人[42]提出了多晶硅自对准栅工艺制程,这个制程不仅提高了器件的稳定性也减小了寄生电容。也是在1969年,Manasevit和Simpson[43]开发出有机金属化学气相沉积(MOCVD)的方法,对于化合物半导体比如砷化镓而言,这是一种非常重要的外延生长工艺。

随着器件空间尺寸的缩小,为保证高精度图形转移,开发出干法刻蚀工艺替代湿法化学腐蚀工艺,Irving等人[44]于1971年最初使用这种工艺,他们用CF_4/O_2的混合气体刻蚀硅片。同年,另一种重要的工艺是由Cho[45]开发出的分子束外延,这种工艺具备的优势是对合成物垂向的控制近乎完美,且能掺杂到原子尺寸级。分子束外延肩负起了构造众多光子器件和量子效应器件的重任。

1971年Hoff[46]等人制造出了第一个微处理器,他们把一个简单计算机的整个中央处理单元(CPU)放在了一块芯片上,那是一个如图1-5所示的4位微处理器(Intel 4004),它的芯片尺寸是3mm×4mm,包括了2300个MOSFET,使用8μm设计规则,采用P沟道多晶硅栅工序制备。这个微处理器性能与20世纪60年代早期价值300 000美元的IBM计算机中的CPU一样,但每台IBM计算机的CPU有一张桌子大。这无疑是半导体产业的重大突破,目前,微处理器构成了半导体产业的最大部分。

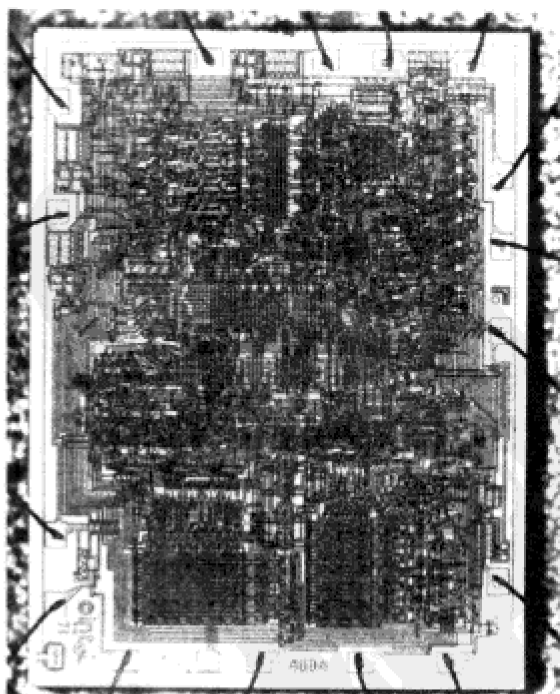


图1-5 第一块微处理器[46](照片使用由Intel公司惠允)

从20世纪80年代早期开始,为满足特征尺寸不断缩小的要求开发出了许多新技术,这当中三个重大技术分别是沟槽隔离、化学机械抛光和铜互连技术。1982年对CMOS器件进行隔离的Rung等人[47]引入了沟槽隔离技术,该项技术最终替代了其他隔离方法。1989年Davari等人[48]为了对垫置的绝缘层进行全局整平,开发出了化学机械抛光方法,这是实现多层金属镀法的关键工艺制程。在亚微米尺度范围,众所周知的失效机理是电迁移,所谓电迁移是指电流通道狭窄导致金属离子在电流的作用下发生流动的现象,虽然从20世纪60年代早期就使用铝作互连材料,但在大电流情形下铝会发生电迁移。1993年Paraszczak等

人[49]引入最小特征尺寸逼近 100nm 的铜互连替代铝。本书将涉及表 1-2 中的所有技术。

1.3.2 技术趋势

自从进入微处理器时代，集成电路的最小线宽（或者说是最小特征尺寸）以每年 13%的速率递减[50]，照这个速度发展下去，到 2010 年最小特征尺寸将缩小至 50nm。器件小型化的结果是每个电路功能的单位成本减少，比如对于 DRAM 电路而言，每两年存储器芯片每比特的成本做到了减半。器件空间尺寸减小的同时，其特征开关时间也在下降，从 1959 年以来器件速度提高了 4 个数量级，将来数字 IC 一定能以太比特每秒的速度执行数据处理和数字计算等功能。伴随着器件尺寸越来越小，其功耗也越来越少，因此器件小型化也降低了每次开关操作的功耗，自 1959 年算起每个逻辑门的功耗已降低至 100 万分之一以下。

8

图 1-6 所示为从第一块 DRAM 产品问世的 1978 年到 2000 年间，实际 DRAM 器件密度与年份的指数增长关系，这个密度以每 18 个月 1 倍的速率增长，如果继续保持这种趋势，2005 年 DRAM 的密度将增长到 8GB，2012 左右则达到 64GB。图 1-7 表示出了微处理器计算能力的指数增长趋势，计算能力也以每 18 个月 1 倍的速率增长。目前奔腾芯片的个人计算机拥有与 20 世纪 60 年代后期的 CRAY1 超级计算机一样的计算能力，而尺寸比后者小 3 个数量级。如果这些趋势延续下去，2010 年将能达到 100GIPS（10 亿指令每秒）的速度。

9

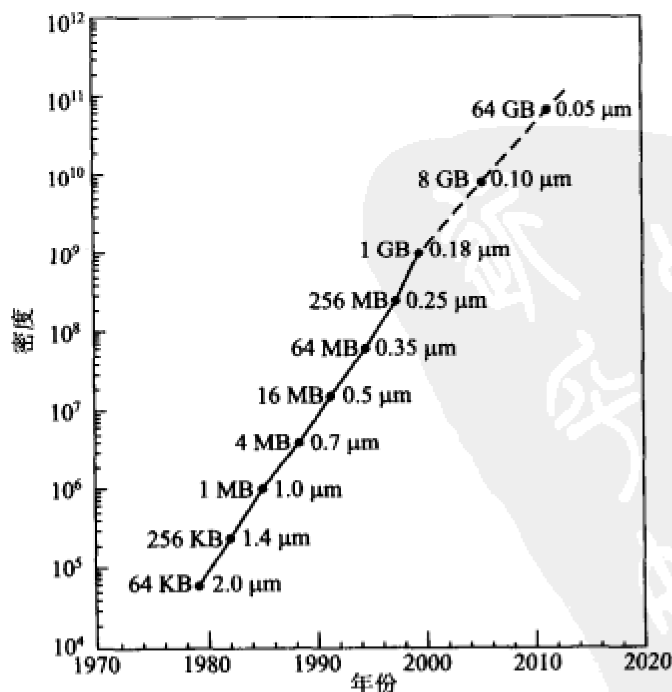


图 1-6 半导体行业协会指南中动态随机存取存储器密度与年份的指数增长关系[50]

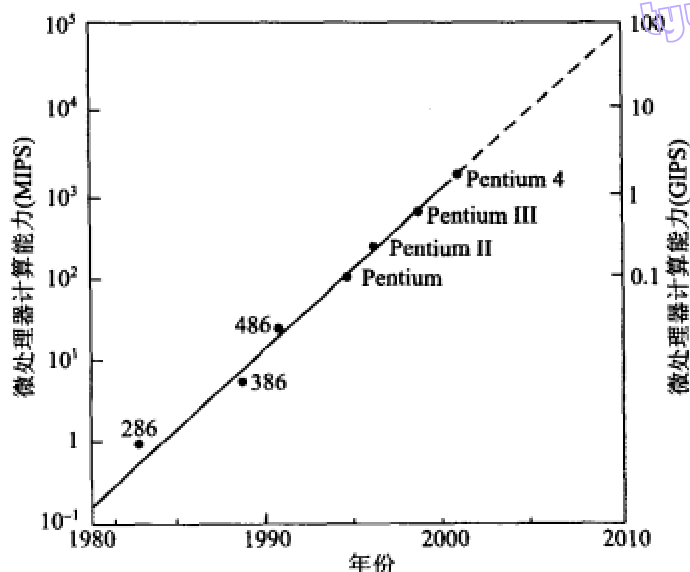


图 1-7　微处理器计算能力与年份的指数增长趋势

图 1-8 示意给出不同技术推动力发展的曲线[51]。在现代电子时代的开始阶段(1950—1970),双极晶体管是技术推动主力;从 1970 年到 1990 年因为个人计算机和先进电子系统的快速增长,基于 MOS 器件的 DRAM 和微处理器成为技术推动主力;从 1990 年开始因为便携式电子系统迅猛增长,非易失性半导体存储器成为技术推动主力。

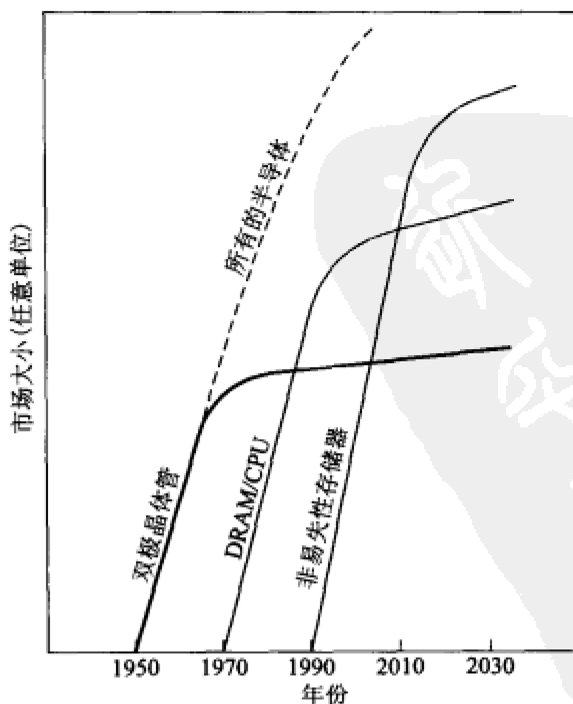


图 1-8　不同技术推动力发展的曲线[51]

1.4 基本制造步骤

今天，平面光刻技术广泛应用在IC制造过程中，图1-9和图1-10示出了平面光刻工序的主要步骤，这些步骤包括氧化、光刻、刻蚀、离子注入和金属化。本节简要描述这些步骤，从第3章到第8章会进行更加详细的讨论，第9章描述综合所有这些工艺步骤来制备半导体器件。

1.4.1 氧化

10~11

高质量氧化硅(SiO_2)的开发成就了硅材料在商用IC中的支配地位。一般来说，SiO_2在很多器件结构里边起绝缘层作用，或者是在器件制备过程中起扩散或注入阻挡层的作用。在PN结制备过程中(如图1-9所示)SiO_2膜层用来限定结区大小。

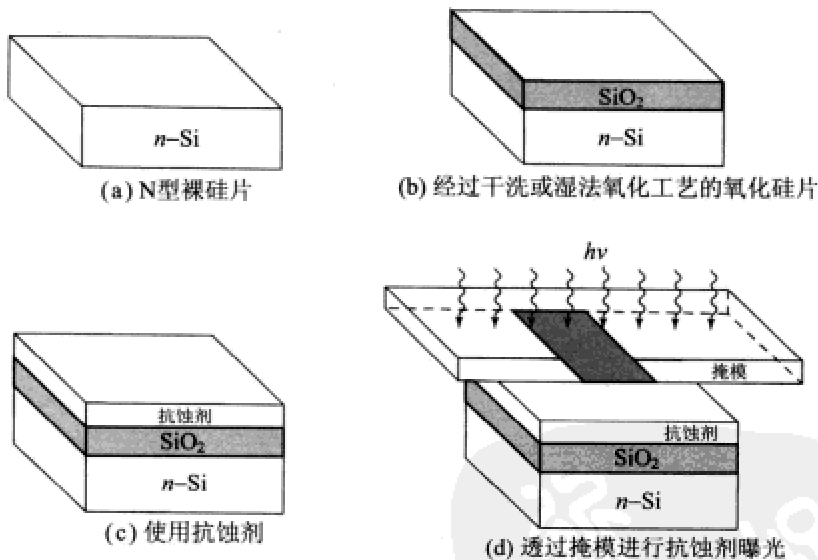


图1-9 PN结制备过程示意图

有两种SiO_2生长的方法——干法氧化和湿法氧化，这取决于是使用干燥的氧气还是水蒸气。通常干法氧化因为能够形成良好的Si-SiO_2界面，所以用来在器件结构中制备薄氧化层；而湿法氧化因为有较高的生长速率，则用来制备厚氧化层。图1-9a所示为氧化前裸硅片的截面图，经过氧化工序后SiO_2覆盖了整个硅片表面。出于简化的目的，图1-9b只示意出氧化硅片的上表面，有关氧化的更详尽说明请参看第3章。

12

1.4.2 光刻和刻蚀

另一项技术，被称为*光刻技术*，用来确定PN结的几何结构。完成制备SiO_2工序后，硅片覆盖上一层称为*抗蚀剂*的紫外光(UV)光敏材料，通过高速旋转把抗蚀剂涂敷

在硅片表面。然后在 80～100℃的温度范围烘烤硅片，以便除净抗蚀剂中的溶剂，从而硬化抗蚀剂，提高其粘附性（如图 1-9c 所示）。

接下来的工序步骤如图 1-9d 所示，这里用 UV 光源透过有图形的掩模对硅片曝光，曝光区域根据抗蚀剂的类型（正胶或负胶）不同发生相应的化学反应，对于正胶，曝光区域变成难在刻蚀剂中剥离的聚合物，当硅片进行显影的时候，这些聚合物就保留下来，而未曝光区域（位于掩模不透光区域下方）则被溶解冲洗掉了。

图 1-10a 所示为硅片显影后的情形，显影后硅片又在 120～180℃的范围内烘烤 20 分钟，目的是增强粘附性，提高对后道蚀刻工序的承受力。接下来的蚀刻工序中，用氢氟酸（HF）缓冲溶液除去未受保护的 SiO_2 层面（如图 1-10b 所示），最后使用化学溶液或是氧离子剥离抗蚀剂。图 1-10c 所示为经过光刻工序后没有氧化层的区域（窗口）的情形。现在硅片就准备进行扩散或是离子注入工序形成 PN 结，第 4 章和第 5 章会分别详细描述光刻和刻蚀工艺。

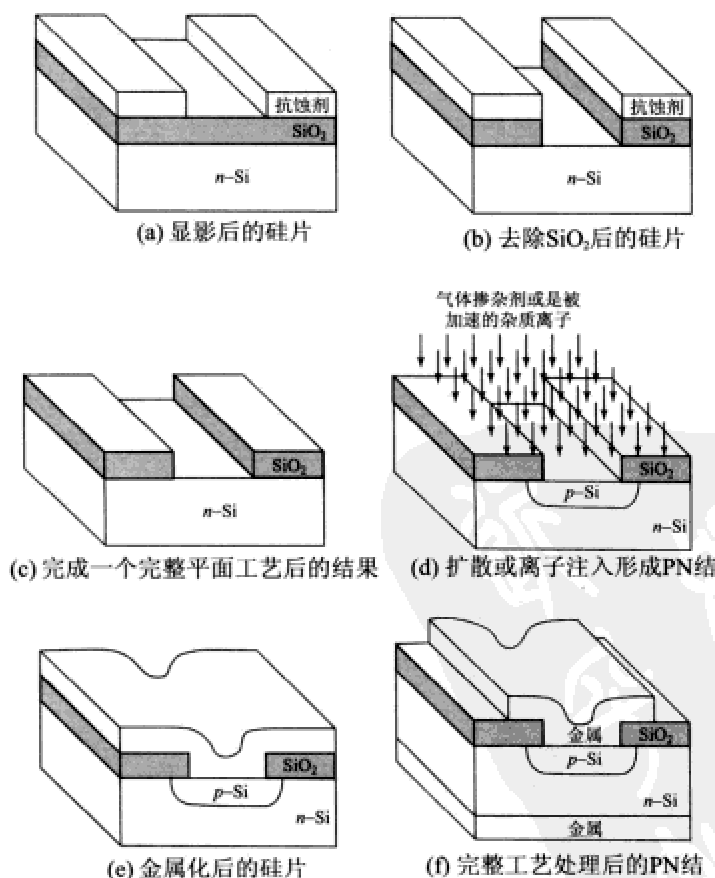


图 1-10　PN 结制备过程示意图

1.4.3 扩散和离子注入

在扩散方法中，未受氧化层保护的半导体表面暴露给高浓度的反型掺杂源，掺杂物以固态扩散的形式进入半导体晶体内部；在离子注入方法中，通过加速杂质离子到高能级并且把它们植入半导体，这样要用的掺杂物就被引进半导体内，而 SiO_2 用来阻挡掺杂物的扩散或是离子注入。如图 1-10d 所示，经过扩散或是离子注入工序后就形成了 PN 结。由于掺杂物存在横向扩散或是注入离子存在横向扩散的现象，P 区比预开的窗口略微宽一些。第 6 章和第 7 章将分别讨论扩散和注入。

1.4.4 金属化

完成扩散或是离子注入后，采用金属化工序实现欧姆接触和互连（如图 1-10e 所示）。物理气相沉积或者化学气相沉积都能形成金属膜，如图 1-10f 所示再次采用光刻工序确定出接触区。后接触区不用光刻过程执行相似的金属化过程通常还采用低温（≤500℃）退火的方法来实现并增强金属层与半导体之间的低阻接触效果。有关金属化的详细讨论安排在第 8 章。

1.5 小结

半导体器件对我们的社会和世界经济产生了巨大冲击，因为它们构成了世界上最大的产业——电子产业的基础。

从 1874 年对金属—半导体接触物的第一次研究到 2001 年制备出超小型的 15nm MOSFET，本章回顾了主要的半导体器件的历史。这当中最重要的是 1947 年双极晶体管的发明，它开创了现代电子纪元；1960 年问世的 MOSFET 是集成电路中极其重要的部件；1967 年发明的非易失性半导体存储器，已成为自 1990 年以来电子产业的技术策动力。

本章还描述了关键的半导体技术，这些技术可以追溯到两千年以前。这当中最重要的是 1957 年研发的光刻抗蚀剂，它为半导体器件建立了基本制备流程范式；1959 年发明的集成电路繁衍出迅猛增长的微电子工艺；1967 年开发出的 DRAM 和 1971 年问世的微处理器构成了半导体工业的两大领域。

14

在这本书里面，每章涉及一项或一系列重要的 IC 制造工序步骤。每章以清晰连贯的方式叙述，没有完全依赖于原始文献，但在每章的最后附有一些重要文献，以供参考和进一步阅读。

参考文献

1. *2000 Electronic Market Data Book*, Electron. Ind. Assoc., Washington, DC, 2000.

2. *2000 Semiconductor Industry Report*, Ind. Technol. Res. Inst., Hsinchu, Taiwan, 2000.

3. Most of the classic device papers are collected in S. M. Sze, Ed., *Semiconductor Devices: Pioneering Papers*, World Sci., Singapore, 1991.

4. K. K. Ng, *Complete Guide to Semiconductor Devices*, McGraw-Hill, New York, 1995.

5. F. Braun, "Uber die Stromleitung durch Schwefelmetalle," *Ann. Phys. Chem.*, **153**, 556 (1874).

6. H. J. Round, "A Note on Carborundum," *Electron. World*, **19**, 309 (1907).

7. J. Bardeen and W. H. Brattain, "The Transistor, a Semiconductor Triode," *Phys. Rev.*, **71**, 230 (1948).

8. W. Shockley, "The Theory of *p–n* Junction in Semiconductors and *p–n* Junction Transistors," *Bell Syst. Tech. J.*, **28**, 435 (1949).

9. J. Ebers, "Four Terminal *p–n–p–n* Transistors," *Proc. IRE*, **40**, 1361 (1952).

10. D. M. Chapin, C. S. Fuller, and G. L. Pearson, "A New Silicon *p–n* Junction Photocell for Converting Solar Radiation into Electrical Power," *J. Appl. Phys.*, **25**, 676 (1954).

11. H. Kroemer, "Theory of a Wide-Gap Emitter for Transistors," *Proc. IRE*, **45**, 1535 (1957).

12. L. Esaki, "New Phenomenon in Narrow Germanium *p–n* Junctions," *Phys. Rev.*, **109**, 603 (1958).

13. D. Kahng and M. M. Atalla, "Silicon-Silicon Dioxide Surface Device," in *IRE Device Research Conference*, Pittsburgh, 1960. 在参考文献 3 中可以找到该文章.

14. B. Yu, et al., "15 nm Gate Length Planar CMOS Transistor," *IEEE IEDM Technical Digest*, Washington, DC, p. 937 (2001).

15. R. N. Hall, et al., "Coherent Light Emission from GaAs Junctions," *Phys. Rev. Lett.*, **9**, 366 (1962).

16. H. Kroemer, "A Proposed Class of Heterojunction Injection Lasers," *Proc. IEEE*, **51**, 1782 (1963).

17. I. Alferov and R. F. Kazarinov, "Semiconductor Laser with Electrical Pumping," U.S.S.R. Patent 181, 737 (1963).

18. J. B. Gunn, "Microwave Oscillations of Current in III-V Semiconductors," *Solid State Commun.*, **1**, 88 (1963).

19. R. L. Johnston, B. C. DeLoach, Jr., and B. G. Cohen, "A Silicon Diode Microwave Oscillator," *Bell Syst. Tech. J.*, **44**, 369 (1965).

20. C. A. Mead, "Schottky Barrier Gate Field Effect Transistor," *Proc. IEEE*, **54**, 307 (1966).

21. D. Kahng and S. M. Sze, "A Floating Gate and Its Application to Memory Devices," *Bell Syst. Tech. J.*, **46**, 1283 (1967).

22. K. Yano, et al. "Room Temperature Single-Electron Memory," *IEEE Trans. Electron Devices*, **41**, 1628 (1994).

23. W. S. Boyle and G. E. Smith, "Charge Coupled Semiconductor Devices," *Bell Syst. Tech. J.*, **49**, 587 (1970).

24. L. L. Chang, L. Esaki, and R. Tsu, "Resonant Tunneling in Semiconductor Double Barriers," *Appl. Phys. Lett.*, **24**, 593 (1974).

25. T. Mimura, et al., "A New Field-Effect Transistor with Selectively Doped GaAs/n–Al_xGa_{1-x} as Heterojunction," *Jpn. J. Appl. Phys.*, **19**, L225 (1980).

26. D. Shore, "Steel-Making in Ancient Africa," in I. Van Sertima, Ed., *Blacks in Science: Ancient and Modern*, New Brunswick, NJ: Transaction Books, 157 (1986).

15

27. M. Hepher, "The Photoresist Story," *J. Photo. Sci.*, **12,** 181 (1964).

28. J. Czochralski, "Ein neues Verfahren zur Messung der Kristallisationsgeschwindigkeit der Metalle," *Z. Phys. Chem.*, **92,** 219 (1918).

29. P. W. Bridgman, "Certain Physical Properties of Single Crystals of Tungsten, Antimony, Bismuth, Tellurium, Cadmium, Zinc, and Tin," *Proc. Am. Acad. Arts Sci.*, **60,** 303 (1925).

30. H. Welker, "Über Neue Halbleitende Verbindungen," *Z. Naturforsch.*, **7a,** 744 (1952).

31. A. Fick, "Ueber Diffusion," *Ann. Phys. Lpz.*, **170,** 59 (1855).

32. W. G. Pfann, "Semiconductor Signal Translating Device," U.S. Patent 2,597,028 (1952).

33. J. Andrus, "Fabrication of Semiconductor Devices," U.S. Patent 3,122,817 (1957年申请,1964年批准).

34. C. J. Frosch and L. Derrick, "Surface Protection and Selective Masking during Diffusion in Silicon," *J. Electrochem. Soc.*, **104,** 547 (1957).

35. N. N. Sheftal, N. P. Kokorish, and A. V. Krasilov, "Growth of Single-Crystal Layers of Silicon and Germanium from the Vapor Phase," *Bull. Acad. Sci. U.S.S.R., Phys. Ser.*, **21,** 140 (1957).

36. W. Shockley, "Forming Semiconductor Device by Ionic Bombardment," U.S. Patent 2,787,564 (1958).

37. J. S. Kilby, "Invention of the Integrated Circuit," *IEEE Trans. Electron Devices*, **ED-23,** 648 (1976); U.S. Patent 3,138,743 (filed 1959; granted 1964).

38. R. N. Noyce, "Semiconductor Device-and-Lead Structure," U.S. Patent 2,981,877 (1959年申请,1961年批准).

39. J. A. Hoemi, "Planar Silicon Transistors and Diodes," *IRE Int. Electron Devices Meet.*, Washington, DC (1960).

40. F. M. Wanlass and C. T. Sah, "Nanowatt Logics Using Field-Effect Metal-Oxide Semiconductor Triodes," *Tech. Dig. IEEE Int. Solid-State Circuit Conf.*, p. 32 (1963).

41. R. M. Dennard, "Field Effect Transistor Memory," U.S. Patent 3,387,286 (1967年申请,1968年批准).

42. R. E. Kerwin, D. L. Klein, and J. C. Sarace, "Method for Making MIS Structure," U.S. Patent 3,475,234 (1969).

43. H. M. Manasevit and W. I. Simpson, "The Use of Metal-Organic in the Preparation of Semiconductor Materials. I. Epitaxial Gallium-V Compounds," *J. Electrochem. Soc.*, **116,** 1725 (1969).

44. S. M. Irving, K. E. Lemons, and G. E. Bobos, "Gas Plasma Vapor Etching Process," U.S. Patent 3,615,956 (1971).

45. A. Y. Cho, "Film Deposition by Molecular Beam Technique," *J. Vac. Sci. Technol.*, **8,** S31 (1971).

46. 微处理器的发明者是M.E.Hoff,F.Faggin,S.Mazor和M.Shima。M.E.Hoff的生平见R.Slater写的Portraits in Silicon,p.175,MIT Press,Cambridge,1987。

47. R. Rung, H. Momose, and Y. Nagakubo, "Deep Trench Isolated CMOS Devices," *Tech. Dig. IEEE Int. Electron Devices Meet.*, p. 237 (1982).

48. B. Davari, et al., "A New Planarization Technique, Using a Combination of RIE and Chemical Mechanical Polish (CMP)," *Tech. Dig. IEEE Int. Electron Devices Meet.*, p. 61 (1989).

49. J. Paraszczak, et al., "High Performance Dielectrics and Processes for ULSI Interconnection Technologies," *Tech. Dig. IEEE Int. Electron Devices Meet.*, p. 261 (1993).

50. *The International Technology Roadmap for Semiconductor,* Semiconductor Ind. Assoc., San Jose, 1999.

16

51. F. Masuoka, "Flash Memory Technology," *Proc. Int. Electron Devices Mater. Symp.*, 83, Hsinchu, Taiwan (1996).

第 2 章　晶体生长

集成电路和分立器件中两种最重要的半导体材料是硅和砷化镓，本章将讲述生长这两种半导体材料单晶体的常用技术。图 2-1 所示为从初始原料到制成抛光硅片的基本工艺流程，初始原料——硅片来源于硅的氧化物，砷化镓晶片来源于砷和镓——经过化学处理形成高纯度多晶态半导体材料，单晶体就是由这些多晶态材料生长而来。单晶锭(single-crystal ingot)的成型确定了材料的直径尺度，然后单晶锭被切割成晶片，这些晶片进一步历经刻蚀、抛光产生出光亮如镜的表面，器件就在这个表面上进行制备。本章涉及以下内容：

- ☐ 生长硅和 GaAs 单晶锭的基本技术；
- ☐ 从晶锭到制成抛光晶片的晶片整形工艺；
- ☐ 电学和机械特性方面的晶片特征。

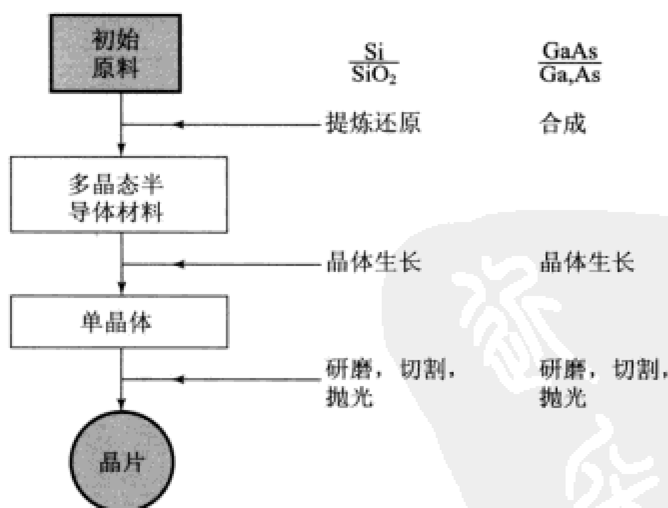


图 2-1　从初始原料到抛光硅片的基本工艺流程

2.1　从熔体生长硅单晶

从熔体(处于液态的材料)中生长硅单晶的一种基本工艺是 *Czochralski* 法，半导体工业所用硅单晶的大部分(90%以上)是由 Czochralski 法制备的，事实上，用来制造集成电路的所有硅单晶都用这种方法制备。

2.1.1　初始原料

制备硅的原料是比较纯的沙子(SiO_2)，被称为*石英*，把石英和各种形式的碳(煤、焦炭以及木片)一起装入炉子，在炉子里进行若干反应，总的反应式为：



$$SiC(固体) + SiO_2(固体) \longrightarrow Si(固体) + SiO(气体) + CO(气体) \quad (2\text{-}1)$$

这个工序产生的冶金纯硅的纯度是98%。下一步工序是对硅进行机械粉碎，然后在300℃的温度下与无水氯化氢(HCl)反应形成三氯氢硅($SiHCl_3$)：



$$Si(固体) + 3HCl(气体) \longrightarrow SiHCl_3(气体) + H_2(气体) \quad (2\text{-}2)$$

三氯氢硅在室温下呈现液态(沸点32℃)，因此采用液体分馏方法可以去除不需要的杂质。提纯过的$SiHCl_3$再与氢气发生还原反应产生电子级硅(electronic-grade silicon，EGS)：



$$SiHCl_3(气体) + H_2(气体) \longrightarrow Si(固体) + 3HCl(气体) \quad (2\text{-}3)$$

这个化学反应发生在配置有电阻加热硅棒的反应器内，其中电阻加热硅棒用作硅淀积的成核点。EGS是种高纯度的多晶态材料，通常用作制备器件级单晶硅的生料。纯EGS中杂质的含量一般在ppb (parts-per-billion，十亿分之几)的量级[1]。

2.1.2　Czochralski 法

Czochralski法使用一种称为*拉晶机*的设备，该装置的简化形式如图2-2所示。拉晶机有三个主要构成部件：

(1) 炉子：包括熔融氧化硅(SiO_2)坩埚、石墨基座、旋转机构(图中顺时针旋转)、加热元件和电源；

(2) 拉单晶机构：包括籽晶夹具和旋转机构(逆时针旋转)；

(3) 气氛控制：包括气体源(比如氩气)、流量控制和排气系统。

另外，拉晶机还有基于微处理器的总体控制系统，它在逐步执行程序化工序进程的同时，还控制着如温度、晶体直径、拉晶速度和旋转速度等工艺参数，各种传感器和反馈回路可使控制系统自动响应，减少了人工干预。

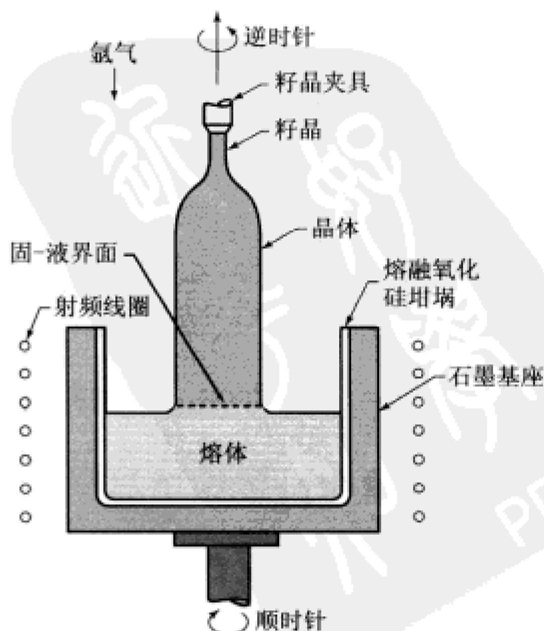


图2-2　Czochralski法的拉晶机

在晶体生长过程中，把多晶态硅(EGS)放进坩埚里，炉子加热超过硅的熔融温度，用籽晶夹具把一个合适晶向(比如111晶向)的籽晶悬挂在坩埚上方，籽晶插进熔体，除了剩余的籽晶端与液面相接触，

其余部分都熔融了，然后籽晶缓慢抽出，在固—液界面采用分级冷冻法生长出较大的单晶体。典型的拉晶速率为每分钟几毫米。制备大直径硅锭时在基本 Czochralski 拉晶机上加有外磁场，其目的是控制缺陷、杂质和氧的浓度[2]。图 2-3 所示为 Czochralski 法生长的 300mm(12 英寸)和 400mm(16 英寸)的晶锭。

18

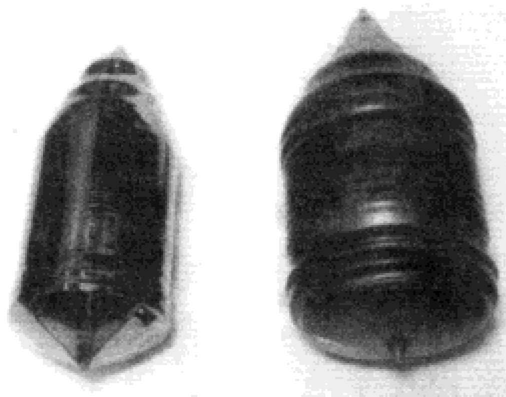


图 2-3 Czochralski 法生长的 300mm(12 英寸)和 400mm(16 英寸)的晶锭
(照片使用由东京 Shin-Etsu Handotai 公司惠允)

2.1.3 杂质分布

在晶体生长过程中，在熔体中加入一定量掺杂剂，可使生长的晶体中含有所要求的掺杂浓度。对硅来说硼和磷分别是 P 型和 N 型材料最常用的掺杂剂。

从熔体中拉制单晶时，晶体(固体)中的掺杂浓度与界面处熔体(液体)的掺杂浓度一般存在差异，这两个浓度的比值定义为平衡分凝系数(equilibrium segregation coefficient) k_0：

$$k_0 \equiv \frac{C_s}{C_l} \tag{2-4}$$

其中，C_s 和 C_l 分别为界面附近固体和液体中杂质的平衡浓度。表 2-1 列出了硅中常见杂质的 k_0 值，可见大部分分凝系数小于 1，这就是说生长过程中杂质析出留在熔体内。因此，当晶体生长时，熔体中的杂质越来越富集。

19

表 2-1 硅中杂质的平衡分凝系数

杂质	k_0	类型	杂质	k_0	类型
B	8×10^{-1}	P	As	3.0×10^{-1}	N
Al	2×10^{-3}	P	Sb	2.3×10^{-2}	N
Ga	8×10^{-3}	P	Te	2.0×10^{-4}	N
In	4×10^{-4}	P	Li	1.0×10^{-2}	N
O	1.25	N	Cu	4.0×10^{-4}	*
C	7×10^{-2}	N	Au	2.5×10^{-5}	*
P	0.35	N			

“*”：受杂质深能级影响

可以设定晶体生长时在熔体中有初始重量 M_0 和初始掺杂浓度 C_0(即每克熔体所

含的杂质重量)，当生长出的晶体重量为 M 时刻，熔体中剩余杂质量为 S(按重量计)，那么晶体重量的增加量是 dM，相应的熔体中杂质减少量($-dS$)是 $C_s dM$，这里 C_s 为晶体中掺杂浓度(按重量计)：

20

$$-dS = C_s dM \tag{2-5}$$

现在熔体的剩余重量是($M_0 - M$)，熔体中的掺杂浓度 C_l(按重量计)由下式给出：

$$C_l = \frac{S}{M_0 - M} \tag{2-6}$$

把公式(2-5)和公式(2-6)一同代入 $C_s/C_l = k_0$，得到：

$$\frac{dS}{S} = -k_0\left(\frac{dM}{M_0 - M}\right) \tag{2-7}$$

已知初始杂质重量 C_0M_0，则可以对公式(2-7)进行积分：

$$\int_{C_0M_0}^{S} \frac{dS}{S} = k_0\int_0^M \frac{-dM}{M_0 - M} \tag{2-8}$$

求解公式(2-8)并联合考虑公式(2-6)，得到：

$$C_s = k_0C_0\left(1 - \frac{M}{M_0}\right)^{k_0-1} \tag{2-9}$$

图 2-4 说明了在不同分凝系数的情况下，杂质分布与固化分数(M/M_0)之间的函数关系[3,4]。在晶体生长过程中，$k_0 < 1$ 时初始值 k_0C_0 单调增大，而 $k_0 > 1$ 时初始值 k_0C_0 单调减小，只有当 $k_0 \cong 1$ 时才能得到均匀的杂质分布。

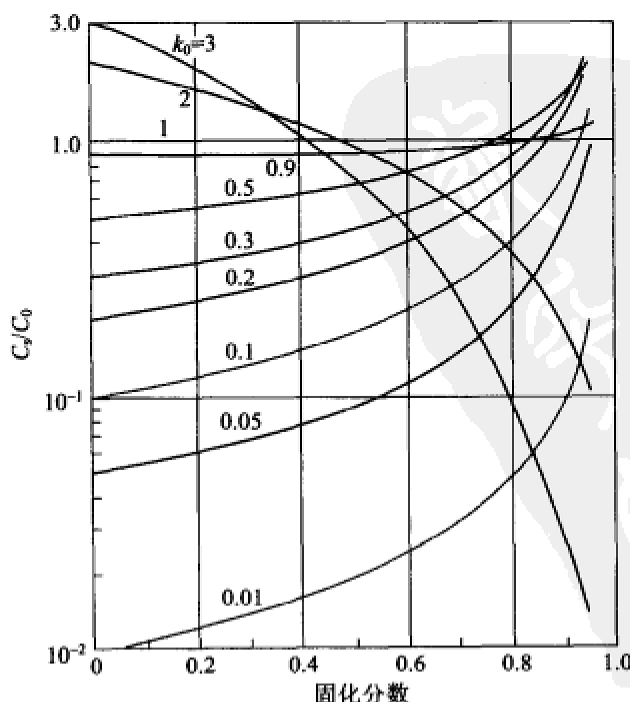


图 2-4　从熔体中生长晶体时，固体内杂质分布与固化分数之间的函数关系曲线[4]

【例 1】 采用 Czochralski 法生长的硅锭含有的硼原子浓度为 $10^{16}/\text{cm}^3$，那么比照硅锭中的浓度值其熔体中的硼浓度是多少？如果坩埚中硅的初始装量是 60 kg，那么应该加入多少克硼(原子量 10.8)？已知熔融硅的密度是 2.53 g/cm³。

解：表 2-1 中给出了硼的分凝系数 k_0 是 0.8，假设整个生长过程中 $C_s = k_0 C_l$，则熔体中硼的初始浓度应该是：

$$\frac{10^{16}}{0.8} = 1.25 \times 10^{16}$$

由于硼的浓度值太小，熔体的体积可以只根据硅的重量来计算，因此，60 kg 硅的熔体体积为：

$$\frac{60 \times 10^3}{2.53} = 2.37 \times 10^4 \ \text{cm}^3$$

熔体中硼原子数目总计为：

$$1.25 \times 10^{16}/\text{cm}^3 \times 2.37 \times 10^4 \ \text{cm}^3 = 2.96 \times 10^{20}$$

所以：

$$\frac{2.96 \times 10^{20} \times 10.8\text{g/mol}}{6.02 \times 10^{23}/\text{mol}} = 5.31 \times 10^{-3}\text{g} = 5.31\text{mg}$$

可见，如此巨量的硅只需要加入少量硼就足够了。

2.1.4 有效分凝系数

晶体生长的同时杂质不断析出($k_0 > 1$)留在熔体中，如果杂质析出的速率大于它通过扩散或搅拌而散开的速率，那么将在界面形成浓度梯度，如图 2-5 所示。已知分凝系数 $k_0 = C_s/C_l(0)$ (参见 2.1.3 节)，有效分凝系数 k_e 定义为 C_s 与远离界面的掺杂浓度的比值：

$$k_e = \frac{C_s}{C_l} \tag{2-10}$$

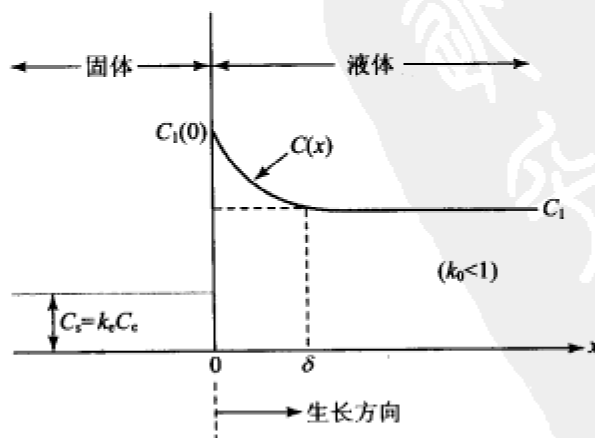


图 2-5 固—液体附近掺杂浓度分布

考虑熔体表面存在一个厚度为 δ 的薄滞留层，而只在晶体析出需要填补时才产生

22 流动。滞留层外掺杂浓度为恒值 C_1。滞留层内掺杂浓度可以用连续方程来描述：

$$0 = v\frac{dC}{dx} + D\frac{d^2C}{dx^2} \tag{2-11}$$

其中 D 是熔体中杂质扩散系数，v 是晶体生长速率，C 是熔体中掺杂浓度。

解方程(2-11)，得：

$$C = A_1 e^{-vx/D} + A_2 \tag{2-12}$$

其中 A_1 和 A_2 是由边界条件确定的常数。第一个边界条件是在 $x = 0$ 处 $C = C_l(0)$；第二个边界条件是杂质总量守恒，也就是说界面处杂质总流量为零。考虑到杂质原子在熔体中的扩散（忽略在晶体中的扩散），可以得到：

$$D\left(\frac{dC}{dx}\right)_{x=0} + [C_l(0) - C_s]v = 0 \tag{2-13}$$

把边界条件代入公式(2-12)并考虑到 $x = \delta$ 处 $C = C_l$，给出：

$$e^{-v\delta/D} = \frac{C_l - C_s}{C_l(0) - C_s} \tag{2-14}$$

因此：

$$k_e \equiv \frac{C_s}{C_l} = \frac{k_0}{k_0 + (1 - k_0)e^{-v\delta/D}} \tag{2-15}$$

只要用 k_e 替代 k_0，晶体中的杂质分布同样可以用公式(2-9)表示。k_e 值比 k_0 大得多，而且由于生长参数 $v\delta/D$ 的值比较大，k_e 甚至能够接近1。因此采用高拉晶速率、低旋转速度（δ 反比于旋转速度）的方式，在晶体中可以形成均匀的杂质分布（$k_e \to 1$）。另一种实现杂质均匀分布的方法是在熔体中不断加入超纯多晶态硅材料，这样能够保持

23 初始掺杂浓度不变。

2.2 硅悬浮区熔法

悬浮区熔法能够用来制备单晶硅，这种方法产生的污染物少于常规 Czochralski 法。悬浮区熔法的装置原理图如图 2-6a 所示，一根底部有籽晶的高纯度多晶棒竖直安放并旋转，该多晶棒密封在内部充满保护气体（氩气）的石英容器中。在制备单晶体的时候，射频(RF)加热器保持晶棒上的一小段区域（长度几厘米）熔融，这当中熔区从籽晶开始向上移动直至悬浮熔区游移过整个晶棒，熔融硅的稳定依靠熔体和新生晶体间的表面张力维持。随着熔区上移单晶硅在熔区底端凝固出来，如同籽晶向上延伸一样。由于悬浮区熔法更容易提纯晶体，所以用这种方法所得单晶材料的电阻率比用 Czochralski 法得到的要高，不仅如此，悬浮区熔法不像 Czochralski 法那样需要坩埚，也就避免了来自坩埚的污染。现在，悬浮区熔法单晶体主要用来制备要求高阻材料的高压、高功率器件。

图 2-6b 所示设定一个简单模型来估算悬浮区熔法中的杂质分布。晶棒中初始掺

杂浓度均为 C_0（按重量计），沿晶棒 x 处熔区的长度为 L，晶棒横截面为 A，硅比重为 ρ_d，S 是熔区内的杂质量。当熔区移动 dx 的距离时，熔区顶端新增的杂质量为 $C_0\rho_d Adx$，而尾端减少的杂质量为 $k_e(Sdx/L)$，其中 k_e 为有效分凝系数，从而：

$$dS = C_0\rho_d Adx - \frac{k_e S}{L}dx = \left(C_0\rho_d A - \frac{k_e S}{L}\right)dx \tag{2-16a}$$

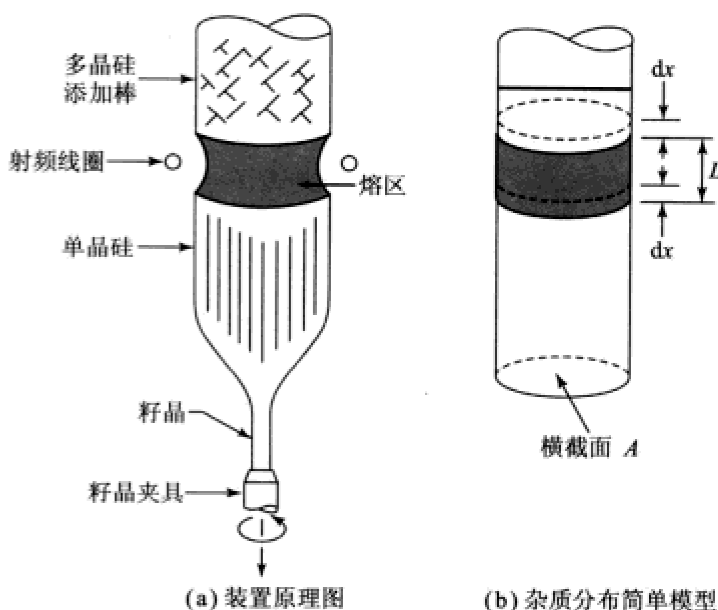


图 2-6 悬浮区熔法

于是：

$$\int_0^x dx = \int_{S_0}^{S} \frac{dS}{C_0\rho_d A - (k_e S/L)} \tag{2-16b}$$

其中，最初在晶棒顶端形成熔区时熔区内所含的杂质量是 $S_0 = C_0\rho_d AL$。从公式(2-16b)得到：

$$\exp\left(\frac{k_e x}{L}\right) = \frac{C_0\rho_d A - (k_e S_0/L)}{C_0\rho_d A - (k_e S/L)} \tag{2-17a}$$

或者：

$$S = \frac{C_0 A\rho_d L}{k_e}\left[1 - (1-k_e)^{-k_e x/L}\right] \tag{2-17b}$$

因为 C_s（熔区底端晶体中掺杂浓度）由 $C_s = k_e(S/A\rho_d L)$ 计算，则：

$$C_s = C_0\left[1 - 1(1-k_e)^{-k_e x/L}\right] \tag{2-18}$$

图 2-7 表示出不同的 k_e 值对应的掺杂浓度与固化区长度的关系。

悬浮区熔法和 Czochralski 法这两种晶体生长工艺都能去除杂质。比较图 2-4 和图 2-7 可以看到，只进行一次区熔的晶体并不比用一次 Czochralski 法生长出的晶体更纯。例如，在 $k_0 = k_e = 0.1$ 的情况下，对于 Czochralski 法生长晶锭的大部分区域来说

C_s/C_0的值更小一些。但是可以用区熔法对一个硅棒进行多次区熔，这比用 Czochralski 法制出晶体后，切去尾部，再重新熔化拉晶体要方便得多。图 2-8 是进行多次连续区熔后 $k_e=0.1$ 的元素杂质沿整个晶棒的分布曲线[4]。可见每进行一次区熔，晶棒中的掺杂浓度都显著降低许多，因此，悬浮区熔法非常适合实现晶体提纯，这种方法也称为区熔精炼工艺，它能够制备出高纯度的原材料。

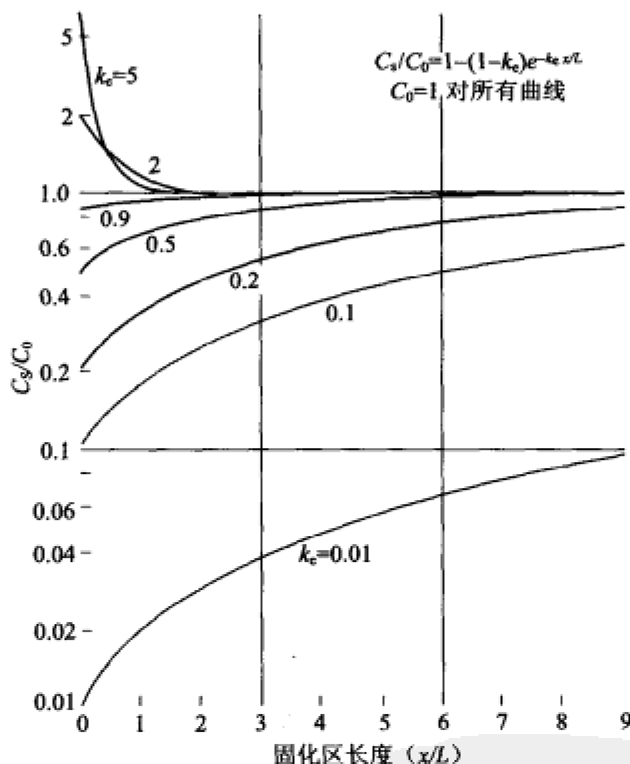


图 2-7 悬浮区熔法给出的晶体中掺杂浓度与固化区长度的函数关系曲线[4]

如果区熔法是用来对硅棒进行掺杂而不是用来提纯，我们考虑一种情况，即在第一个熔区中就要加入所有的杂质（$S_0=C_l A\rho_d L$），初始浓度小到可忽略不计，由公式(2-17)得出：

$$S_0=S\exp\left(\frac{k_e x}{L}\right) \tag{2-19}$$

因为 $C_s=k_e(S/A\rho_d L)$，则从公式(2-19)得出：

$$C_S=k_e C_l e^{-k_e x/L} \tag{2-20}$$

因此，如果 $k_e x/L$ 较小，尽管距离变化但 C_s 保持几乎不变，当然最后固化的末端除外。

某些开关器件如高压晶闸管需要占用较大的芯片面积——常常是一块晶片制成一个器件，这就对初始材料的均匀性提出严格要求。为了获得均匀的杂质分布，可以利用平均掺杂浓度远低于所需掺杂量的区熔硅片，用热中子对硅片进行辐照处理，这



种被称为中子辐照的工艺引起少部分硅蜕变成磷，从而掺杂形成 N 型硅材料，即：

$$Si_{14}^{30} + n \rightarrow Si_{14}^{31} + \gamma \rightarrow P_{15}^{31} + \beta \quad (2\text{-}21)$$

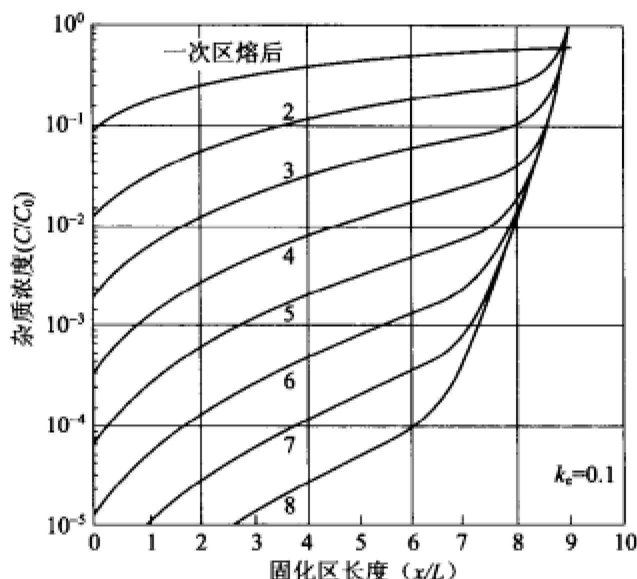


图 2-8 进行多次区熔时相关掺杂浓度与固化区长度的关系，L 表示熔区长度[4]

中间元素 Si_{14}^{31} 的半衰期是 2.62 小时。由于中子在硅中的穿透深度约 100cm，因此整个硅片掺杂非常均匀。图 2-9 中比较了常规掺杂硅片内和中子辐照掺杂硅片内横向电阻系数的分布[5]，可见与常规掺杂硅片相比，中子辐照掺杂硅片内的电阻系数变化要小得多。

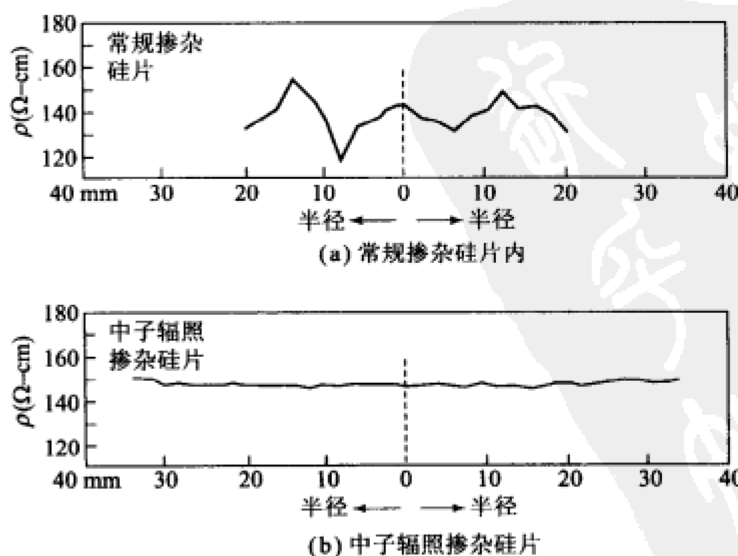


图 2-9[5] 典型的横向电阻系数分布比较

2.3　GaAs 晶体生长技术

2.3.1　初始材料

合成多晶砷化镓的初始材料是化学纯元素砷和镓，因为砷化镓是由两种材料组成的化合物，所以其性能不同于硅等单晶材料。元素合成的行为可以用相图来说明。相是物质可能存在的一种状态（比如固态、液态和气态）。相图以温度的函数表示出砷和镓两个组分之间的关系。

26

图 2-10 示出了砷—镓系的相图，横坐标代表了两个组分的配比，这种配比或是按原子百分比（下坐标轴计）或是按重量百分比（上坐标轴计）的不同构成[6,7]，设定初始组分为 x（如图 2-10 所示砷原子百分比为 85%）的熔体，当温度较低的时候，只要达不到液相线，熔体的配比会保持固定不变。当到达（T_1，x）点后，材料（也就是砷化镓）开始固化，凝固部分中砷原子百分比为 50%。

图 2-10　砷—镓系的相图[6]

【例 2】　在图 2-10 中，设定一种初始组分为 C_m（重量百分比）的熔体，该熔体从 T_a（位于液相线上）冷却到 T_b。试计算将被固化的熔体的百分数。

解：T_b 温度下液态的重量为 M_l，固态的重量为 M_s（也就是 GaAs），因此，砷液态和固态时的重量分别是 M_lC_l 和 M_sC_s。由于总的砷重量为 $(M_l+M_s)C_m$，则有：

27～28

$$M_lC_l + M_sC_s = (M_l + M_s)C_m$$

或者：

$$\frac{M_s}{M_l} = \frac{T_b\text{ 温度下 GaAs 的重量}}{T_b\text{ 温度下液态的重量}} = \frac{C_m - C_l}{C_s - C_m} = \frac{s}{l}$$

其中 s 和 l 分别是 C_m 到固相线和液相线的测试长度，正如图 2-10 中所示，约 10%的熔体凝固。

砷与硅的情形不一样，硅在熔点温度下的蒸汽压相当低（1412℃时大约 10^{-6} atm），但是在砷化镓的熔点温度（1240℃）下砷的蒸汽压非常高，气相态的砷主要以 As_2 和 As_4 的形式存在。图 2-11 显示出砷和镓在液相线上的蒸汽压[8]，同时图中也给出用来作比较的硅蒸汽压，图中砷化镓蒸汽压的曲线是双值的，虚线代表富砷的砷化镓熔体（图 2-10 中液相线的右边部分），实线代表富镓的砷化镓熔体（图 2-10 中液相线的左边部分）。因为富砷熔体比富镓熔体含有更多量的砷，于是更多的砷（As_2 和 As_4）从富砷熔体中蒸发出来，结果导致较高的砷蒸汽压。同理，可以解释在富镓熔体中镓蒸汽压较高的原因。应该指出，在远没有到达熔点之前，液相砷化镓的表面层可能离解成砷和镓，由于砷和镓的蒸汽压存在差别，挥发性较强的砷更容易散失，使得液体成为富镓型。

29

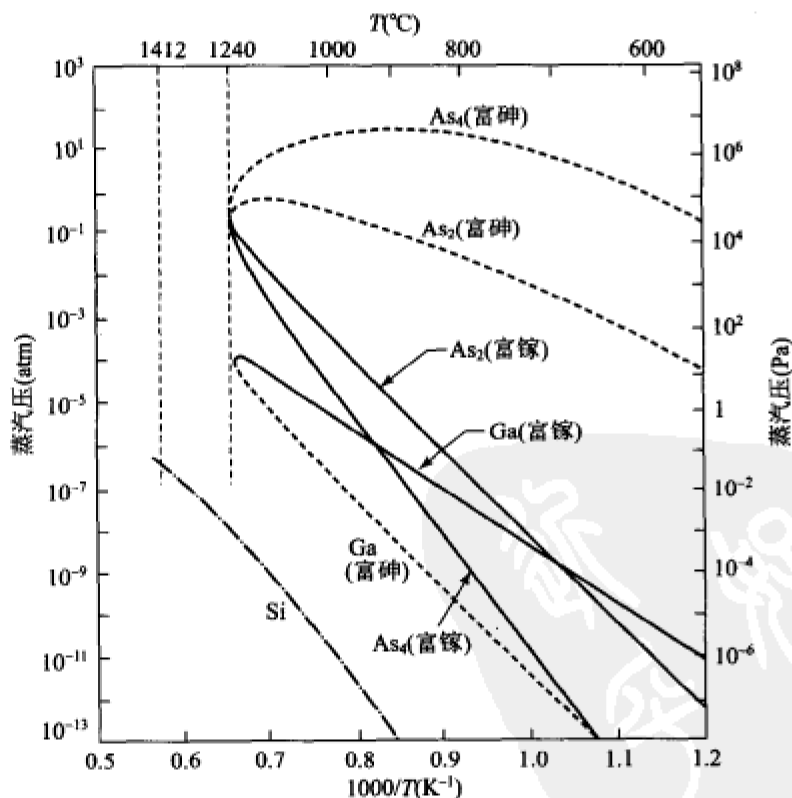


图 2-11　相对于砷化镓砷和镓的局部蒸汽压与温度的关系曲线[8]（同时给出局部硅蒸汽压）

为了合成砷化镓，通常使用双温区炉子，石英管抽成真空并封闭。高纯砷置于一个石墨舟中，并加热到 610℃～620℃之间，高纯砷放在另外一个石墨舟中，加热到稍高于砷化镓熔点温度（1240℃～1260℃）。此时，造成砷的过压，目的是：

(1) 迫使砷蒸汽流向镓熔体从而合成砷化镓；

(2) 抑制炉内砷化镓在形成过程中出现离解现象。

结果熔体冷却后可以得到高纯度的多晶态砷化镓，这些产品就是生长单晶态砷化镓所需的生料。[7]

2.3.2 晶体生长技术

有两种 GaAs 晶体生长工艺：Czochralski 法和 *Bridgman* 法。大多数 GaAs 晶体生长采用 Bridgman 法，但是生长大尺寸 GaAs 晶锭普遍采用 Czochralski 法。

Czochralski 法生长 GaAs 晶体所用的基本拉晶机与制备硅的一样，但是为了抑制晶体生长过程中熔体的离解现象，采用了一种液态密封法。液态密封材料是 1cm 厚的熔融氧化硼(B_2O_3)，熔融氧化硼流到砷化镓表面，像一个密封罩一样覆盖着砷化镓熔体，然后再在氧化硼熔体上充以 1atm (760 Torr)以上的气压，熔融氧化硼这个"罩子"就能做到抑制砷化镓离解。由于氧化硼可以溶解氧化硅，所以用石墨坩埚替代熔融石英坩埚。

在 GaAs 晶体生长过程中，为了获得所希望的掺杂浓度，通常用钙和锌制备 P 型材料，而用硒、硅和碲制备 N 型材料，半绝缘用途的 GaAs 材料是不掺杂的。表 2-2 列出 GaAs 中掺杂物的平衡分凝系数，这与硅材料中的情形相类似，大部分的分凝系数小于 1，前面描述硅材料的表达式(公式(2-4)到公式(2-15))同样适用于 GaAs 材料。

30

表 2-2 GaAs 中掺杂物的平衡分凝系数

杂质	k_0	类型
Be	3	P
Mg	0.1	P
Zn	4×10^{-1}	P
C	0.8	N/P
Si	1.85×10^{-1}	N/P
Ge	2.8×10^{-2}	N/P
S	0.5	N
Se	5.0×10^{-1}	N
Sn	5.2×10^{-2}	N
Te	6.8×10^{-2}	N
Cr	1.03×10^{-4}	半绝缘
Fe	1.0×10^{-3}	半绝缘

图 2-12 所示为 Bridgman 法装置。图中双温区炉用来生长砷化镓多晶体，左边温区设置到一定温度(约 610℃)使砷保持在所要求的过压状态，右边温区的温度(1240℃)则略高于砷化镓的熔点。封闭的反应管用石英材料制成，舟用石墨制成。在生长砷化镓单晶时，石墨舟装有一定量的多晶砷化镓，并把砷放在石英管的另一端。

随着炉子向右边移动，熔体从一端开始冷却下来。通常在石墨舟的左端放置籽晶以便晶体沿确定晶向生长。熔体的逐渐凝固(固化)，使得单晶体随液－固界面前进而

生长，最后就得到砷化镓单晶体了。杂质分布基本上可以用公式(2-9)到公式(2-15)来表示，这里生长速率可根据炉子移动速度给出。

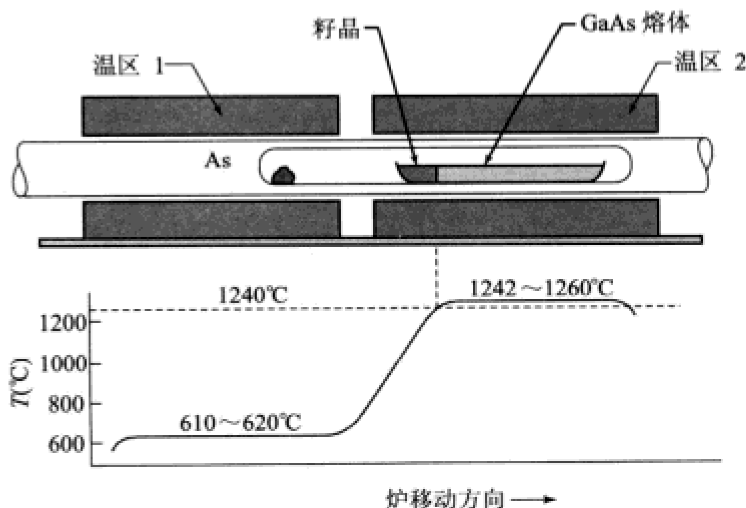


图 2-12 生长砷化镓单晶体的 Bridgman 法装置和炉内温度分布

2.4 材料特征

2.4.1 晶片整形

晶体生长出来以后，第一步整形加工是去掉籽晶和最后固化的锭尾[1]，下一步加工是外圆研磨以确定晶锭的直径。这一切完成之后，沿晶锭的纵向磨出一个或几个小平面，这些区域或平面标志出晶锭的晶向和材料的导电类型。最大的面称为主平面，在自动化工艺设备中用它来对晶片机械定位，还可以为晶体相关器件确定晶向。其他较小的平面称为次平面，用来识别材料的晶向和导电类型，如图 2-13 所示。对于直径为 200 mm 及其以上的晶体不研磨这种小平面，而是沿晶锭的纵向磨出一个浅槽。

接着就可以用金刚石刀片把晶锭切成薄片，切片决定了晶片的 4 个参数：

(1)表面晶向(比如〈111〉或者〈100〉)；

(2)厚度(比如 0.5mm～0.7mm，这取决于晶片直径大小)；

(3)锥度(晶片从一边到另一边的厚度变化)；

(4)弯曲度(即晶片由中心向边沿所测量得到的晶片表面曲率)。

完成切片工序后，用 Al_2O_3 和甘油的混合物研磨晶片的双面，一般要求达到 2mm 以内的厚度均匀性。研磨操作过程中往往会损坏和玷污晶片表面与边沿，为此可以采用化学蚀刻的方法去除损坏和玷污的区域(参见第 5 章)。晶片整形的最后步骤是抛光，其目的是为了提供光滑如镜的表面，便于通过光刻方法制造器件图形(参见第 4 章)。图 2-14 所示为放在片匣中的抛光硅晶片，尺寸分别为 200mm(8 英寸)和 400mm

(16英寸)。表2-3给出了美国半导体设备与材料协会(SEMI)制定的直径为125mm、150mm、200mm和300mm抛光硅晶片的技术规格。正如前面所提到,大尺寸晶片(直径3200mm)上不研磨小平面,取而代之的是在晶片边沿刻槽以便定位和识别晶向。

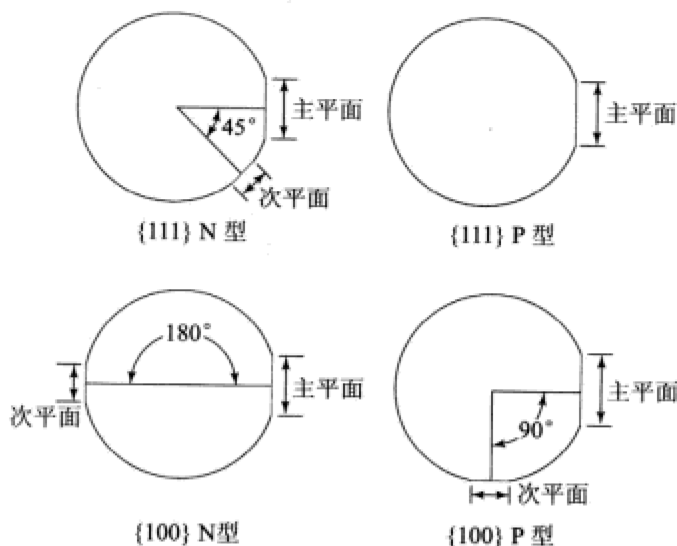


图2-13　半导体晶片的识别面

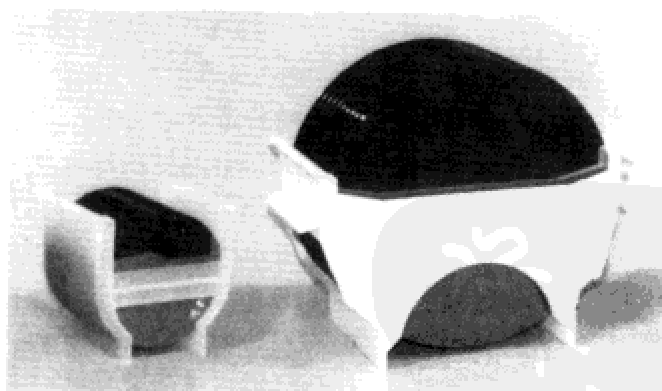


图2-14　放在片匣中尺寸分别为200mm(8英寸)和400mm(16英寸)的抛光硅晶片
(照片使用由东京Shin-Etsu Handotai公司惠允)

表2-3　抛光单晶硅片的技术规格

参　数	125 mm	150 mm	200 mm	300 mm
直径(mm)	125 ± 1	150 ± 1	200 ± 1	300 ± 1
厚度(mm)	0.6 ～ 0.65	0.65～0.7	0.715～0.735	0.755～0.775
主平面长度(mm)	40 ～ 45	55 ～ 60	无效	无效
次平面长度(mm)	25 ～ 30	35 ～ 40	无效	无效

(续)

参　数	125 mm	150 mm	200 mm	300 mm
弯曲度 (μm)	70	60	30	< 30
总厚度差异 (μm)	65	50	10	< 10
表面取向	(100) ± 1°	同前	同前	同前
	(111) ± 1°	同前	同前	同前

砷化镓材料比硅材料更容易碎裂，尽管砷化镓和硅的基本整形操作完全一样，但是在砷化镓晶片的制备过程中还是需要更加小心。与硅材料技术相比，砷化镓制备技术仍处于相对原始的状态。而且 III-V 族化合物工艺所取得的进展在一定程度上也是得益于硅工艺的发展。

32

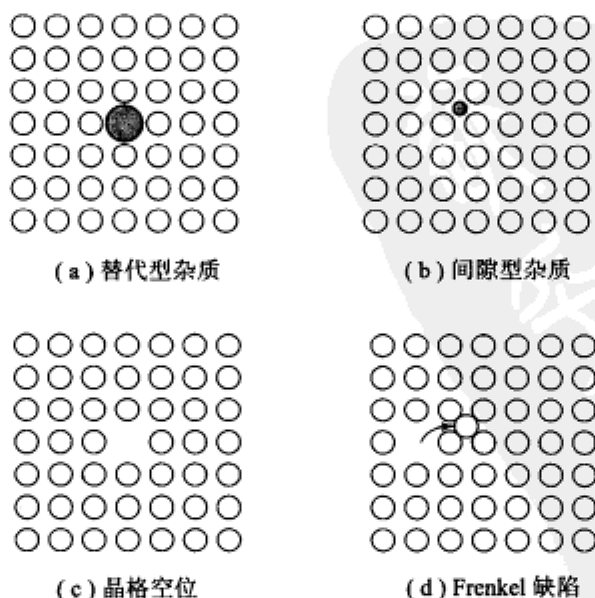
2.4.2 晶体特征

1. 晶体缺陷

实际晶体(如硅晶片)与理想晶体有很多不同之处。实际晶体的大小是有限的而不是无限的，因此表面原子处于不完全键合状态。此外实际晶体存在严重影响半导体的光学、电学和机械特性的缺陷，这些缺陷有四类：点缺陷、线缺陷、面缺陷和体缺陷。

图 2-15 表示了几种形式的点缺陷[1,9]。任何进入晶格的无关原子，无论是替代型的(即如图 2-15a 所示处于正常晶格位置)还是间隙型的(即如图 2-15b 所示处于正常晶格之间)，无论是有意的掺杂剂还是无意引入的杂质，都被认为是点缺陷。缺少一个原子而在晶格中产生的一个空位也属于点缺陷(如图 2-15c 所示)。处于晶格间隙的一个基质原子与一个对应的空位称为 *Frenkel* 缺陷。点缺陷在扩散和氧化的动力学中很重要。这些问题分别在第 3 章和第 6 章中分析。

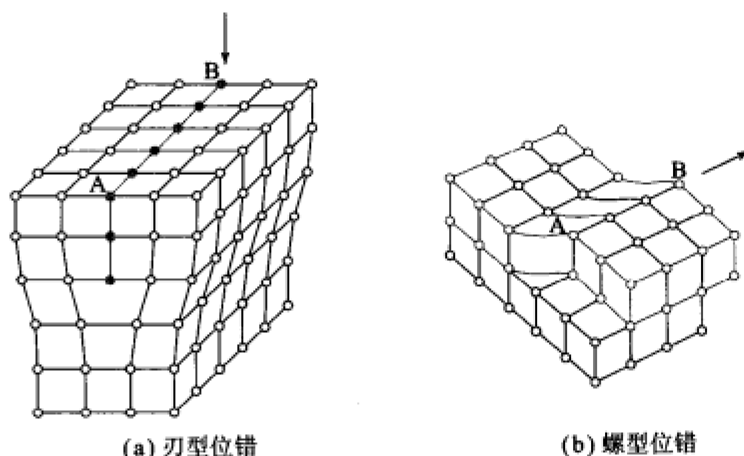
33



(a) 替代型杂质　(b) 间隙型杂质　(c) 晶格空位　(d) Frenkel 缺陷

图 2-15　点缺陷

接下来的一类缺陷是线缺陷，也称为位错[10]。位错分成螺型位错和刃型位错两类，图 2-16a 所示为立方晶体中的刃型位错，它可以被看作一个额外的原子面 AB 插入晶格中，其位错线垂直于纸面。螺型位错它可以被看成是切割晶体不完整，使得上表面多出一个晶格空间所致，如图 2-16b 所示。在器件中不希望出现线缺陷，因为线缺陷可成为金属杂质的沉积位置，这些杂质可能使器件性能变坏。

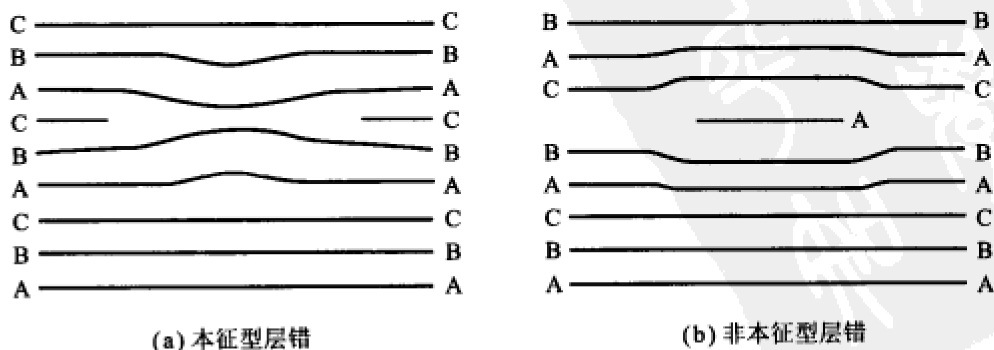


(a) 刃型位错　(b) 螺型位错

图 2-16　立方晶体中的线缺陷[10]

面缺陷是一种大面积的晶格不连续性，典型的两种面缺陷是孪晶和晶界。孪晶代表越过晶面有一晶向的变化；晶界表示晶体间的一种过渡，这些晶体间彼此没有特定的晶向关系。这些位错是在晶体生长过程中形成的。另一种面位错称为堆垛层错[9]，在这类缺陷中原子层的垛层排列次序被打乱了。如图 2-17 所示，原子在垛层中的正常次序是 ABCABC……。失去一层 C 而形成的层错，被称为本征型层错(如图 2-17a 所示)；在层 B 和层 C 之间插入层 A 而形成的层错，被称为非本征型层错(如图 2-17b所示)。这些缺陷是在晶体生长过程中出现的，有这些缺陷的晶体不能用于制造集成电路，只能报废。

34



(a) 本征型层错　(b) 非本征型层错

图 2-17　半导体材料中的堆垛层错

杂质或掺杂原子的淀积物是第4种缺陷:体缺陷。之所以产生这类缺陷是因为引入晶格的每种杂质都有一个固溶度,即主晶格本身和杂质相溶时主晶格可接受的掺杂浓度。图2-18为硅中各种元素的固溶度与温度的关系[11],大部分杂质的固溶度随温度的下降而减小。因此,若在一个给定温度下,在固溶度所允许的最大浓度时引入杂质,随后晶体冷却到较低的温度,这时候晶体只能通过淀积出超过固溶度的杂质原子来达到平衡状态。然而,淀积和晶格之间的体积失配会引起位错。

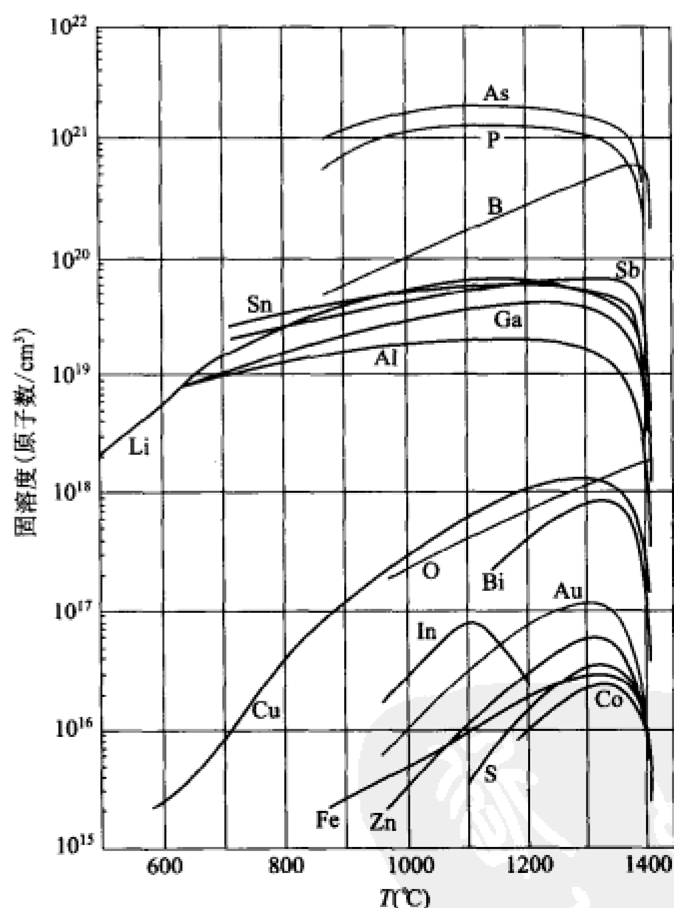


图2-18 硅材料中杂质元素的固溶度[11]

2. 材料特性

表2-4中比较了硅材料在特大规模集成电路(ULSI)中的特征和应达到的指标[12,13],这里所有集成电路技术集成的器件数目超过10^7。列在表2-4中半导体材料的特性可以用各种方法测量,其中电阻率测量可以用四探针法[14],微量杂质如硅中的氧和碳可以采用二次离子质谱技术来分析,这种技术将在第6章中介绍。尽管当前的技术能够实现列在表2-4中大部分晶片的性能规范,但面对ULSI技术的迫切要求时,仍需百尺竿头更进一步[13]。

表 2-4 ULSI 中硅材料特征和指标对比

特 性	特 征		ULSI 的指标
	Czochralski 法	悬浮区熔法	
电阻率（磷）N 型（Ω-cm）	1 ～ 50	1 ～ 300 及以上	5 ～ 50 及以上
电阻率（锑）N 型（Ω-cm）	0.005 ～ 10	—	0.001 ～ 0.02
电阻率（硼）P 型（Ω-cm）	0.005 ～ 50	1 ～ 300	5 ～ 50 及以上
电阻梯度（四探针法）（%）	5 ～ 10	20	< 1
少数载流子寿命（μs）	30 ～ 300	50 ～ 500	300 ～ 1000
氧（ppma）	5 ～ 25	未探获	均匀且可控
碳（ppma）	1 ～ 5	0.1 ～ 1	< 0.1
位错（加工前）（/cm²）	⩽ 500	⩽ 500	⩽ 1
直径（mm）	上限 200	上限 100	上限 300
单片弯曲度（μm）	⩽ 25	⩽ 25	< 5
单片锥度（μm）	⩽ 15	⩽ 15	< 5
表面平整度（μm）	⩽ 5	⩽ 5	< 1
重金属杂质（ppba）	⩽ 1	⩽ 0.01	< 0.001

ppma：百万原子分之……；ppba：十亿原子分之……

Czochralski 法制备的材料中氧和碳的浓度远远高于悬浮区熔法生长的材料，这是因为在晶体生长过程中，氧从石英坩埚溶解出来，碳则从石墨基底转移到熔体所致。典型的碳浓度为 10^{16}～10^{17} 原子/cm^3，硅中的碳原子以替代式占据晶格，因为碳有助于形成缺陷，所以它的存在是所不希望的；典型的氧浓度为 10^{17}～10^{18} 原子/cm^3，然而氧对缺陷来说既能抑制又能助长，一方面氧能起施主作用，改变由有意掺杂所产生的电阻率，另一方面晶格间隙中的氧能够增强硅材料的强度。

36

另外，氧的沉淀物由于溶解效应可以产生吸杂作用，吸杂是一个通用术语，是指把有害杂质和缺陷从晶片的器件制造区除掉的工艺。当对晶片进行高温（比如在氮气中1050℃）处理时，氧从晶片表面挥发脱去，表面附近的氧含量降低了，这种处理为制造器件准备出无缺陷区(或称洁净区)，如图 2-19 所示[1]。可以加上辅助热处理循环以促进晶片内部吸除杂质的氧沉淀物形成，至于无缺陷区的深度取决于热循环处理的时间、温度以及氧在硅中的扩散系数。图 2-19 给出了洁净区的测量结果[1]，这就可能得到在实际中无位错的 Czochralski 法单晶硅。

商用熔体生长的砷化镓材料严重受到坩埚的玷污，当然，就光电器件应用来说大多数要求重掺杂材料($10^{17}/cm^3$～$10^{18}/cm^3$)，而对于集成电路或者分立 MESFET 器件来说，使用不掺杂的砷化镓材料，即砷化镓作为 $10^9\,\Omega\cdot cm$ 电阻率的初始材料。在砷化镓材料中不应含有氧，因为氧会形成深施主能级，这些能级有助于俘获衬底中的电荷，从而增大衬底体电阻率。在熔体生长法中可以使用石墨坩埚来减小氧的玷污。用 Czochralski 法生长的砷化镓晶体中的位错量，比用该法制备的硅晶体中的高两个数量级，但是在用 Bridgman 法制备的 GaAs 晶体中，其位错密度比用 Czochralski 法生长的砷化镓晶体中的低约一个数量级。

37

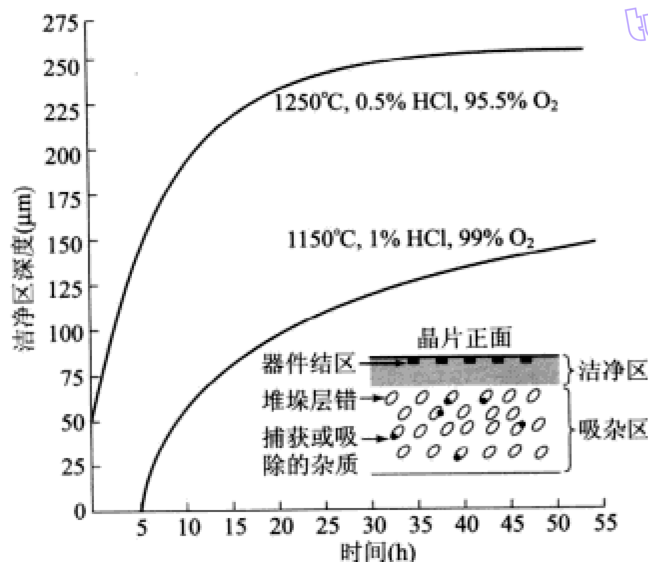


图 2-19 两种工艺条件处理的洁净区宽度，其中插图简略表示了洁净区及吸杂区在晶片横截面中的位置[1]

2.5 小结

生长硅和砷化镓的单晶体有多种工艺可用。在硅单晶制备过程中，先用沙子(SiO_2)生产出来多晶态硅，然后多晶态硅成为 Czochralski 拉晶机的生产原料，再用晶向符合要求的籽晶来从熔体中生长晶锭，实际 90%以上的硅单晶是用这种技术制备的。在晶体生长过程中，晶体中的杂质重新分布。一个重要参数是分凝系数，即固体中掺杂浓度与熔体中的比率。由于大多数分凝系数都小于 1，随着晶体生长杂质逐渐富集在熔体中。

另一种硅生长工艺是悬浮区熔法，该工艺产生的玷污比常规 Czochralski 法的低，悬浮区熔法晶体主要用来制造要求高阻材料的高压、高功率器件。

要制备 GaAs 需用化学纯的砷和镓作初始材料合成多晶态 GaAs，然后采用 Czochralski 法生长 GaAs 单晶体，但这当中要使用液态密封剂（如 B_2O_3）抑制 GaAs 在生长温度下发生的离解。还有一种工艺是 Bridgman 法，该工艺使用了适合熔体逐渐固化的双温区炉。

晶体生长出来以后，它通常要历经整形工艺以便获得最终产品——有特定直径、厚度和晶向的高质量抛光晶片，例如用于 MOSFET 生产线上的 200 mm 硅晶片应该具备(200 ±1) mm 的直径、(0.725 ± 0.01)mm 的厚度和(100 ± 1)°的晶向，而直径 200 mm 以上的晶片为未来的集成电路而制备，它们的特性规范列在表 2-3 中。

38

实际晶体中存在影响半导体的光学、电学和机械特性的缺陷，这些缺陷包括点缺陷、线缺陷、面缺陷和体缺陷。本章也讨论了减少这些缺陷的方法。在更高要求的

ULSI 应用中，位错密度必须每平方厘米小于 1。其他重要要求列在表 2-4 中。

参考文献

1. C. W. Pearce, "Crystal Growth and Wafer Preparation" and "Epitaxy," in S. M. Sze, Ed., *VLSI Technology*, McGraw-Hill, New York, 1983.

2. T. Abe, "Silicon Crystals for Giga-Bit Scale Integration," in T. S. Moss, Ed., *Handbook on Semiconductors*, Vol. 3, Elsevier Science B. V., Amsterdam/New York, 1994.

3. W. R. Runyan, *Silicon Semiconductor Technology*, McGraw-Hill, New York, 1965.

4. W. G. Pfann, *Zone Melting*, 2nd Ed., Wiley, New York, 1966.

5. E. W. Hass and M. S. Schnoller, "Phosphorus Doping of Silicon by Means of Neutron Irradiation," *IEEE Trans. Electron Devices*, **ED-23**, 803 (1976).

6. M. Hansen, *Constitution of Binary Alloys*, McGraw-Hill, New York, 1958.

7. S. K. Ghandhi, *VLSI Fabrication Principles*, Wiley, New York, 1983.

8. J. R. Arthur, "Vapor Pressures and Phase Equilibria in the GaAs System," *J. Phys. Chem. Solids*, **28**, 2257 (1967).

9. B. El-Kareh, *Fundamentals of Semiconductor Processing Technology*, Kluwer Academic, Boston, 1995.

10. C. A. Wert and R. M. Thomson, *Physics of Solids*, McGraw-Hill, New York, 1964.

11. F. A. Trumbore, "Solid Solubilities of Impurity Elements in Germanium and Silicon," *Bell Syst. Tech. J.*, **39**, 205 (1960); R. Hull, *Properties of Crystalline Silicon*, INSPEC, London, 1999.

12. Y. Matsushita, "Trend of Silicon Substrate Technologies for 0.25 μm Devices," *Proc. VLSI Technol. Workshop*, Honolulu (1996).

13. *The International Technology Roadmap for Semiconductors*, Semiconductor Industry Association, San Jose, CA, 2001.

14. W. F. Beadle, J. C. C. Tsai, and R. D. Plummer, Eds., *Quick Reference Manual for Engineers*, Wiley, New York, 1985.

习题

1. 已知有初始掺杂浓度为 $10^{17}/cm^3$ 的熔体，从该熔体中拉制 50cm 长的晶锭，请分别计算距离籽晶 10cm、20cm、30cm、40cm 和 45cm 处砷的掺杂浓度。

2. 单晶硅中晶格常数为 5.43Å，假定一个硬球模型。(1) 计算硅原子半径；(2) 按照原子数/cm^3 单位确定硅原子密度；(3) 采用 Avogadro 常数计算单晶硅密度。

3. 假定采用 10 kg 纯硅填料，当生长出一半晶锭的时候，要得到 0.01Ω·cm 电阻率的掺硼硅材料，应当加入多少硼？

4. 直径 200mm、厚度 1mm 的硅晶片含硼 5.41mg，且硼均匀分布在替代位上。计算：(1) 按照原子数/cm^3 单位硼的浓度；(2) 硼原子间的平均距离。

5. 用在 Czochralski 法中的籽晶直径通常很小(5.5mm)，作为一种初始生长无位错的方法应用。如果硅晶体产生的强度是 2×10^6 g /cm^2，计算这样一个籽晶能拉出多长的直径为 200mm 的硅晶锭。

39

6. 绘制出 Czochralski 法中 $k_0 = 0.05$ 时 C_s/C_0 比值的曲线图。

7. 用硼掺杂 Czochralski 法生长的晶体，为什么晶尾中硼的浓度远远大于籽晶中硼的浓度？

8. 为什么晶片中央掺杂浓度大于其边沿掺杂浓度？

9. 采用悬浮区熔法来提纯硅锭，其中硅锭内镓浓度均匀分布为 $5\times10^{16}/cm^3$，熔区长度 2cm，那么经过多长的距离后镓浓度才会低于 $5\times10^{15}/cm^3$？

10. 根据公式(2-18)计算 $x/L=1$ 和 2 时 C_s/C_0 的比值，其中 $k_0=0.3$。

11. 如果用图 2-9 中的硅材料制造 P+N 突变结二极管，计算常规掺杂硅材料和中子辐射硅材料的击穿电压百分比。

12. 根据图 2-10 所示，如果 C_m 是 20%，在 T_b 点液态组分将保留多少？

13. 根据图 2-10 所示，解释为什么液态 GaAs 总是富镓？

14. 空穴均衡密度 n_s 由 $N\exp(-E_s/kT)$ 给定，其中 N 是半导体原子密度，E_s 是生成能。假定 $E_s=2.3\text{eV}$，分别计算 27℃、900℃和 1200℃时硅中的 n_s 值。

15. 假定 Frenkel 缺陷的生成能(E_f)是 1.1eV，试估算 27℃和 900℃时的缺陷密度。已知 Frenkel 缺陷的均衡密度由公式 $n_f=\sqrt{NN'}\,e^{-E_f/2kT}$ 给定，其中 N 是硅原子密度(cm^{-3})，N' 是有效空隙密度(cm^{-3})并且可表示为 $N'=1\times10^{27}e^{-3.8(eV)/kT}/cm^3$。

16. 在 300 mm 的晶片上可以布置多少块 $400mm^2$ 的芯片？在考虑芯片形状和晶片周边不可用部分的情况下解释推算理由。

第3章 硅 氧 化

在分立器件和集成电路制造中，使用了不同类型的薄膜，其中包括热氧化膜、电介质膜、多晶硅膜和金属膜等。图 3-1 所示为普通硅 N 沟道 MOSFET 的原理图，在这个管子中使用了上述这四类薄膜。热氧化膜中最重要的薄膜是栅氧化层，在栅氧化层下面的源和漏之间可以形成导电沟道。与此相关的是场氧化层，它使器件之间彼此绝缘。通常无论栅氧化层还是场氧化层都是用热氧化方法生长，因为只有热氧化能够产生界面陷阱密度较低的高质量氧化层。

本章主要涉及以下内容：

- ☐ 用来制备氧化硅（SiO_2）的热氧化方法；
- ☐ 氧化过程中的杂质再分布；
- ☐ SiO_2 薄膜的材料特性和厚度测量技术。

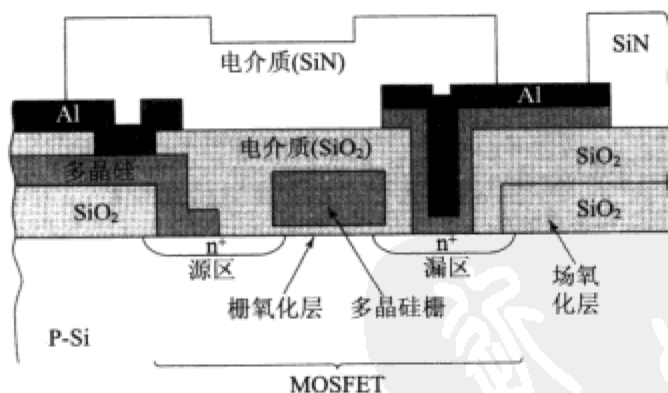


图 3-1 金属—氧化物—半导体场效应晶体管（MOSFET）的截面示意图

3.1 热氧化方法

半导体可以采用多种方式进行氧化，其中包括热氧化、电化学阳极氧化以及等离子增强化学气相淀积（PECVD，参见第 8 章）。在这些方式中，热氧化是硅器件最重要的氧化方法，它是现代硅集成电路技术中的关键工艺。而对砷化镓来说，热氧化所产生成分一般偏离化学配比，这种氧化膜层的电学绝缘性及其对半导体表面的保护作用均很差，因此，在砷化镓技术中几乎不用其氧化物。本章集中讨论硅的热氧化。

热氧化的基本装置如图 3-2 所示[1]，反应器由电阻加热炉、圆筒型熔凝石英管（管内

装有立放在开槽石英舟上的硅片)以及高纯水蒸气或高纯干燥氧气的气源组成,炉管装片端置于垂直层流罩下,罩下保持着经过滤的空气流,气流的方向如图 3-2 中箭头所示,垂直层流罩大大减少了硅片周围空气中的灰尘和微粒数,使装片时可能受到的沾污减至最小。氧化温度一般控制在 900℃到 1200℃之间,气流速率通常约为 1L/min。氧化系统采用微处理器来调控气体流入顺序,控制硅片的自动推入及拉出,控制炉温自动从低温线性地升高至氧化温度,使硅片不致因突然改变温度而翘曲,同时,还要保持氧化温度的变化在±1℃之内,并在氧化结束时自动降温。

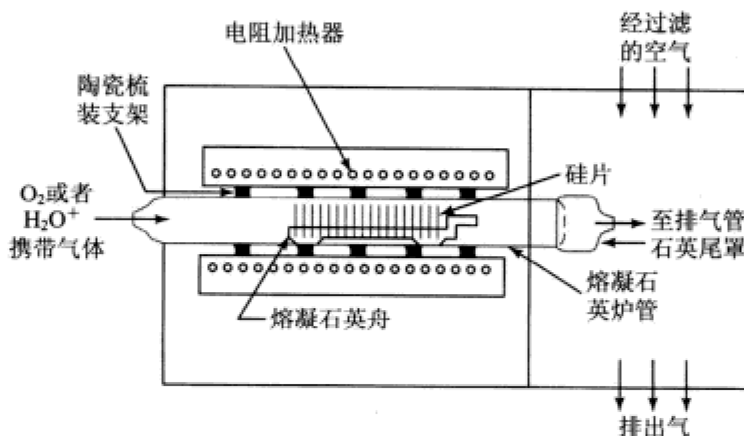


图 3-2　电阻加热氧化炉的截面示意图

3.1.1　生长动力学

下列化学反应式描述了硅在氧气(干氧化)或水蒸气(湿氧化)中的热氧化反应:



$$\text{Si(固体)} + O_2\text{(气体)} \rightarrow SiO_2\text{(固体)} \tag{3-1}$$



$$\text{Si(固体)} + 2H_2O\text{(气体)} \rightarrow SiO_2\text{(固体)} + 2H_2\text{(气体)} \tag{3-2}$$

42

在氧化过程中 Si-SiO_2 界面向硅内移动,这就产生出新鲜的界面区,而原先硅表面上的沾污将留在氧化层外表面。在下面的例题中,利用硅及二氧化硅的密度与分子量可得出生长厚度为 x 的氧化层要消耗掉 $0.44x$ 厚的硅层(如图 3-3 所示)。

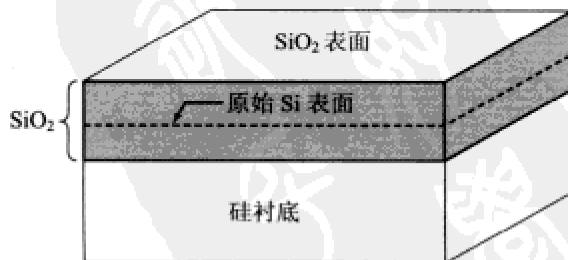


图 3-3　热氧化生长的二氧化硅

【例 1】　如果用热氧化工艺生长厚度为 x 的二氧化硅层,需要消耗掉的硅层厚度为多少?已知硅分子量 28.9g/mol,硅密度 2.33g/cm³;SiO_2的分别是 60.08g/mol 和 2.21g/cm³。

解:1mol 硅的体积是:$\dfrac{\text{硅的分子量}}{\text{硅的密度}} = \dfrac{28.9\text{g/mol}}{2.33\text{g/cm}^3} = 12.06\ \text{cm}^3/\text{mol}$

1mol 二氧化硅的体积是：$\frac{SiO_2\text{ 的分子量}}{SiO_2\text{ 的密度}} = \frac{60.08g/mol}{2.21g/cm^3} = 27.18cm^3/mol$

因为 1mol 硅被转化成了 1mol 二氧化硅，则：

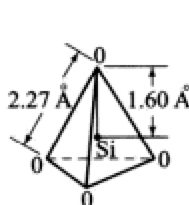
$$\frac{Si\text{ 的厚度}\times\text{面积}}{SiO_2\text{ 的厚度}\times\text{面积}} = \frac{1mol\,Si\text{ 的体积}}{1mol\,SiO_2\text{ 的体积}}$$

$$\frac{Si\text{ 的厚度}}{SiO_2\text{ 的厚度}} = \frac{12.06}{27.18} = 0.44$$

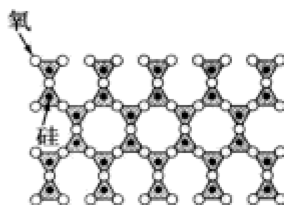
硅的厚度 = 0.44(SiO_2的厚度)，例如要生长 100nm 的二氧化硅层需要消耗 44nm 的硅层。

热氧化生长二氧化硅的基本结构单元是四面体结构，如图 3-4a[1] 所示，即由 4 个氧原子包围着 1 个硅原子组成的四面体，硅—氧原子核的间距为 1.6Å，氧—氧原子核的间距为 2.27Å。各四面体的顶角以氧桥互相连接，不同的连接方式形成二氧化硅（也称硅石）的不同结构或不同的相，硅石有几种晶态结构，也有非晶态结构。当硅热氧化成二氧化硅时，其结构属非晶态。通常，非晶态硅石密度为 $2.21g/cm^3$，而石英密度是 $2.65g/cm^3$。

43



(a) 二氧化硅基本结构单元



(b) 石英晶体晶格的二维示意图

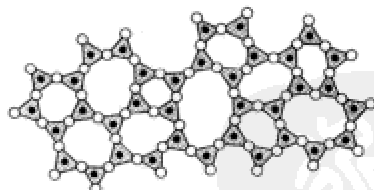

(c) 非晶态二氧化硅结构的二维示意图

图 3-4[1]　四面体结构

晶态与非晶态结构上的根本差别在于前者在众多分子间距范围内具有周期性结构，而后者没有周期性结构。图 3-4b 给出了石英晶体结构的二维原理示意图，它是由 6 个硅原子形成的环状结构组成的，图 3-4c 是用来比较的非晶结构的二维原理示意图，在非晶硅结构中仍然存在由 6 个硅原子组成特征环的趋势。可以注意到图 3-4c 中的非晶结构十分稀疏，这是因为只有 43%的空间被二氧化硅分子占据。相当稀疏的结构不仅产生较低的密度，而且使得很多杂质（如钠）能够进入并容易扩散到整个二氧化硅层。

硅的热氧化过程动力学可以根据图 3-5 所示意的简单模型进行研究[2]。硅样片与氧化剂（氧气或水蒸气）相接触，导致外表面氧化剂浓度为 C_0 个分子/cm^3，C_0 数值上等

于在氧化温度下氧化剂的平衡浓度，通常平衡浓度正比于氧化表面附近氧化剂的分压。在 1000℃ 的温度和 1 个大气压的条件下，对于干氧 C_0 为 $5.2\times10^{16}/cm^3$，对于水蒸气 C_0 为 $3\times10^{19}/cm^3$。

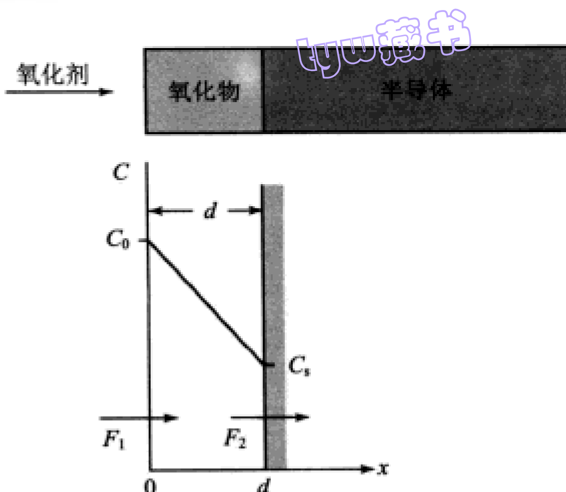


图 3-5 硅的热氧化基本模型[2]

氧化剂扩散通过二氧化硅层，在硅表面产生浓度 C_s，流量 F_1 表示为：

$$F_1 = D\frac{dC}{dx} \cong \frac{D(C_0 - C_s)}{x} \tag{3-3}$$

这里 D 是氧化剂扩散系数，x 是已经存在的氧化层厚度。

在硅表面，氧化剂与硅发生化学反应，假定反应速率正比于硅表面氧化剂的浓度，则流量 F_2 为：

$$F_2 = \kappa C_s \tag{3-4}$$

这里 κ 是氧化过程中表面反应速率常数。稳态时，$F_1 = F_2 = F$，联立公式(3-3)和公式(3-4)，得：

$$F = \frac{DC_0}{x + (D/\kappa)} \tag{3-5}$$

氧化剂与硅的化学反应产生二氧化硅。令 C_1 为进入单位体积氧化层中氧化剂分子数，因为单位立方厘米的二氧化硅中有 2.2×10^{22} 个分子，每个二氧化硅分子结合进 1 个氧分子，每个二氧化硅分子结合进 2 个水分子(H_2O)，于是干法氧化的 C_1 为 $2.2\times10^{22}/cm^3$，湿法氧化的 C_1 值要加倍变为 $4.4\times10^{22}/cm^3$。氧化层厚度生长速率由下式给出：

$$\frac{dx}{dt} = \frac{F}{C_1} = \frac{DC_0/C_1}{x + (D/\kappa)} \tag{3-6}$$

可以利用初始条件：$x(0) = d_0$ 求解这个微分方程，这里 d_0 是氧化层初始厚度，d_0 也可以视为先前氧化工序已长成的氧化层厚度。解公式(3-6)得到硅氧化的一般关系式：

$$x^2 + \frac{2D}{\kappa}x = \frac{2DC_0}{C_1}(t+\tau) \tag{3-7}$$

其中 $\tau = (d_0^2 + 2Dd_0/\kappa)C_1/2DC_0$，它表示初始氧化层 d_0 引起的时间坐标平移。

经过一段氧化时间 t 以后，氧化层厚度由下式给出：

$$x = \frac{D}{\kappa}\left[\sqrt{1+\frac{2C_0\kappa^2(t+\tau)}{DC_1}} - 1\right] \tag{3-8}$$

在时间短(t 较小)的情况下，公式(3-8)简化为：

$$x \cong \frac{C_0\kappa}{C_1}(t+\tau) \tag{3-9}$$

时间长(t 较大)的情况下,公式(3-8)简化为:

$$x \cong \sqrt{\frac{2DC_0}{C_1}(t+\tau)} \tag{3-10}$$

在氧化物生长初期,表面反应是限制生长速率的原因,此时氧化厚度与时间呈线性关系。当氧化层变厚以后,氧化剂必须扩散穿越氧化层到达硅—二氧化硅界面完成反应,即反应变成受扩散过程限制,这时,氧化生长速率变得与氧化时间呈平方根的关系,出现抛物线型生长速率。

公式(3-7)常常写成更紧凑的形式:

$$x^2 = Ax = B(t+\tau) \tag{3-11}$$

其中 $A = 2D/\kappa, B = 2DC_0/C_1, B/A = kC_0/C_1$,使用这些式子和公式(3-9)、(3-10)联立可以得到:

$$x = \frac{B}{A}(t+\tau) \tag{3-12}$$

这个公式描述线性区,而下列公式:

$$x^2 = B(t+\tau) \tag{3-13}$$

描述抛物线区。所以参量 B/A 称为线性率常数,B 称为抛物线率常数。事实上在很宽范围的氧化条件下,该模型的推断与实验测试结果相符合。湿氧氧化情况下初始厚度 d_0 很小,或者说 $\tau \cong 0$;但干氧氧化情况下 $t=0$ 时 d_0 估计值约 25nm。因此对于在裸硅上进行干氧氧化用公式(3-11)就需要 τ 值,这个值可以使用初始厚度求解得到。表3-1列出了硅的湿氧氧化速率常数值,表3-2列出了干氧氧化速率常数值。

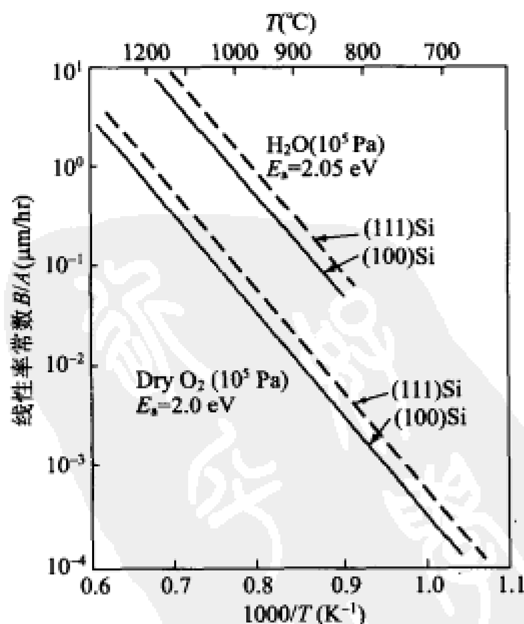


图 3-6 线性率常数与温度的关系[2]

对于〈111〉和〈100〉晶向的硅片进行干氧和湿氧氧化,它们的线性率常数 B/A 与温度的变化关系显示在图3-6中[2]。线性率常数随 $\exp(-E_a/kT)$ 而变化,其中干氧和湿氧氧化的激活能 E_a 都是约 2eV,这个值与分开一个 Si-Si 键所需的能量 1.83eV 不相上下。在给定的氧化条件下,线性率常数取决于晶向,这是因为线性率常数与氧原子进入硅晶格的速率有关,这又与表面硅原子的键结构有关,从而使其取决于晶向。因为〈111〉晶面上的有效键密度比〈100〉晶面上的高一些,所以〈111〉硅晶面的线性率常数较大一些。

表 3-1 硅湿氧氧化速率常数

氧化温度(℃)	A (μm)	抛物线率常数 B(μm²/h)	线性率常数 B/A(μm/h)	τ(h)
1200	0.05	0.720	14.40	0
1100	0.11	0.510	4.64	0
1000	0.226	0.287	1.27	0
920	0.50	0.203	0.406	0

表 3-2 硅干氧氧化速率常数

氧化温度(℃)	A (μm)	抛物线率常数 B(μm²/h)	线性率常数 B/A(μm/h)	τ(h)
1200	0.040	0.045	1.12	0.027
1100	0.090	0.027	0.30	0.076
1000	0.165	0.0117	0.071	0.37
920	0.235	0.0049	0.0208	1.40
800	0.370	0.0011	0.0030	9.0
700	…	…	0.00026	81.0

图 3-7 所示为抛物线率常数 B 与温度的关系，常数 B 也可以用 $\exp(-E_a/kT)$ 来描述。干氧氧化的激活能是 1.24eV，该值与熔融硅石中氧的扩散激活能 1.18eV 差不多，湿氧氧化的激活能是 0.71eV，该值也与水在熔融硅石中的扩散激活能 0.79eV 相近似。抛物线率常数与晶向无关，这正是在预料之中，因为抛物线率常数衡量的是氧化剂穿越非晶硅石层随机网格的扩散过程。

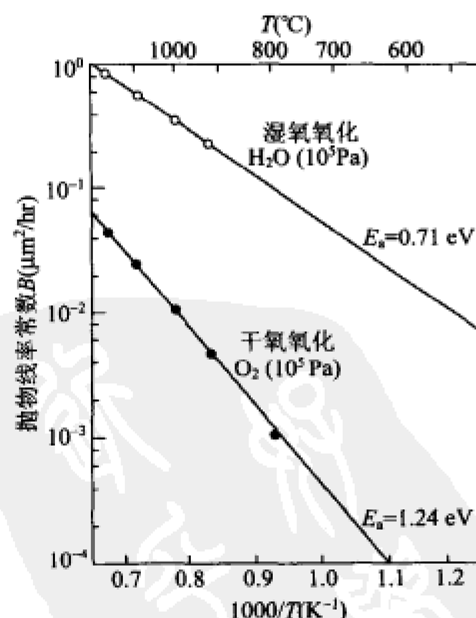
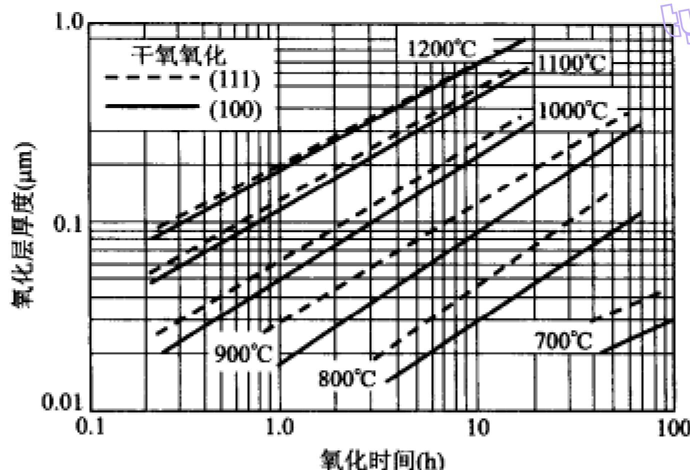


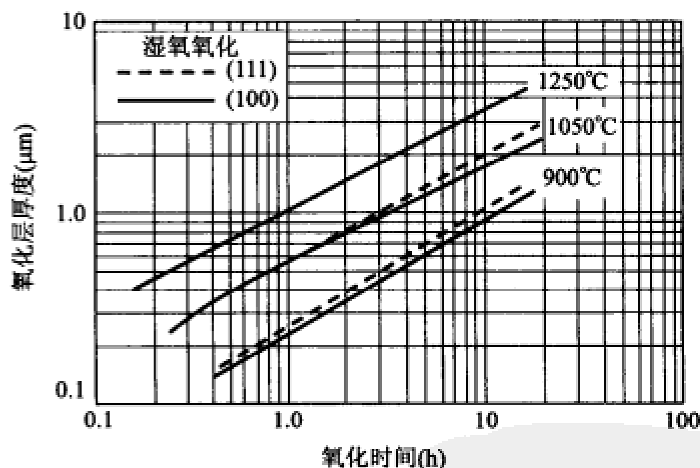
图 3-7 抛物线率常数与温度的关系[2]

虽然干氧法生长的氧化物有最佳的电学特性，但在给定温度下生长同样厚度的氧化层干氧比湿氧需要更多的时间。制备厚度相当薄的氧化层如 MOSFET 的栅氧化层(≤20nm)采用干氧法，而对于厚氧化层(≥20nm)如 MOS 集成电路和双极器件中的场氧化区，则采用水蒸气(或水汽)氧化产生合适的隔离和钝化材料。

图 3-8 给出了在两种晶向的衬底上生长的二氧化硅厚度与反应时间及温度的实验结果[3]，在给定氧化条件下，在〈111〉晶向衬底上生长的氧化硅厚度大于在〈100〉晶向衬底上的，这是因为〈111〉晶向的线性速率常数较大一些。可见，在给定温度和时间的条件下，湿氧氧化获得的薄膜厚度约是干氧氧化的 5 倍到 10 倍。



(a) 用干氧生长



(b) 用水汽生长

图 3-8　在两种晶向衬底的情况下二氧化硅厚度与反应时间和温度的实验结果[3]

【例 2】　一块硅样品在 1200℃下采用干氧氧化 1 小时，问:(1)生长的氧化层多厚?(2)再在 1200℃下采用湿氧氧化多生长出 0.1μm 需要多长时间?

解:(1)根据表 3-2 给出的数据，在 1200℃下干氧氧化的速率常数为:

$$A = 0.04\mu m \quad B = 0.045\mu m^2/h$$

以及 τ=0.027 h，把这些参数带入公式(3-11)得到氧化层厚度:

$$x = 0.196\mu m$$

(2)根据表 3-1 给出的数据，在 1200℃下湿氧氧化的速率常数为:

$$A = 0.05\mu m \quad B = 0.72\mu m^2/h$$

因为从前一个问题知道 $d_0 = 0.196\mu m$，则:

$$\tau \equiv (d_0^2 + 2Dd_0/\kappa)C_1/2DC_0 = \frac{d_0^2 + Ad_0}{B} = 0.067\text{h}$$

最终希望厚度为 $x = d_0 + 0.1\mu m = 0.296\mu m$，把这些参数带人公式(3-11)得到还需要的生长时间：

$$t = 0.76 \quad h = 4.53\text{min}$$

3.1.2 薄氧化层生长

要做到能重复生长准确厚度的薄氧化层，那么生长速率必须相当的慢。关于获得慢生长速率的各种方法都有报道，包括在大气压下低温(800℃到900℃)干氧法，在比大气压低的气压下的生长法，减少氧分压法(其中混入用 N_2、Ar 和 He 等稀释的氧化剂气体)，以及使用混合氧化层膜(栅氧化层膜由一层热生长 SiO_2 和一层化学气相淀积(CVD)覆盖层组成)。然而制备 10nm 到 15nm 厚度栅氧化层的主流方法是在低温(800℃到 900℃)和大气压下进行氧化膜层生长，配制现代垂直氧化炉的工艺使用这种方法能够在晶片上生长出从 10nm 到 0.1mm 高重复率、高质量的氧化层。

人们很早就注意到在干氧氧化的情况下，存在一个明显的快速氧化过程，由它产生出约 20nm 厚的初始氧化层，因此 3.1.1 节中给出的简单模型对于厚度不超过 20nm 的干氧氧化是不适用的。对超大规模集成电路而言，能够生长既薄(约 5nm～20nm)、又均匀的高质量高重复性的栅氧化层越来越显得重要，本节简要分析这类薄氧化层的生长机理。

在干氧氧化的初期间段，氧化层中存在大量压应力，这种应力减小了氧在氧化层中的扩散系数。随着氧化层增厚，应力因为硅石的粘滞流而减弱下来，扩散系数将会接近无应力时的值。那么对于薄氧化层，D/κ 值可能相当小以致能够忽略公式(3-11)中的 Ax 项，并得：

$$x^2 - d_0{}^2 = Bt \tag{3-14}$$

式中 d_0 等于 $\sqrt{2DC_0\tau/C_1}$，它是时间外推至零时刻的初始氧化厚度，B 是前面定义的抛物线率常数，因此可以预期干氧氧化的初始生长阶段遵循抛物型规律。

3.2 氧化过程中杂质再分布

在热氧化过程中硅界面附近的掺杂物质将重新分布。有几个因素影响着再分布。首先，当两个固体合并在一起时，任何一种固体中的杂质都会在二者之间重新分布直到形成新的平衡为止。这种现象类似于前面在第 2 章中讨论过的从熔体中生长晶体时杂质的再分布，杂质在硅中与在二氧化硅中的平衡浓度之比称为*分凝系数*，其定义为：

$$\kappa = \frac{\text{硅中杂质的平衡浓度}}{SiO_2\ \text{中杂质的平衡浓度}} \tag{3-15}$$

影响杂质分布的第二个因素是杂质可能快速扩散穿过二氧化硅逸散到周围气氛

中。如果杂质在二氧化硅中的扩散系数非常大，这将是一个重要的因素。影响再分布的第三个因素是氧化层正在不断增厚，因此硅和氧化层之间的边界随着时间增长而向硅中推进。比较推进速率与杂质在氧化层中的扩散速率之间的大小，对确定再分布的范围是非常重要的。应该指出，即使杂质的分凝系数为1，在硅中仍然会发生再分布现象。正如图3-3中所预示氧化层的厚度约是所取代的硅厚度的2倍，因此同样数量的杂质要分布到更大的体积中，结果导致硅中的杂质贫化。

图3-9所示为四种可能的再分布过程[4]，这些过程分为两类，第一类是氧化物吸收杂质(如图3-9a和b所示 $k<1$ 的情况)，第二类是氧化物析出杂质(如图3-9c和d所示 $k>1$ 的情况)，具体哪种情况能发生，这与杂质扩散穿过氧化层的快慢有关。在第一类情况中硅表面的杂质减少，k 约等于0.3的硼就是这种类型中的一个例子；杂质快速扩散穿过二氧化硅，硅表面的杂质减少得更多，掺硼的硅在氢气中加热就是这种情况，这是因为二氧化硅中的氢增大硼扩散系数的缘故。在第二类情况中 k 值大于1，氧化物析出杂质。如果杂质穿过二氧化硅扩散得相当慢，那么杂质会在硅面附近堆积，k 约等于10的磷就是这样的例子。当杂质穿过二氧化硅扩散得很快时，许多杂质很可能从固体逸散到周围的气体中去，总体效应是杂质贫化，k 约等于20的镓就是一个例子。

50

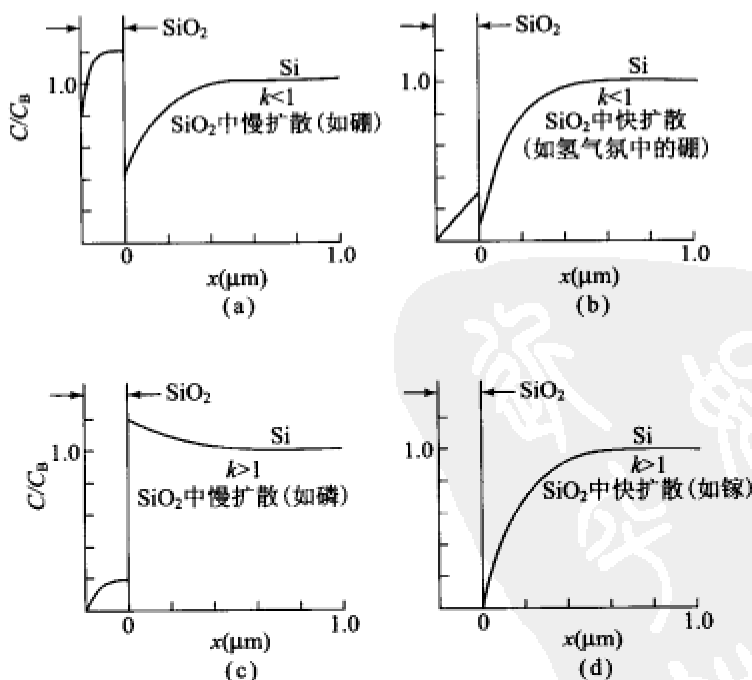


图3-9 热氧化引起杂质在硅中再分布的四种不同情况[4]

虽然二氧化硅中的掺杂物质再分布对其电性能几乎没有影响，但是硅中的杂质再分布影响着工艺和器件性能。例如硅中掺杂物分布不均匀将改变对界面陷阱特性测试结果的解释；界面浓度的变化直接影响阈值电压和器件的接触电阻。

3.3 二氧化硅掩模特性

二氧化硅层还能成为一种选择性掩模，它可以挡住高温下杂质原子的扩散，在集成电路工艺中这是一种非常有用的特性。无论是用离子注入、化学扩散还是涂敷技术所进行的杂质预淀积(参见第6章)，一般都能在氧化层表面处形成掺杂剂源。高温扩散期间，在氧化层中的扩散相对于硅中的扩散要慢得多，这就足以使得杂质不能通过掩模区的氧化结构层扩散到硅表面。可以在一个特定的温度和时间下通过实验测量来确定所需要的氧化层厚度，一般掩模普通杂质所用的氧化层厚度为0.5mm~1.0mm。 51

不同杂质在 SiO_2 中的扩散常数取决于它的浓度、性能和氧化物的结构。表3-3列出了各种普通杂质的扩散常数，图3-10给出了掩模硼和磷所需氧化层厚度与扩散温度和时间的函数关系，可见 SiO_2 掩模硼的效能高过掩模磷。总之，P、As和B在 SiO_2 中扩散系数的数量级别都小于它们在硅中的相应数值量级，因而适合于氧化物层掩模。然而对Ga或Al这些杂质就不适用，这些元素采用氮化硅作为选择性掩模材料。

表3-3 SiO_2 中的扩散常数

杂质	1100℃下的扩散常数
B	3.4×10^{-17} 到 2.0×10^{-14}
Ga	5.3×10^{-11}
P	2.9×10^{-16} 到 2.0×10^{-13}
As	1.2×10^{-16} 到 3.5×10^{-15}
Sb	9.9×10^{-17}

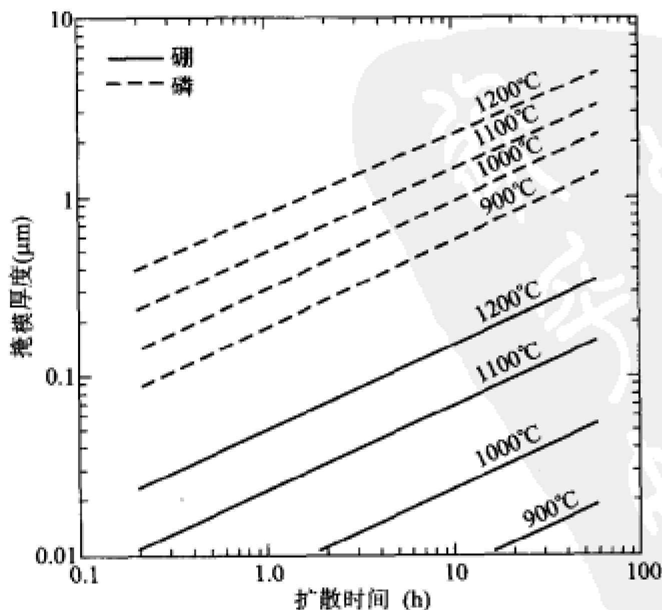


图3-10 掩模硼和磷所需氧化层厚度与扩散温度和时间的函数关系 52

3.4　氧化层质量

用作掩模的氧化层通常采用湿法氧化生长，通常的生长操作过程按照干—湿—干的氧化顺序进行，在此操作过程中大部分生长是在湿氧氧化中完成的，因为用水作氧化剂时 SiO_2 生长速率非常高。不过，干氧氧化可以产生致密的高质量氧化层，且有较高击穿电压(5MV/cm～10MV/cm)，这也正是MOS器件中薄栅氧化层采用干氧氧化制备的原因。

MOS器件还受到氧化层中的电荷和 SiO_2-Si 界面俘获陷阱的影响，这些俘获陷阱和电荷的基本分类如图3-11所示，它们分别是界面陷阱电荷、固定的氧化层电荷、氧化层陷阱电荷和可移动离子电荷[5]。

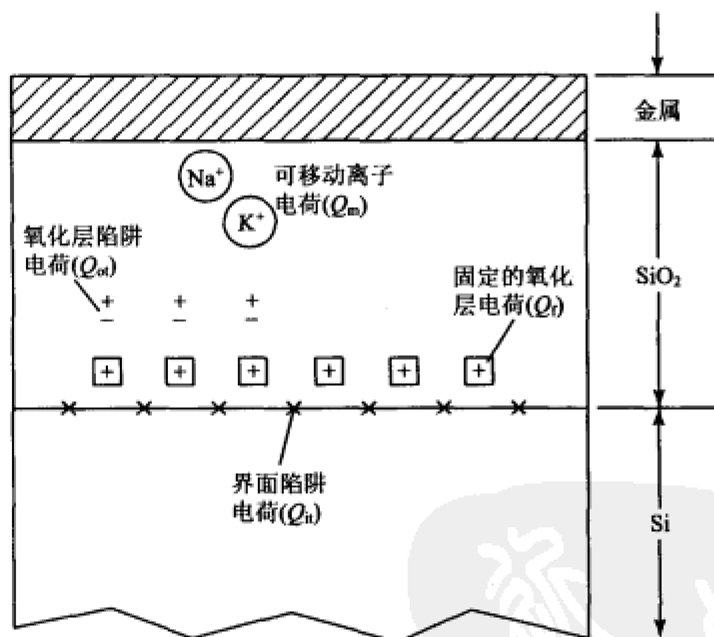


图3-11　与热氧化硅相联系的电荷术语[3]

界面陷阱电荷(Q_{it})起因于 SiO_2-Si 界面特性，且取决于该界面的化学组分。俘获陷阱出现在 SiO_2-Si 界面上，在硅的禁带中有能级。界面陷阱密度(即单位面积每eV的界面陷阱数目)与晶向相关，在硅材料中〈100〉晶向的界面陷阱密度比〈111〉晶向的小约一个数量级。目前在硅上热生长二氧化硅的MOS器件，通过低温(450℃)氢退火(参见第7章)使大部分界面陷阱电荷失去活性。〈100〉晶向的 Q_{it} 值可以低至 $10^{10}cm^{-2}$，相当于每 10^5 个界面原子有一个界面陷阱电荷，〈111〉晶向的 Q_{it} 值约 $10^{11}cm^{-2}$。

固定电荷(Q_f)位于 Si-SiO_2 界面附近约3nm的氧化层里，这类电荷不能充电和放

电。Q_f一般是正电荷，与氧化和退火条件及晶向有关。已有解释指出，在氧化结束的时候一些离子态硅被遗留在界面附近，这些离子及其他界面上的不饱和硅键（如 Si-Si 或 Si-O 键）可能导致产生正的界面电荷，可以把 Q_f 看作是 $Si\text{-}SiO_2$ 界面上的薄层电荷。对于经过严格处理后的 $Si\text{-}SiO_2$ 界面来说，〈100〉晶向面的典型氧化层固定电荷密度约为 $10^{10}\ cm^{-2}$，〈111〉晶向面的约为 $5\times10^{10}\ cm^{-2}$。〈100〉晶向因为有较低的 Q_{it} 值和 Q_f 值而受到硅 MOSFET 的青睐。

氧化层陷阱电荷（Q_{ot}）与二氧化硅中的缺陷有关，这些电荷可由 X 射线辐射或是高能电子轰击而产生，俘获陷阱分布在氧化层中，大部分与工艺相关的 Q_{ot} 可通过低温退火消除。

可移动离子电荷（Q_m）来自钠或其他碱金属离子污染，在温度升高（例如>100℃）及高电场作用下可以在氧化层内移动。由碱金属离子带来的微量污染可能引起工作在高压高温条件下的半导体器件出现稳定性问题，在这些条件下移动离子电荷能够往返穿越氧化层运动，从而引起阈值电压漂移。因此在器件制备过程中必须特别重视消除可移动离子的问题，比如，可以通过在氧化过程中加入氯的方式来减小钠污染，氯能够固定钠离子，在氧化气体中加入少量（6%或更少）无水 HCl 可以达到这个目的，而在干氧氧化中出现的氯能同时增大线性和抛物线速率常数，从而产生更高的生长速率。

3.5 氧化层厚度表征

可能确定氧化层厚度的最简单方法是根据颜色表比照晶片的颜色而得到，表 3-4 是一个颜色表[6]。当用白光垂直照射覆盖氧化层的晶片，光线透过氧化层受到下面的硅面反射，相长干涉导致某些波长的反射光增强，于是晶片上产生相应的颜色，比如氧化层 500 nm 厚的晶片呈现蓝绿色。

表 3-4 在日光灯照射下正面观察到的热生长 SiO_2 薄膜颜色表

薄膜厚度 (μm)	颜色与注释	薄膜厚度 (μm)	颜色与注释
0.05	棕褐色	0.32	蓝至蓝绿色
0.07	棕色	0.34	浅绿色
0.10	暗紫至红紫色	0.35	绿至黄绿色
0.12	品蓝色	0.36	黄绿色
0.15	浅蓝至金属蓝色	0.37	绿黄色
0.17	金属蓝至浅黄绿色	0.39	黄色
0.20	浅金色或浅黄；微金属色	0.41	浅橙色
0.22	微显黄橙的金色	0.42	康乃馨粉红色
0.25	橙色至深粉红色	0.44	紫红色
0.27	红紫色	0.46	红紫色
0.30	蓝至紫蓝色	0.47	紫色
0.31	蓝色	0.48	蓝紫色

（续）

薄膜厚度（μm）	颜色与注释	薄膜厚度（μm）	颜色与注释
0.49	蓝色	0.97	黄至微黄色
0.50	蓝绿色	0.99	橙色
0.52	绿色（丰富）	1.00	康乃馨粉红色
0.54	黄绿色	1.02	紫红色
0.56	绿黄色	1.05	红紫色
0.57	黄至微黄色（要黄未黄；多呈现浅灰乳酪色或是金属色）	1.06	紫色
		1.07	蓝紫色
0.58	浅橙或是黄色至粉红色	1.10	绿色
0.60	康乃馨粉红色	1.11	黄绿色
0.63	紫红色	1.12	绿色
0.68	微蓝色（不是蓝色但界于紫色和蓝绿色；呈现紫红与蓝绿之间的混合色，看起来像浅灰色）	1.18	紫色
		1.19	红紫色
		1.21	紫红色
0.72	蓝绿至绿色（十分丰富）	1.24	康乃馨粉红至鲑鱼肉色
0.77	微黄色	1.25	橙色
0.80	橙色（比橙色更丰富）	1.28	微黄色
0.82	鲑鱼肉色	1.32	天蓝至绿蓝色
0.85	暗浅红紫色	1.40	橙色
0.86	紫色	1.45	紫色
0.87	蓝紫色	1.46	蓝紫色
0.89	蓝色	1.50	蓝色
0.92	蓝绿色	1.54	暗黄绿色
0.95	暗黄绿色		

资料来源：IBM公司1964年版权所有，从参考文献6中惠允复印。

比色法很明显是主观的，也不具备确定氧化层厚度最精确的机理，要获得更精确一些的测量可以通过轮廓法或是椭圆偏光法等工艺实现。

轮廓法（profilometry）是薄膜厚度测试最常用的方法。在该测试方法中，首先在生长或淀积工艺中制备出台阶图形，这可以通过掩模淀积或是之后的刻蚀工艺完成。接着轮廓仪拖动精细探针划过薄膜层（参见图3-12）[7]，当探针碰到台阶时有信号变动指示出台阶高度，然后这些信息显示在记录表或是CRT屏幕上，厚度小于100nm到大于5μm的薄膜都能用这种仪器测量。

椭圆偏光法（ellipsometry）是另一种广泛使用的测量技术，该技术基于光线被媒质反射或透射时出射光偏振状态会发生改变的原理，偏振状态的变化是材料光学特性（即复合折射率）、厚度、波长和入射光相对于相关标准面入射角的函数，这些偏振状态的差别能用椭偏仪测量并计算出氧化层厚度。

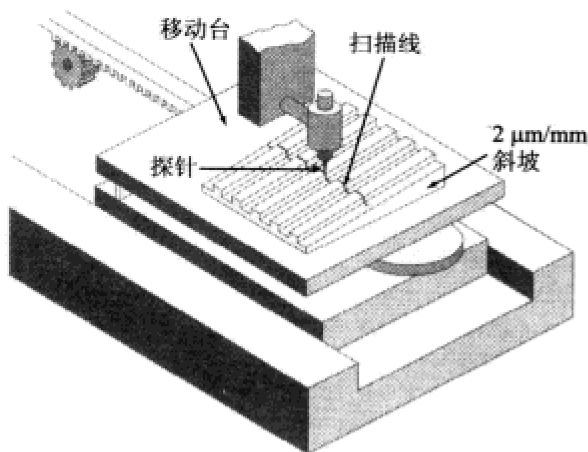


图 3-12 表面轮廓法的原理图[7]

3.6 氧化模拟

随着集成电路不断向小型化发展以及 IC 自身的集成度不断提高，有关反映制造特征的一、二和三维结构的准确信息的知识显得越来越重要。实际上对这些结构进行具体的实验和验证既费时又昂贵，于是计算机模拟成为研究 ULSI 制造工艺的重要工具，需要用复杂的模拟程序来求解按各种工艺建模的常微分方程。

54~55

这类工艺模拟软件中使用得最广泛的可能要数斯坦福大学的工艺学仿真(SUPREM)程序，SUPREM 能够精确地模拟多维氧化层的生长，计算 Si-SiO_2 边界层的运动、生长过程中的杂质分凝以及其他物理现象。另外，SUPREM 能够预算出各种淀积、扩散、外延和后续章节要讨论的离子注入等工艺的结果。

SUPREM 是根据 3.1.1 节所述的生长动力学模型来实现氧化模拟的，该软件包集成 Arrhenius 方程以便描述干法和湿法氧化的线性和抛物线率常数，以及氯处理氧化的初步模型。氧化模拟使用命令 DIFFUSION，而 WETO2 和 DRYO2 则如其字面含义是分别指湿氧氧化和干氧氧化[8]。SUPREM 还要求输入一些特性工艺参数如时间、温度变化曲线等。在薄氧化层区域 SUPREM 使用如下的经验模型[9]：

$$\frac{dx}{dt}=\frac{B}{2x+A}+Ce^{-x/L} \tag{3-16}$$

这里 B 和 A 是氧化速率常数，C 和 L 是经验常数。

要运行 SUPREM 需要输入文件脚本(deck)，这些脚本文件由一系列指令和注释组成。部分公用指令参见附录 I。程序脚本以 TITLE 指令开头，仅是重复在每页输出程序上进行的注释。下一个命令 INITIALIZE 是控制指令，用来设置衬底类型、晶向和掺杂，这个命令也可以用来规定模拟区域的厚度并建立格点。建立衬底及材料之后，按照实际发生情况用一系列指令来规定工艺步骤顺序。最后用指令 PRINT 或 PLOT 分别打印或绘制出结果，以 STOP 指令结束模拟。一些 COMMENT 指令会贯穿在整个程序中。通常鼓励用户使用这些

56

指令，使得工艺流程文档清晰易懂。这些思路将现在例3中。

【例3】 假定要在〈100〉硅晶片上完成一个干—湿—干的氧化工艺顺序，即在1100℃下依次干氧5分钟，湿氧2小时，最后干氧5分钟氧化。如果硅衬底掺杂磷到$10^{16}cm^{-3}$量级，用SUPREM来确定最后氧化层的厚度和磷在氧化层和硅层中的掺杂分布。

解：SUPREM输入列出如下：

```
TITLE        Oxidation Example
COMMENT      Initialize silicon substrate
INITIALIZE   <100> Silicon Phosphor Concentration=1e16
COMMENT      Ramp furnace up to 1100 C over 10 minutes in N2
DIFFUSION    Time=10 Temperature=900 Nitrogen T.rate=20
COMMENT      Oxidize the wafers for 5 minutes at 1100 C in dry O2
DIFFUSION    Time=5 Temperature=1100 DryO2
COMMENT      Oxidize the wafers for 120 minutes at 1100 C in wet O2
DIFFUSION    Time=120 Temperature=1100 WetO2
COMMENT      Oxidize the wafers for 5 minutes at 1000 C in dry O2
DIFFUSION    Time=5 Temperature=1100 DryO2
COMMENT      Ramp furnace down to 900 C over 10 minutes in N2
DIFFUSION    Time=10 Temperature=1100 Nitrogen T.rate=-20
PRINT        Layers Chemical Concentration Phosphor
PLOT         Active Net Cmin=1e14
STOP         End oxidation example
```

假设晶片装入时炉温900℃，则在工艺开始阶段中用10分钟以20℃/min的速率加热到1100℃，而在工艺结束阶段中用10分钟以−20℃/min的速率降温到900℃，斜坡式的升温和降温都在氮气氛中进行。

氧化完成后打印和绘制出磷浓度与其在硅衬底中扩散深度的函数关系，结果如图3-13所示，图中示意出最终氧化的层厚度为0.909μm，以及磷在氧化层中的深入情形。

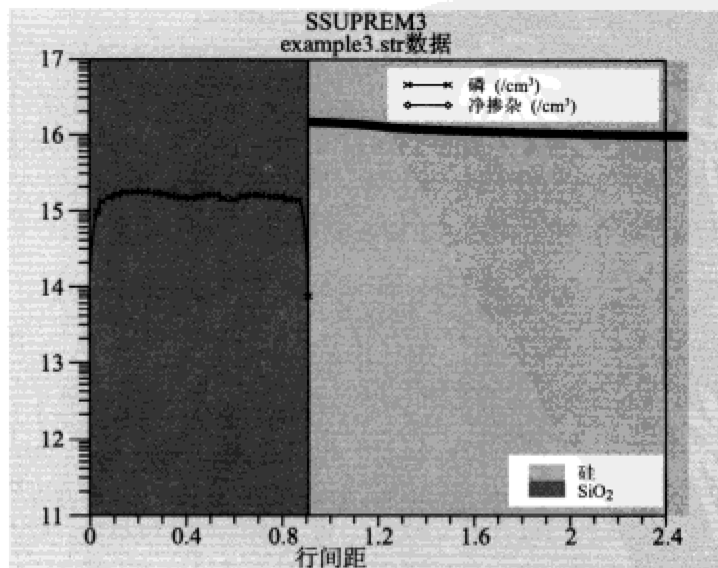


图3-13　使用SUPREM软件绘制出磷浓度与其在硅衬底中扩散深度的函数关系

3.7 小结

二氧化硅是能够在硅晶片上进行热生长的高质量绝缘材料，在杂质扩散或注入时作阻挡层用，是 MOS 器件和电路的关键部件，这些因素成就了硅作为半导体主流材料的地位并使用至今。

本章描述了硅热氧化的机理和氧化层生长的动力学模型，该模型准确地推算出较宽工艺条件范围内氧化层的生长速率。本章还讨论了杂质分布和氧化层的掩模特性，以及氧化层的表征方法和质量。最后介绍了工艺模拟软件包 SUPREM，SUPREM 的用途不仅仅局限于氧化，在后面的章节中还会用到。 57

参考文献

1. E. H. Nicollian and J. R. Brews, *MOS Physics and Technology*, Wiley, New York, 1982.

2. B. E. Deal and A. S. Grove, "General Relationship for the Thermal Oxidation of Silicon," *J. Appl. Phys.*, **36**, 3770 (1965).

3. J. D. Meindl, et al., "Silicon Epitaxy and Oxidation," in F. Van de Wiele, W. L. Engl, and P. O. Jespers, Eds., *Process and Device Modeling for Integrated Circuit Design*, Noorhoff, Leyden, 1977.

4. A. S. Grove, *Physics and Technology of Semiconductor Devices*, Wiley, New York, 1967.

5. B. E. Deal, "Standardized Terminology for Oxide Charge Associated with Thermally Oxidized Silicon," *IEEE Trans. Electron Devices*, **ED-27**, 606 (1980).

6. W. Pliskin and E. Conrad, "Nondestructive Determination of Thickness and Refractive Index of Transparent Films," *IBM J. Res. Develop.*, **8**, 43–51 (1964).

7. S. Wolf and R. Tauber, *Silicon Processing for the VLSI Era*, Lattice Press, Sunset Beach, CA, 2000.

8. *SSUPREM3 User's Manual*, Silvaco International, Santa Clara, CA, 1995.

9. H. Massoud, C. Ho, and J. Plummer, in J. Plummer, Ed., *Computer Aided Design of Integrated Circuit Fabrication Processes for VLSI Devices*, Stanford University Technical Report, Stanford, CA, 1982. 58

习题

1. 电阻率 10Ω·cm 的 P 型硅晶片装入湿氧氧化系统中，在 1050℃下生长场氧化层 0.45μm，计算氧化层生长时间。

*2. 完成如第 1 题中给出的第一次氧化后，在氧化层上开一个窗口，然后在 1000℃下干氧生长栅氧化层 20min，计算栅氧化层厚度和总的氧化层厚度。

3. 证明公式(3-11)对于长时间氧化可以简写成 $x^2 = Bt$，而对于短时间则是 $x = B/A(t + \tau)$。

4. 求〈100〉晶向的硅样品在 980℃和 1atm 下干氧氧化的扩散系数。

5. 定义分凝系数。

6. 假设经过气相淀积后 Cu 在 SiO_2 中的浓度为 5×10^{13} 原子/cm^3，且由原子吸收光谱测量。经过 HF/H_2O_2 分解后 Cu 在 Si 中的浓度为 3×10^{11} 原子/cm^3，计算 Cu 在 SiO_2/Si 中的分凝系数。

*7. 未掺杂的⟨100⟩硅样品在1100℃下干氧氧化1小时，样品覆盖了氧化层接着又除去一半的氧化层，接下来在1000℃下湿氧再次氧化30分钟。用SUPREM确定两个氧化区域的氧化层厚度，表面上的台阶和衬底上的台阶有多高？

59

第 4 章　光　　刻

光刻就是将掩模上的几何图形转移到覆盖在半导体晶片表面的对光辐照敏感薄膜材料(光致抗蚀剂)上去的工艺过程[1]。这些图形确定集成电路中的各个区域,诸如注入区、接触窗口和压焊区等。由光刻工艺确定的抗蚀剂图形并不是最后器件的构成部件,仅是电路图形的印模,为了制备出实际电路图形,还必须再一次把抗蚀剂图形转移到抗蚀剂下面组成器件的材料层上。也就是使用能够对非掩模部分进行选择性去除的蚀刻工艺来实现图形转移(参见第 5 章)[2]。在 1.4.2 节中已经对图形转移做了简要介绍。本章主要涉及以下内容:

- ☐ 超净间对光刻技术的重要性;
- ☐ 广泛使用的光刻方法——光学光刻及其分辨率增强工艺;
- ☐ 其他光刻方法的优势和局限。

4.1　光学光刻

在集成电路的制造中,主流光刻设备是采用紫外线($\lambda \simeq 0.2\mu m \sim 0.4\mu m$)的光学设备。本节着重讨论曝光设备、掩模、抗蚀剂和光学光刻中的分辨率增强工艺,还会着重考虑作为其他一些光刻系统基础的图形转移过程。因为所有的光刻工艺都必须在超净环境内完成,所以本节将首先简要讨论超净间。

4.1.1　超净间

集成电路生产线要求有超净工艺厂房,特别是用在光刻工艺领域内。之所以需要这样的超净间是因为空气中的尘埃粒子会落在半导体晶片和光学掩模上,从而在器件中引起缺陷。例如半导体晶片表面上的尘埃粒子会破坏外延膜层的单晶态生长结构,导致产生位错现象;渗进栅氧化层的尘埃粒子会增大导电率,使得击穿电压降低,引起器件失效。在光刻区发生这类情况的后果将更严重,如果尘埃粒子粘附在掩模表面上,其作用相当于掩模上多了不透明的图形,它们将连同掩模上的电路图形一起转移到下层材料上。图 4-1 所示为一张掩模带了 3 个尘埃粒子[3],粒子 1 可能在下层材料上形成针孔,粒子 2 位于图形边缘附近可能在金属连线中引起电流收缩现象,粒子 3 可能在两个导电区域引起短路从而导致电路失效。

在超净间内必须严格控制单位体积的尘埃粒子总数以及温度和湿度,图 4-2 给出

了不同等级超净间中粒子尺寸的分布曲线。超净间等级的定义有两个体系，在英制体系中，等级的标定数字取自超净间内单位立方英尺能够允许 0.5μm 及其以上粒子的最大数目；在公制体系中，等级的标定数字取自单位立方米能够允许 0.5μm 及其以上粒子最大数的对数(以 10 为底数)。比如，100 级的超净间(英制)有 0.5μm 及其以上尘埃 100 粒/英尺^3，而 M3.5 级的超净间(公制)有 0.5μm 及其以上尘埃 $10^{3.5}$ 粒/m^3 即 3500 粒/m^3。因为 100 粒/ft^3 = 3500 粒/m^3，所以英制中的 100 级相当于公制中的 M3.5 级。

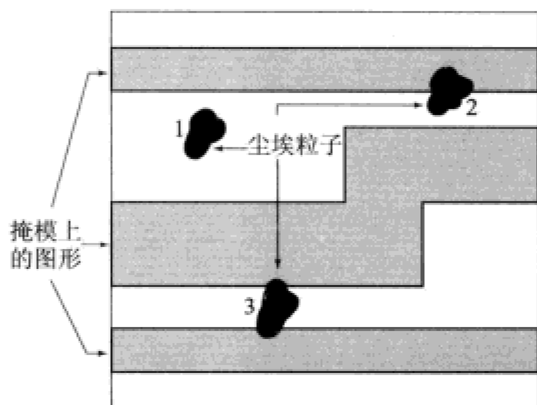


图 4-1　尘埃粒子影响掩模图形的各种方式[3]

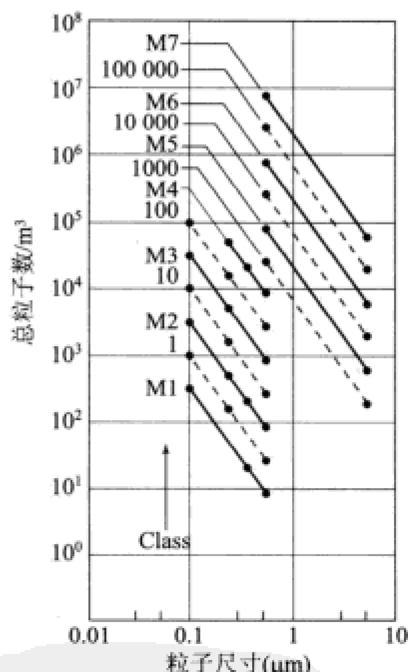


图 4-2　超净间中粒子尺寸的英制(---)和公制(—)分布等级[4]

因为尘埃粒子数目随着粒子尺寸的减小而增加，所以当 IC 最小特征长度缩小至深亚微米级范围时，会要求对超净间环境采取更加严格地控制措施。在大多数 IC 制造区域内，100 级的超净间是必备的，也就是说尘埃数目必须比普通房间中的空气低 4 个数量级，而在光刻区域内要求的是尘埃数目更低的 10 级或 1 级环境。

【例 1】　如果 200 mm 的晶片在对流空气中曝光 1 分钟，空气层流调控在 30m/min，那么在 10 级的超净间内有多少尘埃粒子落在晶片上？

解：已知 10 级的超净间内每立方米有尘埃 350 粒(0.5μm 及其以上)，而 1 分钟内流经晶片的空气体积是：

$$(30\text{m/min})\times\pi\left(\frac{0.2\text{m}}{2}\right)^2\times 1\text{min}=0.942\text{m}^3$$

该空气体积中容纳的尘埃粒子(0.5μm 及其以上)是 350×0.942=330 粒。

因此，如果晶片上有 400 枚芯片，则 82%的芯片上有 1 颗粒子，幸而仅有一小部分粒子粘附在晶片表面上，它们中又只有一小部分出现在电路的要害部位足以引起电路失效。所以，上述计算表明了超净间的重要性。

4.1.2 曝光设备

图形转移工艺是通过光刻曝光设备完成的，曝光设备的性能可用三个参数来评价：分辨率、对准度和生产效率。*分辨率*是指能够不失真地转移到半导体晶片上的抗蚀剂膜的最小图形尺寸；*对准度*是一种量度，它表示后一块掩模要有多高的精度才能与前一块在晶片上所形成的图形套准；*生产效率*是指对于给定的光学掩模每小时能够曝光的晶片数目。

有两类基本的光学曝光方式：遮蔽式复制和投影式复制[5,6]。遮蔽式复制可以是掩模和晶片相互直接接触（*在接触式复制中*）或者靠得非常近（*在接近式复制中*）。图4-3a表示了接触式复制的基本装置，其中晶片上的抗蚀剂与掩模直接接触，透过掩模的准直紫外光线在固定时间内对抗蚀剂曝光。抗蚀剂和掩模之间的无隙接触能够产生 1μm 左右的分辨率，但是接触式复制有一个由尘埃粒子引起的主要缺陷。当掩模和晶片接触时，尘埃或是晶片上的硅渣会被嵌入掩模内，嵌入的粒子会引起掩模永久性损伤，使随后用它曝光的每个硅片上都留下缺陷。

62

使用接近式曝光方式可以把掩模的损伤减至最小，图 4-3b 所示为其基本装置。除在曝光过程中晶片和掩模之间有一个小间隙（10μm～50μm）以外，接近式复制类似于接触式复制。但这个小间隙在掩模图形边缘形成光学衍射，也就是说光线经过不透明掩模图边缘时出现了衍射条纹，有一些光进入阴影区，结果使分辨率降低到 2μm 至 5μm 的范围内。

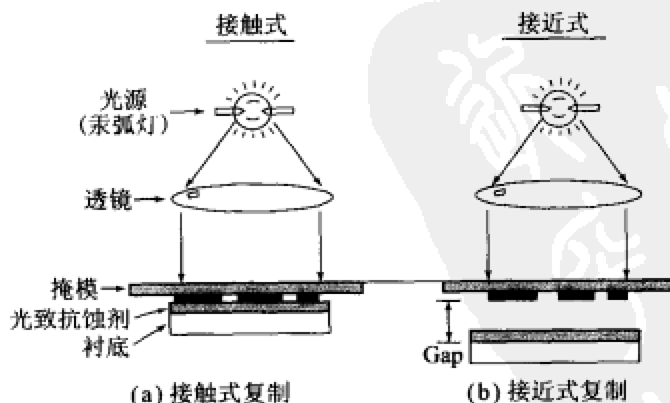


图 4-3 光学遮蔽式复制技术的原理图[1]

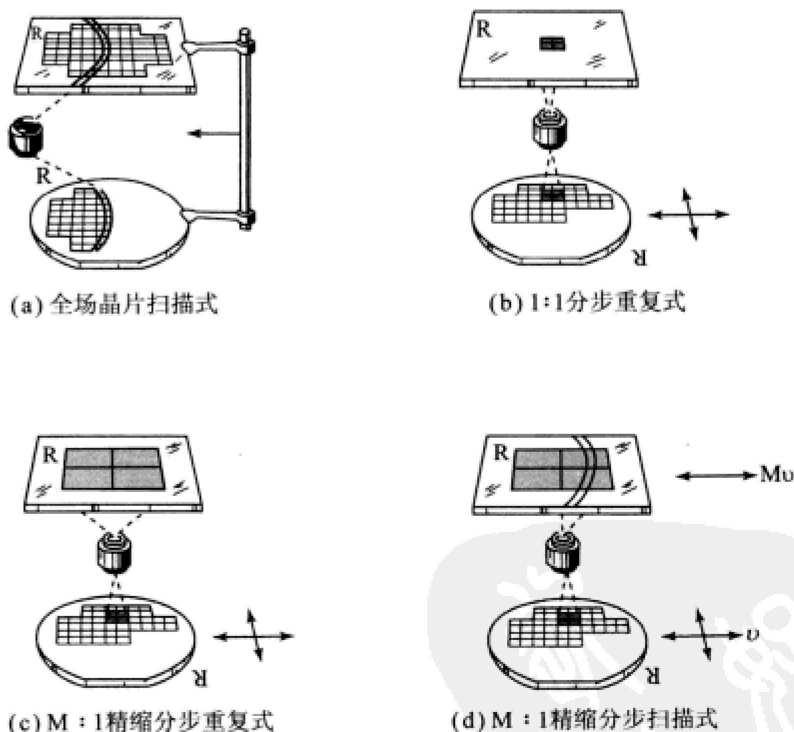
在遮蔽式复制中，能够复制的最小线宽（或者是临界尺寸（CD））约为：

$$\mathrm{CD} \simeq \sqrt{\lambda g} \tag{4-1}$$

式中 λ 是辐照光波长，g 是包括抗蚀剂厚度在内的掩模和晶片之间的间隙。若 λ＝0.4μm 和 g＝50μm，则 CD 是 4.5μm。如果 λ 减小到 0.25μm(波长在深紫外光谱区的 0.2μm 到 0.3μm 之间)而 g 减小到 15μm，则 CD 变成 2μm。因此减小 λ 和 g 都是有利的，但对于给定间隙 g，任何尺寸超过 g 的尘粒仍会给掩模带来损伤。

为了避免遮蔽式复制技术带来的掩模损伤问题，开发出来投影式曝光设备，该设备能把掩模上的图形投影在几厘米以外的涂敷着抗蚀剂的晶片上。要获得高分辨率就只能每次对掩模的一小部分成像曝光，然后用扫描或分布重复的方法将小面积图形布满整个晶片表面。图 4-4a 所示为一个 1:1 晶片的扫描投影系统[6,7]，宽约 1mm 的细长弧形像场将掩模的狭缝图像依次转移到晶片上，最后，晶片上成像的大小与掩模上的图形一样。

63



(a) 全场晶片扫描式　(b) 1:1分步重复式

(c) M:1精缩分步重复式　(d) M:1精缩分步扫描式

图 4-4　投影式复制中的图像分割技术[6,7]

采取仅由晶片作二维移动而掩模保持不动的方式也可以将小面积图形布满整个晶片表面。晶片在一个芯片位置曝光完毕以后，移动到下一个芯片位置曝光，接着重复曝光工序。图 4-4b 和 4-4c 分别为按照 1:1 和 M:1(比如 10:1 表示在晶片上缩小了 10 倍)的精缩比例采用分步重复投影方式时晶片上的部分图形。精缩比例和我们生产投影曝光中所用透镜及掩模的能力有密切关系，1:1 的光学系统比 10:1 或 5:1 的精缩系统容易设计与制造，但是生产 1:1 的无缺陷掩模比 10:1 或 5:1 的精缩无缺陷掩模难得多。

只要透镜的成像场(即在晶片上的曝光面积)能够覆盖一个或几个 IC 芯片,精缩投影光刻技术就无需再设计分步透镜也能复制大尺寸的晶片。但当芯片尺寸超过透镜的成像场时,就必须进一步对标线上的图像进行划分。在图 4-4d 中对于 M:1 精缩分步扫描式投影光刻技术而言,标线上的图像场可以是细长弧形,分步扫描式系统以速度 v 进行二维平移晶片,掩模以 M 倍于晶片的速度做一维平移。

投影系统的分辨率为:

$$l_m = k_1 \frac{\lambda}{\mathrm{NA}} \tag{4-2}$$

64

其中 λ 是曝光波长,k_1 是与工艺相关的因子,NA 是数值孔径,由下式给出:

$$\mathrm{NA} = \bar{n}\sin\theta \tag{4-3}$$

这里 $\bar{n}$ 是成像介质的折射率(通常是空气 $\bar{n}=1$),θ 是光线在晶片上成像时会聚成点像时的锥体顶角的一半,如图 4-5 所示[5]。图中还表示出表示如下的焦深(DOF):

$$\mathrm{DOF} = \frac{\pm l_m/2}{\tan\theta} \approx \frac{\pm l_m/2}{\sin\theta} = k_2 \frac{\lambda}{(\mathrm{NA})^2} \tag{4-4}$$

其中 k_2 是另一个与工艺相关的因子。

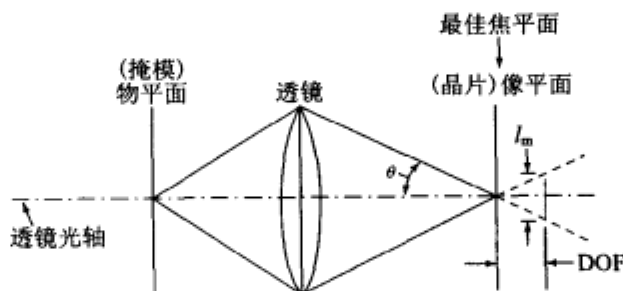


图 4-5 简单的成像系统[5]

公式(4-2)说明可以通过缩短波长或增大 NA 或兼而有之的方法提高分辨率(即更小的 l_m 值),但公式(4-4)却表明与减小 λ 相比,增大 NA 更容易使 DOF 变坏,这就解释了为什么在光学光刻技术中趋向使用更短的波长。

高压汞弧灯因为具有高亮度和可靠性在曝光设备中广泛应用。如图 4-6 所示汞弧的光谱由几个峰值构成,这里 G 线、H 线和 I 线分别指光谱图上 436nm、405nm 和 365nm对应的峰值。在 5:1 分步重复投影机中辅以分辨率增强技术(参见 4.1.6 节)的情况下 I 线能产生 0.3μm 的分辨率。已经开发出先进的曝光设备,如采用 KrF 准分子激光器的 248nm 光刻系统,采用 ArF 准分子激光器的 193nm 光刻系统,以及采用 F_2 准分子激光器的 157 nm 光刻系统分别用于分辨率为 0.18μm(180 nm)、0.10μm(100nm)和 0.07μm(70nm)的批量生产中。

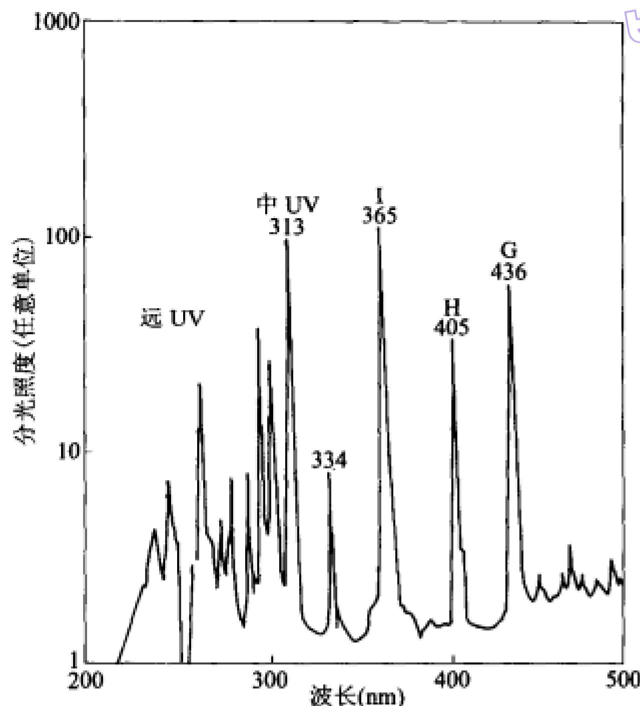


图 4-6 典型高压汞弧灯的光谱图

4.1.3 掩模

IC 制造用的掩模通常是精缩图形。制备掩模的第 1 步是运用计算机辅助设计(CAD)系统，即设计人员可以依靠 CAD 用电学方式完整地描述出电路版图，接着 CAD 系统产生的数字数据驱动图形发生器，所谓图形发生器就是把图形直接做在电子敏感掩模上的电子束光刻系统(参见 4.2.1 节)。电路图形首先复制到电子敏感材料层(电子抗蚀剂)上，然后再次转印到下一层作为最终掩模的铬层上。图像转移的细节参见 4.1.5 节。

每张掩模上的图形代表 IC 设计的一层。组合好的版图根据相应 IC 工艺流程分拆成掩模层，比如绝缘区作一层，栅区作另一层等等。一个完整的 IC 工艺流程通常需要 15 至 20 张不同的掩模。

标注尺寸的掩模衬底是 15cm×15cm 见方厚 0.6cm 的熔融石英平板，该尺寸需要与 4:1 或 5:1 光学曝光设备的透镜成像场相适应，要求厚度能够把衬底形变带来的图形位置错误最小化。这里熔融石英平板因为具有低的热延展系数，对于短波光谱的高透过率，以及相应的机械强度而被使用。图 4-7 所示为一张掩模，在该掩模上已形成几何图形，该掩模包含少量几个用作工艺估算的辅助管芯位置。

65~66

掩模的主要问题之一是缺陷密度。无论是制备掩模的时候还是使用掩模的光刻工艺中都会给掩模带来缺陷，即便是掩模缺陷密度非常低，也能对最终的 IC 成品率产生巨大影响。成品率定义为在每块硅片上合格芯片与芯片总数目(参见第 10 章)之

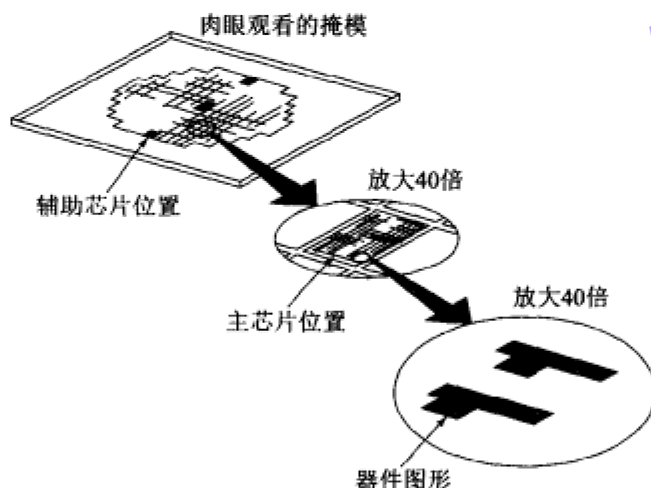


图 4-7 集成电路光学掩模[1]

比。在一级近似的情况下，某层掩模的成品率 Y 表示如下：

$$Y \cong e^{-D_0 A_c} \tag{4-5}$$

其中 D_0 是单位面积内“致废”缺陷的平均数目，A_c 是 IC 芯片上容易产生缺陷的面积。如果所有掩模层(比如 $N=10$ 层)上的 D_0 都保持一致，则最后的成品率就变成：

$$Y \cong e^{-ND_0 A_c} \tag{4-6}$$

对于有 10 层掩模光刻的工艺过程，图 4-8 所示为在不同的缺陷密度情况下其极限成品率与芯片尺寸的函数关系。例如，$D_0=0.25$ 个缺陷/cm²，尺寸 90 mm² 的芯片成品率为 10%，尺寸 180 mm² 的芯片成品率降到约 1%的水平，因此要在大芯片上获得高成品率，掩模的检查和清洁至关重要，所以光刻制程中的超净工艺区是绝对必要的。

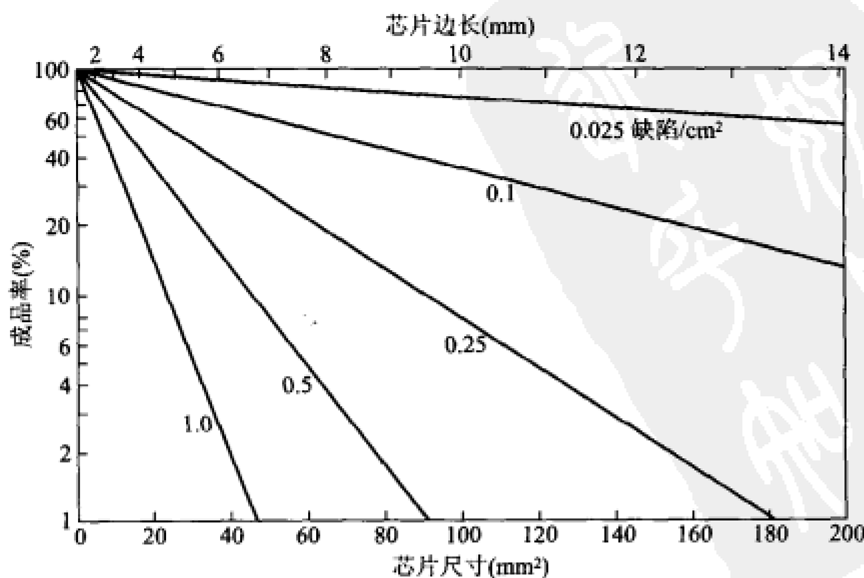


图 4-8 在每层掩模不同缺陷密度的情况下，10 层掩模光刻工艺的成品率曲线

4.1.4 光致抗蚀剂

光致抗蚀剂是一种对辐照光敏感的化合物，根据它对辐照光的响应特性可以将其分为正性和负性。正性抗蚀剂的曝光部分变成可溶性的，在显影工艺中比较容易去除，正性抗蚀剂所形成的图形（也称图像）与掩模上的一致；负性抗蚀剂的曝光部分变成不可溶性，因此负性抗蚀剂所形成的图形与掩模上的相反。

正性抗蚀剂由三部分构成：感光剂，树脂基片和有机溶剂，曝光前感光剂难溶于显影液，曝光后感光剂的曝光部分吸收辐照光能量，其化学结构发生变化，变得可溶于显影液，在过显影时曝光部分的正性抗蚀剂被溶解而去掉了。

负性抗蚀剂是一种含有感光剂的聚合物，曝光后感光剂吸收光能并转化成化学能促使有机物发生链反应，该化学反应引起有机物分子间交联，交联聚合物的分子量很高且难溶于显影液，经显影，未曝光部分被溶解掉。负性抗蚀剂的主要缺点是在显影过程中，整个抗蚀剂层因吸收显影液而出现膨胀现象，限制了负性抗蚀剂的分辨率。

图 4-9a 表示出了正性抗蚀剂典型的曝光响应曲线及显影后的图像截面图[1]。曝光响应曲线表示了曝光显影之后抗蚀剂留膜率与曝光能量的关系。注意到即使未曝光的抗蚀剂在其显影液中也有微量的溶解度。随着曝光能量提高可溶解性逐步上升，直到阈值能 E_T后，抗蚀剂变得完全可溶。正性抗蚀剂的灵敏度定义为在感光区内变成完全可溶时所需要的能量，因此 E_T相当于灵敏度。除了 E_T之外用来描述抗蚀剂特性的还有另外一个参数是反差比 γ：

$$\gamma=\left[\ln\left(\frac{E_T}{E_1}\right)\right]^{-1} \tag{4-7}$$

67
~
68

其中 E_1是从 E_T点作切线与 100%留膜率线的交点对应的能量值，如图 4-9a 中所示。γ值大一些表示曝光能量增加一点时，抗蚀剂溶解度就有较高的增加，而且导致图形边缘更陡。

图 4-9a 中的图像截面图说明了显影后光致抗蚀剂图形边缘与对应掩模图形边缘之间的关系。因为存在衍射现象，抗蚀剂图形边缘通常不是在掩模边缘的垂直投影位置，而是保持在吸收的总光能等于阈值能 E_T的位置上。

图 4-9b 示意出负性抗蚀剂的曝光响应曲线及其图像截面图。当曝光能量低于 E_T的时候负性抗蚀剂能够完全溶于显影液，当高于 E_T时显影后更多的抗蚀剂会留下来。当曝光能量是阈值能的 2 倍时，抗蚀剂膜基本上不溶于显影液。负性抗蚀剂的灵敏度定义为曝光区内保留原始抗蚀剂膜层厚度 50%所需要的能量。除了把 E_1和 E_T位置互换外，反差比 g 的定义与公式(4-7)中的一致。负性抗蚀剂的图像截面图（如图 4-9b 所示）同样受到衍射效应的影响。

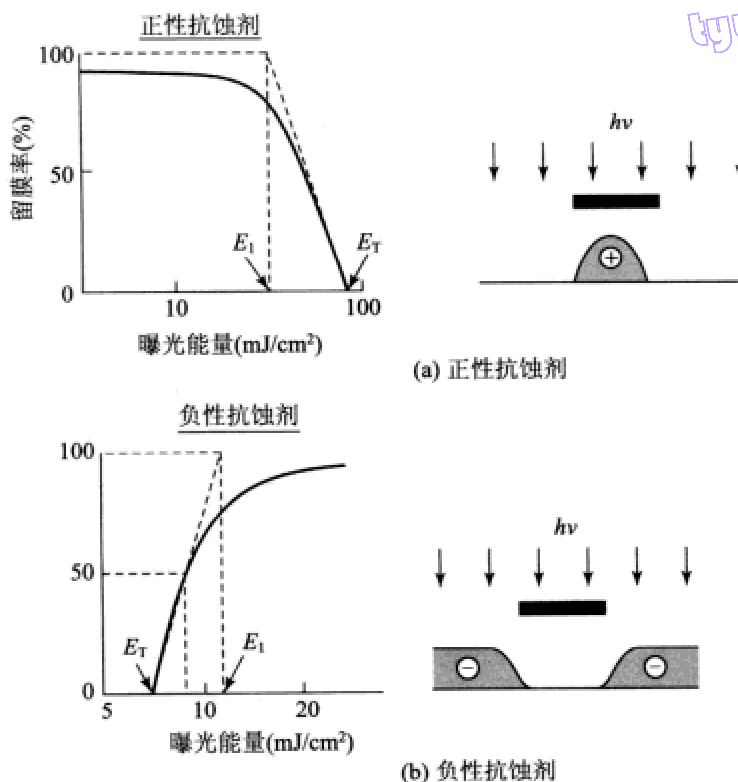


图 4-9 曝光响应曲线和显影以后抗蚀剂图像的截面图[1]

【例 2】 计算如图 4-9 所示光致抗蚀剂的反差比 γ 值。

解:在正性抗蚀剂情况下,$E_T=90\ mJ/cm^2$ 和 $E_1=45\ mJ/cm^2$,则

$$\gamma=\left[\ln\left(\frac{E_T}{E_1}\right)\right]^{-1}=\left[\ln\left(\frac{90}{45}\right)\right]^{-1}=1.4$$

69

在负性抗蚀剂情况下,$E_T=7\ mJ/cm^2$ 和 $E_1=12\ mJ/cm^2$,则

$$\gamma=\left[\ln\left(\frac{E_1}{E_T}\right)\right]^{-1}=\left[\ln\left(\frac{12}{7}\right)\right]^{-1}=1.9$$

在深紫外光刻技术(比如 248nm 和 193nm)中不能使用常规光致抗蚀剂,因为常规抗蚀剂要求采用高剂量的深紫外照射,这样做会损伤透镜并降低生产效率。已开发出化学增强抗蚀剂(CAR)用于深紫外光刻工艺,CAR 由光敏产酸剂、树脂有机物和溶剂混合而成。CAR 对深紫外的辐射非常敏感,在显影液中曝光区和非曝光区的可溶性截然不同。

4.1.5 图形转移

图 4-10 所示为把 IC 图形从掩模上转移到硅晶片表面上的过程[8],硅晶片表面已覆盖有 SiO_2 绝缘层。晶片置于黄光照明的超净间内,因为光致抗蚀剂对波长在 0.5μm 以上的光线不敏感。要保证抗蚀剂有满意的粘附性,被涂敷抗蚀剂的表面必须从清水性

变成憎水性，这种变化可以利用粘性助长剂来实现，其能够为抗蚀剂提供一个化学性兼容表面。硅 IC 中最常用的粘性助长剂是六甲基二硅胺烷(HMDS)。使用了粘性层后，把晶片固定在真空转盘上，在晶片中央注入 $2cm^3$～$3cm^3$ 容量的液态抗蚀剂，接着迅速加速旋转晶片至恒定转速，保持 30s 左右。要得到膜厚为 0.5μm 至 1mm 的均匀膜层，转速通常在 1000～10000r/m 之间，如图 4-10a 所示。光致抗蚀剂的厚度与其粘性相关。

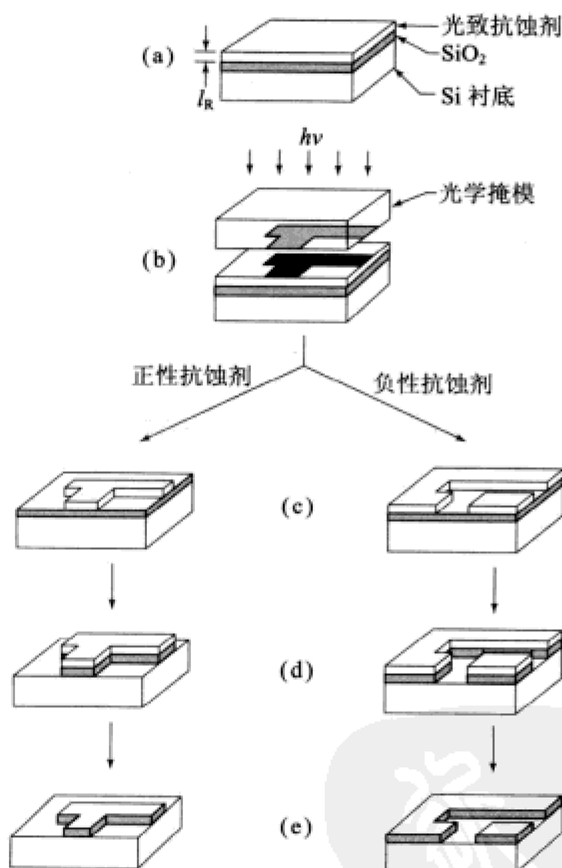


图 4-10　光学光刻图形转移工艺步骤[8]

晶片完成旋转涂敷抗蚀剂步骤后，进行“前烘”(通常温度为 90～120℃，烘烤 60～120s)，去除抗蚀剂膜中的溶剂并增强抗蚀剂与晶片的粘附性。然后晶片与相关的掩模在光学光刻系统中进行套准，用 UV 光对抗蚀剂进行曝光，如图 4-10b 所示。如果使用正性抗蚀剂，那么曝过光的抗蚀剂可溶解在显影液里，如图 4-10c 中的左图所示，一般向晶片喷射显影液来完成光致抗蚀剂的显影工艺，接着冲洗并烘干晶片。完成显影之后，可能要采用 100℃～180℃的“后烘”来提高抗蚀剂与衬底间的粘附性。接着把硅片放在能腐蚀裸露的绝缘层而对抗蚀剂不起作用的腐蚀液中进行腐蚀，如图 4-10d 所示。最后去除抗蚀剂(比如使用溶剂或氧等离子体)，留下一个与掩模上不透明图形一

模一样的绝缘层图形(或图案),如图 4-10e 中左图所示。

负性抗蚀剂除了去掉的是未曝光部分之外,上述流程同样适用。最终的绝缘层图形(如图 4-10e 中右图所示)与掩模上不透明图形正好相反。

绝缘层的图形可以当作后续工艺的掩模使用,例如离子注入(参见第 7 章)只能对暴露的半导体区域实施,而不能渗入到绝缘层覆盖区域。用负性抗蚀剂时掺杂图形与掩模上设计的图形一模一样,用正性抗蚀剂时掺杂图形则与掩模上设计的图形互补。将下一张光刻掩模图样套准上一次做好的图形,并且重复光刻转移过程,如此重复进行就能制备出了整个电路。

有一种相关的图形转移过程称为"浮脱"工艺,如图 4-11 所示。先用正性抗蚀剂在衬底上形成抗蚀剂图样(如图 4-11a 和 4-11b 所示),接着淀积薄膜(如金属铝)覆盖抗蚀剂和衬底(图 4-11c),薄膜厚度必须小于抗蚀剂厚度。然后采用合适的腐蚀液有选择地溶解了抗蚀剂,覆盖在抗蚀剂上面的薄膜部分也就被去除掉了,最终淀积的覆盖膜层浮脱而被剥离掉(图 4-11d)。浮脱工艺具有很高的分辨率,广泛用于分立器件如大功率 MESFET 的制造,但在超大规模集成电路制造中并不被广泛应用,而倾向于干法刻蚀技术。

70~71

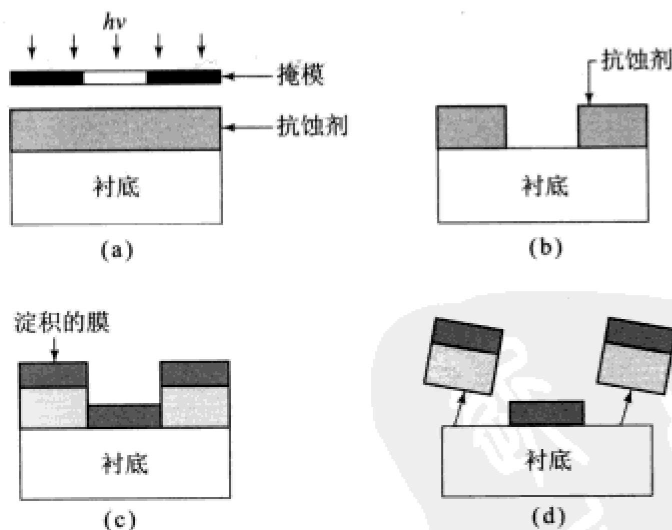


图 4-11 用于图形转移的浮脱工艺

4.1.6 分辨率增强工艺

光学光刻技术不断受到要在集成电路制造中提供更好分辨率、更大 DOF 和更宽曝光范围的挑战,人们一直在缩短曝光设备的波长以及开发新的抗蚀剂以应对这种挑战。另外,很多分辨率增强技术已经开发出来,以便把光学光刻技术扩展到适合加工更小的特征尺寸。

一种重要的分辨率增强技术是移相掩模(PSM),其基本概念如图 4-12 所示[9]。在

常规掩模上，辐照光在每个开孔（透光区）处的电场有着相同的相位，衍射现象以及光学系统有限的分辨率把电场分散在掩模上，如图中虚线所示。相邻开孔的相干涉波增强了它们之间的电场。因为光强（I）正比于电场的平方，要分开两个紧挨着的图像就非常困难。覆盖在相邻开孔区的移相层反转了辐照光的电场相位，如图4-12b所示。因为掩模上的光强没有改变，所以晶片上的图像电场能够相互抵消，于是紧挨着的图像就能被分开了。采用厚度为 $d=\lambda/2(n-1)$ 的透明层能够得到180°的相变，这里 n 是折射率，λ 是辐照光波长，如图4-12b所示。

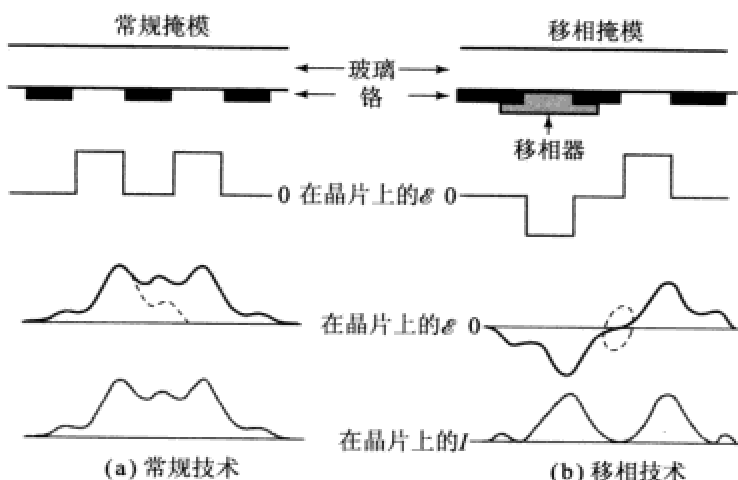


图4-12　移相技术原理

另一种分辨率增强技术是光学邻近矫正（OPC），这是通过改变相邻亚分辨率图形形状来提高图像的识别能力。比如一个尺寸接近极限分辨率的方形接触孔会被印成近乎圆形，但在角上附加图形来修改接触孔的形状，将有助于印成更精确的方孔。

72

4.2　下一代光刻方法

为什么光学光刻技术使用得如此广泛？什么促使它成为这般有前途的方法？答案就是它具备高生产效率、优良分辨率、低成本和容易操作的优势。

然而，鉴于深亚微米IC工艺的要求，光学光刻技术存在一些仍然没能解决的局限性问题，尽管使用PSM或者OPC技术扩展了它的使用范围，但是这类掩模生产和检查的复杂性不那么容易解决。除此之外，掩模的成本也非常高。所以需要找到光学光刻的替代技术来进行深亚微米或是纳米IC的工艺制造。

本节要讨论各种类型的下一代光刻方法，涉及到电子束光刻、极短UV光刻、X射线光刻和离子束光刻等不同技术。

4.2.1 电子束光刻

电子束(或称 e—束)光刻主要用来生产光学掩模,很少有这类设备不用掩模而用聚焦的电子束直接曝射晶片上的光抗蚀剂。图 4-13 所示为电子束光刻系统的原理图[10]。电子枪是产生合适电流强度的电子束的装置,钨丝热电子发射阴极或者六硼化镧(LaB_6)单晶用来做电子枪。会聚透镜把电子束聚焦成直径在 10nm~25nm 之间的斑点。开关电子束的束流消隐板和束偏转线圈都受计算机控制,以 MHz 或更高的速率工作以使聚焦电子束直接作用在衬底上扫描场内的任何地方。因为扫描场(通常为 1cm)比衬底直径小得多,所以用精密机械工作平台来定位要制备图形的衬底。

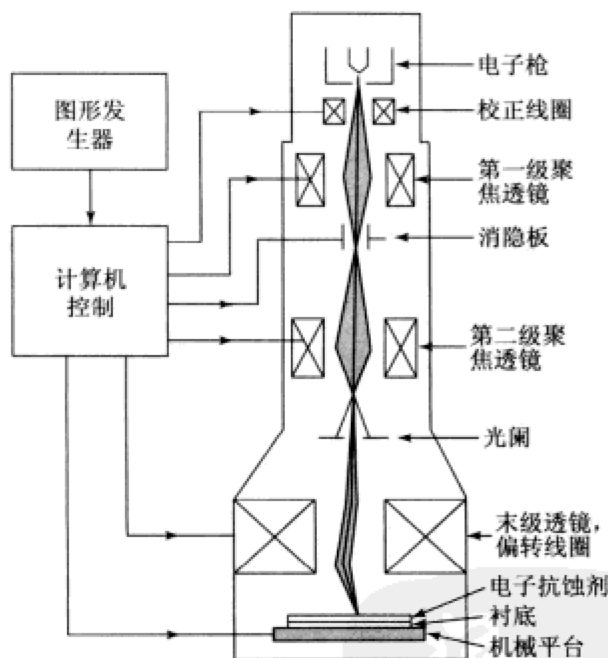


图 4-13 电子束光刻机原理图[10]

电子束光刻的优势包括:能生成亚微米抗蚀剂图形,高度自动化及精密控制操控,比光学光刻法的焦深长,以及无需掩模而直接在半导体晶片上形成图像;劣势则是电子束光刻机的生产效率较低——在小于 0.25μm 的分辨率情况下每小时产量约 10 块晶片。这种生产效率用于光学掩模生产已经足够,或者供少量定制电路的制造需要,或者供设计验证之用。但是对无掩模直接成像而言,光刻机器设备必须有尽可能高的生产效率,为此,应使用符合加工器件的最小尺寸的最大束径。

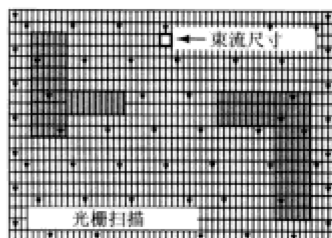
聚焦电子束基本上有两种扫描方式:光栅扫描和矢量扫描[11]。在光栅扫描系统中,沿垂向扫描的束流需要把一帧规则图案写入抗蚀剂,如图 4-14a 所示。束流顺序扫过掩模上每一个可能的位置,在不曝光的位置则被消隐(关闭)。曝光区域内要写入的所有图形必须细分成单独可寻址点,并且给定图形必须具有最小增量间距,此间距能被

束流寻址点尺寸整除。

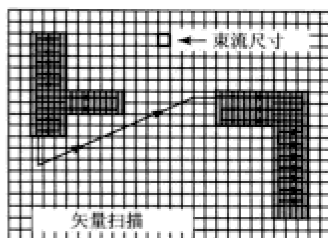
在如图 4-14b 所示的矢量扫描系统中，束流不像在光栅扫描系统中那样扫过整个芯片，而是直接作用在要求有图形的区域，并从一个图形跳到另一个图形进行扫描。对大多数芯片来说，曝光区域只占芯片面积的 20%，因此运用矢量扫描系统就能节省时间。

图 4-14c 表示了几种使用在 e－束光刻中的电子束形式：高斯点束流（圆形束流）、可变形状束流和单元投影。在可变形状束流系统中，电子束的剖面形状是个可变尺寸和外形比例的长方形，它的优势在于几种可寻址单位（点）能够同时曝光。因此采用可变形状束流的矢量扫描方式比常规高斯点束流具有更高的生产效率。也可以采用某种电子束系统对复杂的几何形状进行一次曝光成像，这就是所谓的单元投影，如图 4-14c 所示。单元投影工艺[12]特别适合高重复性的设计，如 MOS 存储单元，这是因为几个存储单元图形可以同时曝光。当然单元投影仍然没有达到光学曝光设备的生产效率。

73～74



(a) 光栅扫描写入原理



(b) 矢量扫描写入原理

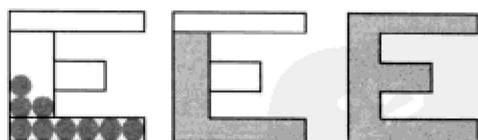

(c) 电子束外形：圆可变形状和单元投影

图 4-14[12] 聚焦电子束扫描方式

1. 电子抗蚀剂

电子抗蚀剂是一种聚合物，其性能与光致抗蚀剂类似，即辐照使抗蚀剂发生物理或化学的变化，这种变化使得抗蚀剂能够形成图案。在正性电子抗蚀剂中，聚合物与电子相互作用引起化学键破裂（断链）形成短的分子段，如图 4-15a 所示[13]。结果使辐照区的分子量减小，随后被溶解在专门处理小分子材料的显影液里。常用正性电子抗蚀剂有聚甲基丙烯酸酯（PMMA）和聚丁烯－1 砜（PBS）两种，它们能够达到 0.1μm 或更小的分辨率。

在负性电子抗蚀剂中，照射引起辐射诱发的聚合物交联，如图 4-15b 所示。这种横向交联产生复杂的三维结构，该结构比非辐照区具有更高的分子量。没有受到辐照的抗蚀剂可以溶于显影液中，但显影液不能溶解受辐照后生成的高分子量材料。聚甘化

丙烯酸酯同巳基丙烯酸盐(COP)是常用的负性电子抗蚀剂。像大多数负性光致抗蚀剂一样,COP 也会在显影过程中吸收膨胀使得分辨率限制在 1μm 左右。

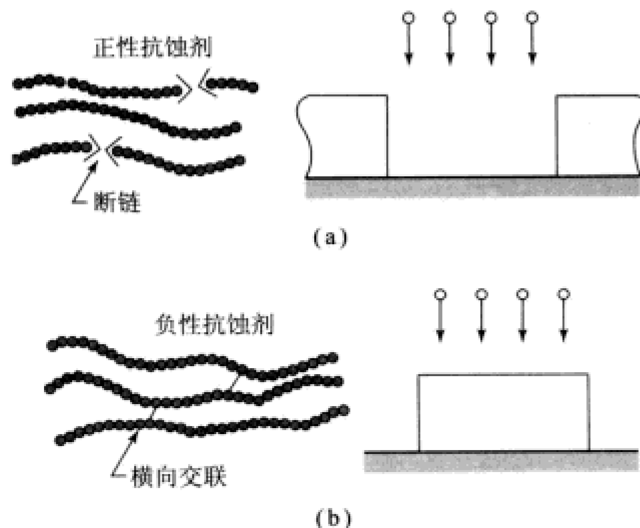


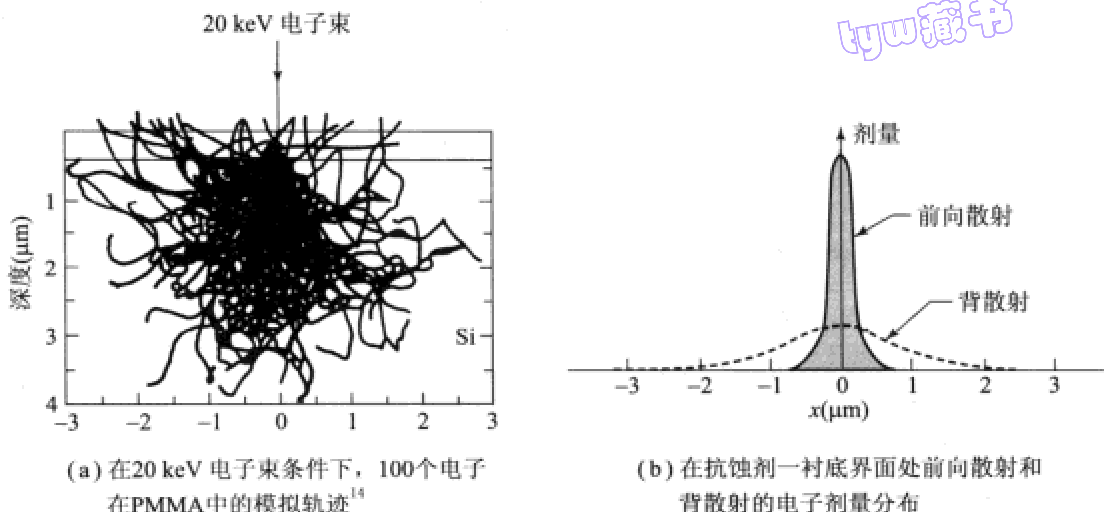
图 4-15 用在电子束光刻中的正性和负性抗蚀剂示意图[13]

2. 邻近效应

在光学光刻技术中分辨率受到光衍射的限制,但在电子束光刻技术中分辨率不是受到衍射限制(因为与几 eV 和更高能量电子所相应的波长不足 0.1nm),而是受到电子散射的限制。当电子穿过抗蚀剂及其下面的衬底时发生一系列碰撞,碰撞导致能量损失和路径改变。于是,入射电子在穿过材料的沿途发生离散,直到失去所有的能量或者由于背散射的作用而又离开材料。

图 4-16a 表示了 100 个电子的计算轨迹,电子以 20keV 的初始能量入射覆盖在厚硅衬底上 0.4mm 的 PMMA 膜[14]。电子束沿着 z 轴方向入射,所有轨迹投影到 xz 平面上。这幅图定性地表明电子呈现椭梨状分布,椭梨的径向尺寸与电子穿透深度(~3.5mm)在同一数量级。还可以看到,很多电子发生背散射碰撞,从硅衬底弹回进入 PMMA 抗蚀剂膜层并离开材料。

图 4-16b 表示了在抗蚀剂一衬底界面处前向散射和背散射电子的归一化分布。因为背散射的原故,电子有效照射偏离曝光束流中心几个微米。由于抗蚀剂所受到的剂量是四周各区域散射来的辐照之和,所以电子束在某处的辐照将影响邻近区域的辐照,这种现象称为邻近效应。邻近效应限制了图形之间的最小间距。为了克服邻近效应,可以把图形分割成小段,调整每小段的入射电子剂量,使它与邻近各段散射来的剂量迭加后正好等于正确的曝光剂量。由于分段对抗蚀剂进行曝光需要额外的计算时间,因此电子束曝光系统的生产效率进一步降低。



(a) 在20 keV 电子束条件下，100个电子在PMMA中的模拟轨迹[14]

(b) 在抗蚀剂—衬底界面处前向散射和背散射的电子剂量分布

图 4-16　电子轨迹和剂量分布

4.2.2　极短紫外光刻

极短紫外光刻(EUV)是一种很有希望的下一代光刻技术，它能做到把最小线宽缩减到 30nm 而不降低生产效率[15]。图 4-17 给出了 EUV 光刻系统的原理示意图，用激光产生的等离子或者用同步加速器辐射作为 EUV 的光源，该光源的波长为 10nm～14nm。EUV 的卡线被掩模反射出去，这里用淀积在多层膜上的吸收材料制作图形来产生掩模，而多层膜覆盖在平板硅或平板玻璃掩模板上。EUV 的照射是被掩模上非图形区(即非吸收区)反射出去的，经过 4 倍的缩片相机把图形成像到覆盖在晶片上的抗蚀剂薄膜中。

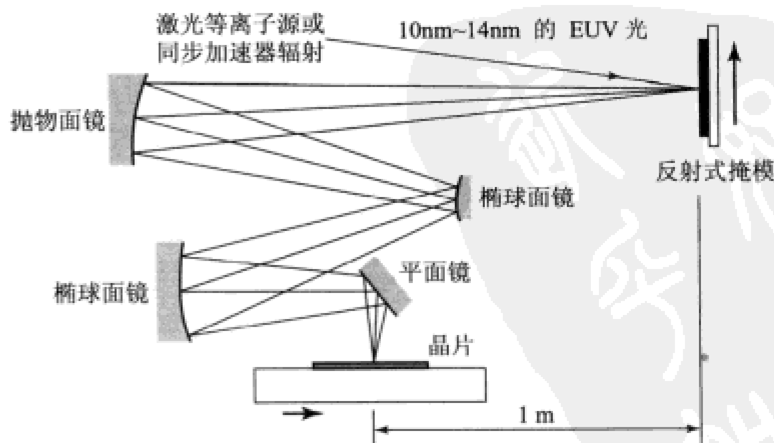


图 4-17　EUV 光刻系统的原理示意图[15]

由于 EUV 辐照线窄，辐照线必须扫描完整个掩模板才能显现电路掩模层的整个图形场。还有，在 4×4 倍的精缩成像系统中(即 1 个抛物面镜、2 个椭球面镜和 1 个平

面镜)，晶片必须以掩模四分之一的速度沿与掩模运动相反的方向接受扫描，以便晶片表面上所有的芯片位置都能形成图形场。这需要一个精密的系统，它不仅能够完成芯片位置套准，还可以控制晶片和掩模工作平台的运动以及扫描过程中的曝光量。

采用 13nm 辐照的 PMMA 抗蚀剂可以实现 EUV 光刻技术复印 50nm 的图形，但是 EUV 曝光设备的生产还面临许多新的挑战。由于 EUV 光会被所有材料大量吸收，光刻制程必须在真空中进行。成像系统要使用反射式镜头组件，反射镜面要被多层膜覆盖，而多层膜能够产生分布四分之一波长的 Bragg 反射。此外，掩模板也要用多层膜覆盖，以便使 λ 为 10nm～14nm 的波得到最大的反射率。

4.2.3 X 射线光刻

对尺寸在 100nm 集成电路制造来说，X 射线光刻(XRL)是一种继光学光刻之后很有潜力的可选技术[16]。大批量制造中的 X 射线源选用同步加速器存储环，它能产生很大的碰撞流量，非常容易供给 10 到 20 台曝光设备的需要。

XRL 采用类似光学接近式复制的投影复制方法。图 4-18 给出了 XRL 系统的原理图，其中 X 射线波长约 1nm，用接近(10～40μm)晶片尺寸 1 倍的掩模完成复制。由于 X 射线吸收取决于材料的原子数，而大多数材料在 $\lambda \cong 1$nm 时的透明度很低，所以掩模衬底必须是由低原子数材料如碳化硅和硅制备的薄型膜层(1μm～2μm)。图形就限定在薄薄(～0.5μm)的、相对高原子数材料(如钽、钨、金或是它们的合金)之中，这些高原子数材料由薄型膜层支垫。

76～78

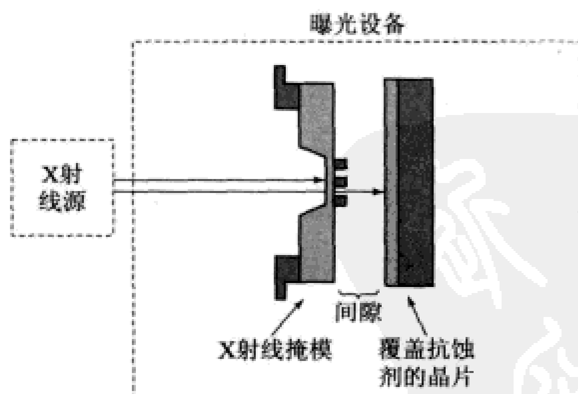


图 4-18 接近式 X 射线光刻系统原理示意图[17]

掩模是 XRL 系统中最难解决也是最关键的组件，X 射线掩模要比光学掩模复杂得多。为了避免源与掩模之间出现的吸收，曝光通常是在充氦的环境中进行。X 射线产生在真空条件下，一个薄的真空窗口(材质通常是铍)把氦气与真空分开。掩模衬底将会吸收 25%～35%的入射流量，因此需要冷却。1μm 厚的 X 射线阻挡层将吸收余 10%的入射流量，衬底没有反射形成驻波，所以没有必要使用减反膜。

可以把电子束抗蚀剂作为 X 射线抗蚀剂使用，因为原子吸收了 X 射线会跃迁到激

发态并发射电子，而激发态原子发射波长不同于入射时的 X 射线并回到基态，这些 X 射线又被其他原子吸收，并且重复上述过程。由于以上过程都会导致电子产生，所以 X 射线辐射下的抗蚀剂相当于受到大量其他来源的二次电子辐照。根据抗蚀剂的类型不同，抗蚀剂膜被辐照后就会发生链交联或是断链现象。

4.2.4 离子束光刻

离子因为拥有更大的质量并且散射弱于电子，所以离子束光刻能获得比光学、X 射线或电子束光刻工艺更高的分辨率，其最大应用是光学光刻用掩模的修复，这是项非常见效的商业业务。

图 4-19 所示为 50 个 H^+ 离子的计算机模拟轨迹，其中离子在 60eV 的作用下植入覆盖在不同衬底上的 PMMA 中[17]。可见离子束只在纵深 0.4μm 而其他方向仅 0.1μm 的空间中散开(对照图 4-16a 中的电子)。衬底为硅的情形下完全没有背散射，衬底为金的情形下仅有少量背散射。当然，离子束光刻可能会出现偶然(或者随机)的空间电荷效应引发离子束变宽。

79

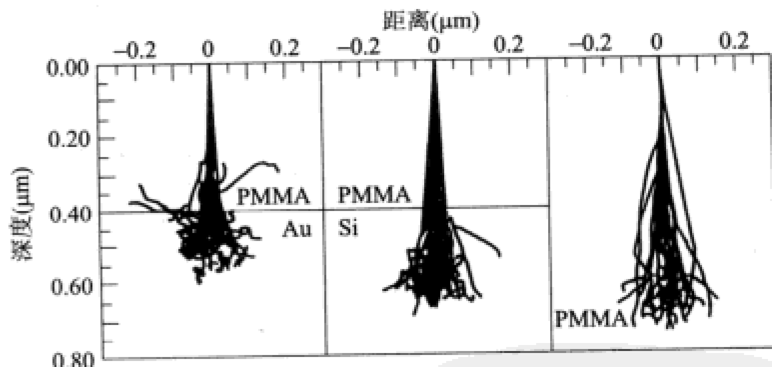


图 4-19 60eV 的 H^+ 离子穿过 PMMA 进入 Au、Si 和 PMMA 中的轨迹[17]

离子束光刻系统有两种类型：扫描汇聚束流系统和掩模束流系统。前者类似电子束光刻机(如图 4-13 所示)，其中离子源是 Ga^+ 和 H^+；后者类似 5 倍精缩的投影式分布重复光学光刻机，把 100eV 的离子如 H_2^+ 透过金属掩模板投影出去。

4.2.5 各种光刻方法比较

前面所讨论的光刻方法都具备 100nm 或更好的分辨率，表 4-1 列出各种光刻工艺的比较。当然，每种方法都有其自身的局限性：光学光刻存在衍射效应，电子束光刻存在邻近效应，X 射线光刻存在掩模构造复杂的问题，EUV 光刻的难点是生产掩模靶，离子束光刻中存在随机空间电荷的问题。

造集成电路时，要经过多道掩模光刻，但没有必要让所有掩模层都采用一样的光刻方法。光刻方法混合匹配使用的方案能够令各种光刻工艺扬长避短，这样既能提高分辨率又能实现最大的生产效率。例如，最关键的掩模光刻采用 4∶1 的 EUV 方法，

而余下的使用 4∶1 或者 5∶1 的光学系统。

按照半导体行业协会的国际半导体技术指南(International Technology Roadmap for Semiconductors),到 2010 年左右 IC 制造技术将会达到 50nm 的水平[18]。随着每项新技术的诞生,由于要求更小的特征尺寸和更精细的表层容差,光刻技术已经成为半导体工业的更加重要的策动力。此外,相对于 IC 制造设备的总成本来说,光刻设备的花费已经很高,目前,下一代光刻技术的开发是由多国的研究项目或者产业合作伙伴共同引领。

80

表 4-1 各种光刻工艺比较

	光学 248/193nm	SCALPEL	EUV	X 射线	离子束
曝光设备					
源	激光	灯丝	激光等离子体	同步加速器	多束源
衍射限制	有	无	有	有	无
光学元件	折射式	折射式	折射式	无	全场折射式
分步扫描	有	有	有	有	分步式
200mm 晶片/小时的生产效率	40	30～35	20～30	30	30
掩模					
精缩倍数	4×	4×	4×	1×	4×
光学邻近矫正	有	无	有	有	无
辐射路径	透射式	透射式	反射式	透射式	模板印刷式
抗蚀剂					
单层或多层	单层	单层	表面成像	单层	单层
化学增强抗蚀剂	有	有	无	有	无

SCALPEL:限散射角投影式电子束光刻;EUV:极短紫外线。

4.3 光刻模拟

作为针对氧化问题的一个案例(参见第 3 章),计算机模拟也是研究光刻制程的重要手段。可惜 SUPREM 程序包不能实现光刻模拟,但另一个流行工具 PROLITH 却能胜任。

PROLITH 是一个基于 Windows 操作系统的程序软件,所采用的正性/负性光致抗蚀剂光学复印模型最初由 Chris Mack 研发[19]。PROLITH 模拟了完整的一维和二维光学复印工艺,即从空间成像到抗蚀剂曝光直至显影全过程。程序的输出结果是对最终抗蚀剂外形的精确预测,该结果以图形、绘线性、曲线图和计算数据的多样式表现出来,特别是 PROLITH 能够进行以下模拟:

- ❑ 光学投影系统中掩模图形影像的成型;
- ❑ 用上述图像对光致抗蚀剂曝光;
- ❑ 图像衍射;
- ❑ 曝光光致抗蚀剂的显影。

PROLITH 以数据文件形式和参数输入方式的接受光刻信息，并用这些信息来模拟标准的和先进的光刻制程。用户只要在启动(Window Start)菜单里简单地点击 PROLITH 的图标，就能运行 PROLITH。成功地完成许可文件搜索之后，成像工具(Imaging Tool)参数窗口显示出来(见图 4-20)。当用户从观察(View)菜单中做出选择后，PROLITH 显示出一个窗口，在窗口中输入参数以便观察模拟结果，而这些结果都能从图表(Graphs)菜单中观看到。例 3 说明了上述概念。

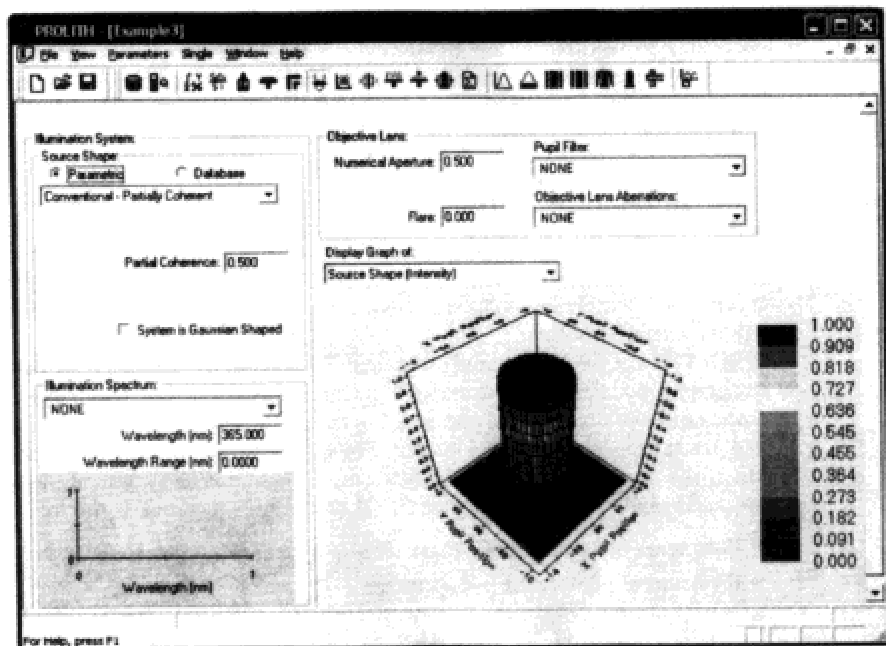


图 4-20　PROLITH 中的成像工具(Imaging Tool)窗口

【例 3】 用 PROLITH 观察经过曝光和显影之后图 4-20 中圆柱形状掩模的抗蚀剂图样外形。假设给定以下工艺条件：

光致抗蚀剂类型＝SPR 500

前烘温度＝95℃

前烘时间＝ 60s

透镜的数值孔径＝0.5

曝光波长＝365nm

曝光能量＝150mJ/cm^2

后烘温度＝110℃

后烘时间＝ 60s

显影时间＝ 60s

显影液＝MFT 245/501

解：所有给定的参数值都可以从参数菜单或通过点击工具条上相应的图标而输入，抗蚀剂图样外形结果显示在图 4-21 中。

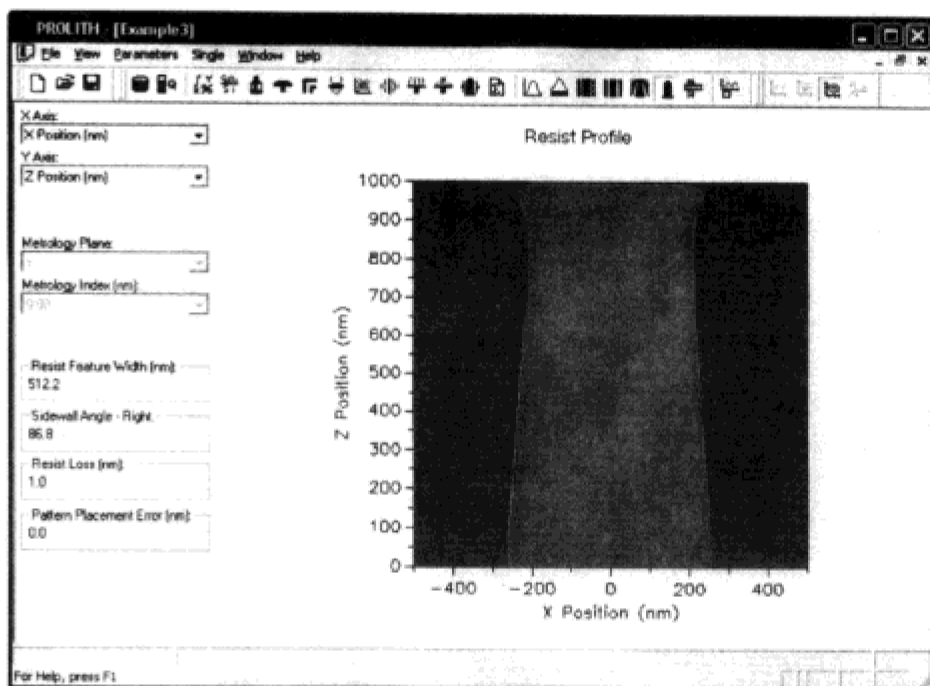


图 4-21 图 4-20 和例 3 所指定掩模的抗蚀剂图样外形

4.4 小结

能够把越来越小的电路图形转移到半导体晶片上，这种能力所带来的直接结果是半导体工业的持续增长。目前，大部分的光刻设备还是光学光刻系统。本章涉及到各种曝光设备、掩模、光致抗蚀剂和光学光刻技术。制约光学光刻技术分辨率的主要因素是衍射。由于在准分子激光、光致抗蚀剂化学和分辨率增强技术如 PSM 和 OPC 等方面的进步，至少在 100nm 的水平上，光学光刻仍保持是主流工艺。

电子束光刻是选用来生产掩模和实现纳米制备的技术，这其中要探索新的器件概念。其他光刻制程技术有 EUV、X 射线和离子束光刻，虽然这些技术都有 100nm 或更好的分辨率，但每种技术有其自身的局限性：电子束光刻存在邻近效应，EUV 光刻的难点是生产掩模靶，X 射线光刻存在掩模制备复杂的问题，离子束光刻中存在随机空间电荷的问题。

如今，没有那种技术能完完全全接替光学光刻技术，但光刻方法混合相匹配使用的技术方案能够利用各种光刻工艺的优势，以便既能提高分辨率又能实现最大的生产效率。

参考文献

1. 光刻技术的更多详细讨论，见 (a) K. Nakamura, "Lithography," in C. Y. Chang and S. M. Sze, Eds., *ULSI Technology*, McGraw-Hill, New York, 1996. (b) P. Rai-Choudhurg, *Handbook of Microlithography, Micromachining, and Microfabrication*, Vol. 1, SPIE, Washington, DC, 1997. (c) D. A. McGillis, "Lithography," in S. M. Sze, Ed., *VLSI Technology*, McGraw-Hill, New York, 1983.

2. 刻蚀技术的更多详细讨论，见 Y. J. T. Liu, "Etching," in C. Y. Chang and S. M. Sze, Eds., *ULSI Technology*, McGraw- Hill, New York, 1996.

3. J. M. Duffalo and J. R. Monkowski, "Particulate Contamination and Device Performance," *Solid State Technol.* **27,** 3, 109 (1984).

4. H. P. Tseng and R. Jansen, "Cleanroom Technology," in C. Y. Chang and S. M. Sze, Eds., *ULSI Technology*, McGraw-Hill, New York, 1996.

5. M. C. King, "Principles of Optical Lithography," in N. G. Einspruch, Ed., *VLSI Electronics*, Vol. 1, Academic, New York, 1981.

6. J. H. Bruning, "A Tutorial on Optical Lithography," in D. A. Doane, et al., Eds., *Semiconductor Technology*, Electrochemical Soc., Penningston, 1982.

7. R. K. Watts and J. H. Bruning, "A Review of Fine-Line Lithographic Techniques: Present and Future," *Solid State Technol.*, **24,** 5, 99 (1981).

8. W. C. Till and J. T. Luxon, *Integrated Circuits, Materials, Devices, and Fabrication*, Prentice-Hall, Englewood Cliffs, NJ, 1982.

9. M. D. Levenson, N. S. Viswanathan, and R. A. Simpson, "Improving Resolution in Photolithography with a Phase-Shift Mask," *IEEE Trans. Electron Devices*, **ED-29,** 18–28 (1982).

10. D. P. Kern, et al., "Practical Aspects of Microfabrication in the 100-nm Region," *Solid State Technol.*, **27,** 2, 127 (1984).

11. J. A. Reynolds, "An Overview of e-Beam Mask-Making," *Solid State Technol.*, **22,** 8, 87 (1979).

12. Y. Someda, et al., "Electron-Beam Cell Projection Lithography: Its Accuracy and Its Throughput," *J. Vac. Sci. Technol.*, **B12** (6), 3399 (1994).

13. W. L. Brown, T. Venkatesan, and A. Wagner, "Ion Beam Lithography," *Solid State Technol.*, **24,** 8, 60 (1981).

14. D. S. Kyser and N. W. Viswanathan, "Monte Carlo Simulation of Spacially Distributed Beams in Electron-Beam Lithography," *J. Vac. Sci. Technol.*, **12,** 1305 (1975).

15. Charles Gwyn, et al., "Extreme Ultraviolet Lithography," White Paper, Sematech, Next Generation Lithography Workshop, Colorado Springs, Dec. 7–10, 1998.

16. J. P. Silverman, "Proximity X-Ray Lithography," White Paper, Sematech, Next Generation Lithography Workshop, Colorado Springs, Dec. 7–10, 1998.

17. L. Karapiperis, et al., "Ion Beam Exposure Profiles in PMMA-Computer Simulation," *J. Vac. Sci. Technol.*, **19,** 1259 (1981).

18. *The International Technology Roadmap for Semiconductors*, Semiconductor Ind. Assoc., San Jose, CA, 2001.

19. *PROLITH/2 User's Manual*, FINLE Technologies, Austin, TX, 1998.

82～83

习题

1. 求在 100 级的超净间中尘粒尺寸为下列情况时单位立方米空间中的尘粒数目。

(a) 0.5～1μm,(b) 1～2μm,(c) 2μm 以上。

2. 求 9 层掩模工艺制程的最终成品率,已知其中 4 层掩模的平均致废缺陷密度数目是 0.1/cm^2,另外 4 层的数目是 0.25/cm^2,还有 1 层的数目是 1.0/cm^2硅片面积为 50mm^2。

3. 光学光刻系统的曝光能量是 0.3mW/cm^2。正性抗蚀剂要求的曝光能量是 140mJ/cm^2,而负性抗蚀剂是 9mJ/cm^2。假设忽略装取晶片的时间,试比较用正性抗蚀剂和负性抗蚀剂时的晶片生产效率。

4. (a) ArF 准分子激光的 193nm 光学光刻系统中 NA=0.65,k_1=0.60,k_2=0.50,该设备的理论分辨率和焦深各是多少?(b)在实际中要想提高分辨率应如何调整 NA、k_1 和 k_2 这些参数?(c)移相掩模(PSM)工艺改变什么参数来提高分辨率?

5. 在光刻技术中图 4-9 中曲线称为响应曲线,(a)使用高 γ 值抗蚀剂的优势和劣势各是什么?(b)常规抗蚀剂为什么不能用于 248nm 或者 193nm 的光刻技术中?

6. (a)解释为什么电子束光刻中可变形术流的方式比高斯术流的生产效率高?(b)在电子束光刻中如何完成套准?为什么在 X 射线光刻中完成套准非常困难?(c) X 射线光刻强于电子束光刻的优势是什么?

7. (a)为什么光学光刻系统的操作模式会从接近式复制到 1∶1 投影式复制,直至最后的 5∶1投影式分步重复系统?(b)构造一个分步扫描式 X 射线光刻系统是可能的吗?为什么可能或为什么不可能?

8. 按照以下改变过的工艺条件重做例 3,解释抗蚀剂图样外形的不同点:

前烘温度=100℃

前烘时间= 5 分钟

曝光能量=50mJ/cm^2

后烘温度=120℃

后烘时间= 15 分钟

显影时间= 60 秒

显影液=MF 319

第 5 章　刻　　蚀

正如前一章所讨论，光刻是将图形转移到覆盖半导体晶片表面的光致抗蚀剂上的工艺制程。为了获得电路的结构，必须把这些抗蚀剂图形转换到抗蚀剂下面的各层材料上面去。通过刻蚀工艺完成这种图形转换，刻蚀工艺把每一层材料未掩模部分选择性地去掉[1]。在 1.4.2 节中曾简要描述过刻蚀，本章涉及以下内容：

- ☐ 半导体、绝缘层和金属膜的湿法化学腐蚀机理；
- ☐ 高保真图形转换的等离子辅助刻蚀(也称干法刻蚀)。

5.1　湿法化学腐蚀

湿法化学腐蚀广泛运用在半导体制造工艺中。从把半导体晶锭材料分割成晶片起，化学腐蚀液就被用来进行研磨抛光处理，以便产生光亮平坦(参见第 2 章)、没有缺陷的表面。在热氧化(参见第 3 章)或外延生长(参见第 8 章)之前，半导体晶片要进行化学清洗去除加工或存储带来的污渍。湿法腐蚀特别适合对多晶硅、氧化物、氮化物、金属和 III-V 族化合物进行毯式腐蚀(即遍及整个晶片表面)。

如图 5-1 所示湿法化学腐蚀机理涉及三个关键步骤：反应物通过扩散输送到反应表面；化学反应发生在表面层；表面层的生成物通过扩散除去。腐蚀液的温度和搅拌都会影响腐蚀速率，所谓腐蚀速率是指单位时间内刻蚀去掉的薄膜数量。在 IC 制造过程中，大部分湿法化学腐蚀工艺是通过把晶片浸没在腐蚀液中，或是向晶片喷淋腐蚀液的方式来实现。在浸没式腐蚀中，晶片浸到腐蚀液里，所伴随的机械搅拌能保证得到均匀的腐蚀和恒定的腐蚀速率。喷淋式腐蚀通过向晶片表面稳定地供给新腐蚀液，从而极大地提高了腐蚀速率及其均匀性，因此喷淋式腐蚀已在逐渐取代浸没式腐蚀。

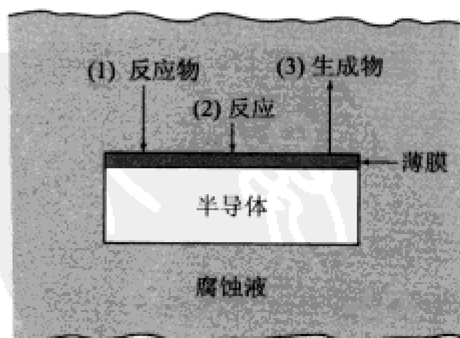


图 5-1　湿法化学腐蚀基本机理

在半导体生产线上高度均匀的腐蚀速率很重要。晶片与晶片之间、流程与流程之间、甚至任何不同形状尺寸和图形密度之间都要做到整块晶片上腐蚀速率均匀。蚀速率均匀性由下式给出：

$$\text{腐蚀速率均匀性}(\%)=\frac{(\text{最大腐蚀速率}-\text{最小腐蚀速率})}{(\text{最大腐蚀速率}+\text{最小腐蚀速率})}\times 100\% \tag{5-1}$$

85

【例 1】 计算直径为 200 mm 的硅晶片上 Al 的平均腐蚀速率和腐蚀速率的均匀性。假设在晶片中央、左、右、上、下的腐蚀速率分别是:750、812、765、743、798 nm/分钟。

解:Al 的平均腐蚀速率 = (750+812+765+743+798) ÷5 = 773.6 nm/分钟

腐蚀速率的均匀性 = (812−743)÷ (812+743)×100% = 4.4%

5.1.1 硅的腐蚀

对于半导体材料来说,湿法化学腐蚀常常通过氧化作用进行,接下来使用一种化学反应把氧化物溶解掉。以硅为例,最常用的腐蚀剂是硝酸(HNO_3)与氢氟酸(HF)或者醋酸(CH_3COOH)的混合水溶液,其中硝酸使硅氧化形成 SiO_2 层[2],氧化反应如下:



$$Si + 4HNO_3 \longrightarrow SiO_2 + 2H_2O + 4NO_2 \tag{5-2}$$

氢氟酸用来溶解 SiO_2 层,反应如下:



$$SiO_2 + 6HF \longrightarrow H_2SiF_6 + 2H_2O \tag{5-3}$$

水在腐蚀剂中充当稀释液。但醋酸用得更多些,因为它能降低硝酸的溶解度。

有些腐蚀液溶解某个指定晶面的速率快过其他晶面,这就产生了定向腐蚀[3]。在硅晶格中,(111)面上单位面积内的有效键多于(110)和(100)面,因此可以认为(111)面的腐蚀速率较慢。常用硅的定向腐蚀液是由 KOH 水溶液和异丙醇相混合而组成。例如,按重量比 19%溶于去离子(DI)水的 KOH 溶液在 80℃下去除(100)面的速率高过(110)和(111)面,对(100)、(110)和(111)面的腐蚀速率之比为 100∶16∶1。

86

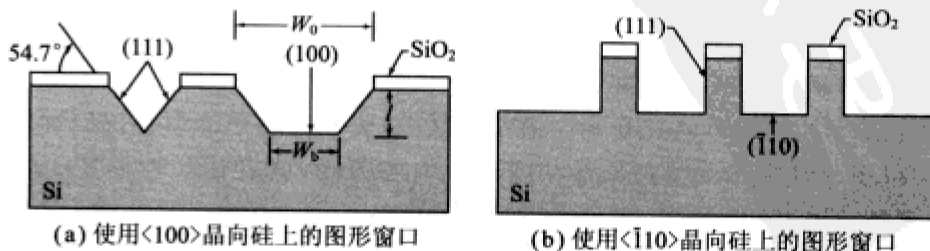
用二氧化硅图形作为掩模对〈100〉晶向的硅实现定向腐蚀能产生精确的 V 形槽[4],如图 5-2a 中的左边部分所示,成为 V 形槽斜边的(111)面与外表面呈 54.7°的角度。如果掩模窗口开得稍大一些或者腐蚀时间缩短了,那么如图 5-2a 中的右边部分所示,形成的是 U 形槽。U 形槽底边的宽度由下式给出:

$$W_b = W_0 - 2l\cot 54.7°$$

或者:

$$W_b = W_0 - \sqrt{2}l \tag{5-4}$$

其中 W_0 是晶片表面窗口的宽度,l 是腐蚀深度。如果使用的是〈$\bar{1}$10〉晶向的硅,那么如图 5-2b 所示,形成的则是以(111)面为侧壁的垂直井槽。所以可以大力运用晶向与腐蚀速率的相关性来制造亚微米特征长度的器件。



(a) 使用<100>晶向硅上的图形窗口　(b) 使用<$\bar{1}$10>晶向硅上的图形窗口

图 5-2 定向腐蚀[4]

5.1.2　氧化硅的腐蚀

氧化硅的湿法腐蚀通常在添加或者不添加氟化氨(NH_4F)的 HF 稀释溶液中完成，添加有 NH_4F 就形成所谓的 HF 缓冲液(BHF)，也称为氧化腐蚀缓冲液(BOE)。NH_4F 加入 HF 后起到控制 pH 值的作用，它能补充消耗了的氟离子，于是保持了稳定的腐蚀性能。SiO_2 总的反应情况与反应式(5-3)表示的一致，它的腐蚀速率与腐蚀溶液、腐蚀剂浓度、搅拌情况和温度有关系。另外，氧化物的密度、多孔性、微结构以及杂质的存在都影响着腐蚀速率。比如，氧化物中存在高浓度的磷会导致腐蚀速率迅速提升，而且通过化学气相沉积(CVD)或者溅射制成的疏松氧化物显示出比热生长氧化物快得多的腐蚀速率。

87

二氧化硅也能用气相 HF 腐蚀。在亚微米图形腐蚀中气相 HF 氧化物腐蚀技术很有潜力，因为能够更好地控制这种工艺过程。

5.1.3　氮化硅和多晶硅的腐蚀

在室温下的浓 HF 或者 HF 缓冲溶液中，以及沸腾的 H_3PO_4 溶液中氮化硅薄膜可以被腐蚀。氮化物和氧化物间的选择性腐蚀是采用 180℃含量 85%的 H_3PO_4 溶液，因为这种溶液腐蚀二氧化硅相当慢。实际上腐蚀氮化硅的典型速率为 10nm/分钟，而对氧化硅却小于 1nm/分钟。但是，当用沸腾的 H_3PO_4 溶液腐蚀氧化物时，光致抗蚀剂的粘附性却发生问题。好一些的掩模图形是这样获得的：在涂敷抗蚀剂之前氮化层上沉积一薄层氧化层，然后把抗蚀剂图形转换到氧化层，氧化层图形就成为下道腐蚀氮化物工序的掩模。

腐蚀多晶硅类似于腐蚀单晶硅，但是因为存在晶界腐蚀速率相当快。腐蚀液通常要做些修改，以保证它不会破坏下面的栅氧化层。掺杂浓度和腐蚀液温度也会影响多晶硅的腐蚀速率。

5.1.4　铝的腐蚀

通常铝和铝合金薄膜都在加热的磷酸、硝酸、醋酸和 DI 水的混合液中腐蚀。典型腐蚀液的配方是：73%的 H_3PO_4，4%的 HNO_3、3.5%的 CH_3COOH 和 19.5%的 DI 水，腐蚀液的温度在 30℃到 80℃之间。铝的湿法腐蚀步骤如下：HNO_3 对铝进行氧化，接着 H_3PO_4 溶解氧化铝。腐蚀速率取决于腐蚀液浓度、温度、搅拌情况以及铝膜中的杂质量或者合金含量，比如铝中加入铜后腐蚀速率就会降低。

一般来说绝缘膜和金属膜都采用类似的化学反应实现腐蚀，也就是大量溶解这些材料并转化成可溶性盐或者化合物。通常情况下，腐蚀薄膜形的材料比腐蚀块状的同种材料快很多。另外，微结构差、存在内建应力的薄膜，或者化学性质发生偏离的薄膜，或者已经被辐射过的薄膜，它们的腐蚀速率也比较高。表 5-1 列出了一些有用的绝缘膜和金属膜的腐蚀液。

表 5-1　绝缘体和导体的腐蚀液

材　料	腐蚀液配方	腐蚀速率(nm/min)
SiO_2	28 ml HF 170 ml HF 113 g NH_4F （HF 缓冲液）	100
	15 ml HF 10 ml HNO_3 300 ml H_2O （抛光腐蚀液）	12
Si_3N_4	HF 缓冲液	0.5
Al	H_3PO_4	10
	4 ml HNO_3 3.5 ml CH_3COOH 73 ml H_3PO_4 19.5 ml H_2O	30
Au	4 g KI 1 g I_2 40 ml H_2O	1000
Mo	5 ml H_3PO_4 2 ml HNO_3 4 ml CH_3COOH 150 ml H_2O	500
Pt	1 ml HNO_3 7 ml HCl 8 ml H_2O	50
W	34 g KH_2PO_4 13.4 g KOH 33 g $K_3Fe(CN)_6$ H_2O 加至 1 升	160

5.1.5　砷化镓的腐蚀

各种类型的砷化镓腐蚀剂已经进行过研究。然而由于 Ga (111)面与 As (111)面的表面活性差异很大，所以几乎没有真正的各向同性腐蚀液[5]。大部分腐蚀剂对砷表面起抛光作用，而对镓表面的腐蚀要慢得多，而且有显示出晶体缺陷的倾向。最常用的腐蚀剂是 H_2SO_4-H_2O_2-H_2O 和 H_3PO_4-H_2O_2-H_2O 两种溶液。体积比 H_2SO_4∶H_2O_2∶H_2O 为 8∶1∶1 的腐蚀液对 Ga (111)♯面的腐蚀速率是 0.8μm/min，对其他面是 1.5μm/min。体积比 H_3PO_4∶H_2O_2∶H_2O 为 3∶1∶50 的腐蚀液对 Ga (111)面的腐蚀速率是 0.4μm/min，对其他面是 0.8μm/min。

5.2 干法刻蚀

在图形转换工艺实施过程中，用作掩模刻蚀下面材料层的抗蚀剂图形是由光刻工序确定出来的(参见图 5-3a)[6]，大多数材料层(即：SiO_2、Si_3N_4和沉积的金属膜)是非晶态或是多晶态的薄膜。如果在湿法化学腐蚀液中进行腐蚀，那么腐蚀速率是各向同性的，如图 5-3b 所示。假设 h_f是材料层的厚度，l 是抗蚀剂掩模正下方被腐蚀的的横向距离，那么各向异性度可以定义为：

89

$$A_f \equiv 1 - \frac{l}{h_f} = 1 - \frac{R_1 t}{R_v t} = 1 - \frac{R_1}{R_v} \quad (5\text{-}5)$$

其中 t 是时间，R_1和 R_v分别是横向和纵向的刻蚀速率。在各向同性的刻蚀情况下，$R_1 = R_v$则 $A_f=0$。

在图形转换过程中，湿法化学腐蚀的最大缺陷就是掩模正下方的材料层过蚀刻，结果损失了刻蚀图形的分辨率。在实际的各向同性腐蚀情况下，被加工膜层厚度应该约是所要求分辨率尺寸的三分之一或者小于三分之一的分辨率尺寸。如果所要求的图形分辨率比膜层厚度小得多，就必须采用各向异性刻蚀(即：$1 \geqslant A_f > 0$)。在实际应用中选择 A_f值接近 1，图 5-3c 显示了极限情形，这里 $A_f=1$，相应的 $l=0$(或者 $R_1=0$)。

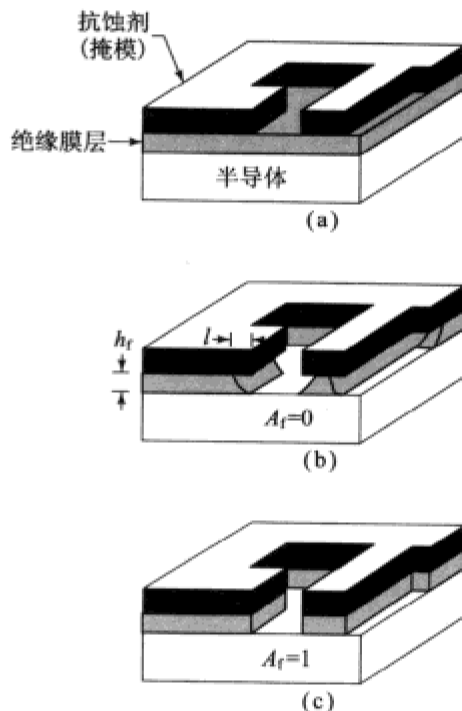


图 5-3 图形转换时湿法化学腐蚀与干法刻蚀的比较[6]

为了在超大规模集成电路工艺中实现抗蚀剂图形高保真的转换，开发出来了干法刻蚀方法。干法刻蚀与等离子体辅助刻蚀是同义的，所谓等离子体辅助刻蚀是指几种以低压放电形式使用等离子体的工艺。干法刻蚀包括等离子体刻蚀、反应离子刻蚀(RIE)、溅射刻蚀、磁增强 RIE (MERIE)，反应离子束刻蚀和高密度等离子体(HDP)刻蚀。

5.2.1 等离子体原理

等离子体是一种全部或部分离子化的气体，包含有等数量的正性和负性电荷及不同数量的未离化分子。当足够强度的电场加到气体上，引起气体击穿并离化，这就产生了等离子体。等离子体开始于以某种方式如来自负偏置电极场发射释放的自由电子，释放出来的自由电子被外电场加速获得动能，而在电子穿过气体时，在其与气体分子碰撞中会损失能量。在碰撞过程中能量转移至气体分子引起离化(即产生自由电子)，自由电子被电场加速获得动能，使得上述过程继续下去。于是，当所加电压超过击穿电势时就形成持续的等离子体充盈在反应腔内。

90

干法刻蚀用的等离子体中电子浓度相当低，通常是在 $10^9 \sim 10^{12} cm^{-3}$ 的数量级。在 1 托(Torr)的气压下气体分子浓度比电子浓度高 $10^4 \sim 10^7$ 倍，结果气体的平均温度为 50℃至 100℃，所以等离子体辅助刻蚀是一种低温工艺。

【例 2】 RIE 和 HDP 系统中的电子浓度分别从 $10^9 cm^{-3}$ 到 $10^{10} cm^{-3}$ 和从 $10^{11} cm^{-3}$ 到 $10^{12} cm^{-3}$。假设 RIE 反应腔中的压力是 200 mTorr，HDP 反应腔中的压力是 5 mTorr。计算 RIE 反应腔和 HDP 反应腔在室温下的有效离化率。有效离化率是电子密度与分子密度之比。

解：

$$PV = nRT$$

其中 P 是以大气压为单位的压力(1atm = 760 000 mTorr)，V 是以升为单位的体积，n 是摩尔数，R 是气体常数(0.082 升一大气压/mol－K)，T 是以 K 为单位的绝对温度。

在 RIE 系统中：

$$\begin{aligned} n/V &= P/RT = (200/760\,000)/(0.082 \times 300) \\ &= 1.06 \times 10^{-5} (\text{mol/升}) \\ &= 1.06 \times 10^{-5} \times 6.02 \times 10^{23} \div 1000 \\ &= 6.38 \times 10^{15} (cm^{-3}) \\ \text{有效离化率} &= (10^9 \sim 10^{10})/(6.38 \times 10^{15}) \\ &= 1.56 \times 10^{-7} \sim 1.56 \times 10^{-6} \end{aligned}$$

在 HDP 系统中：

$$\begin{aligned} n/V &= P/RT = (5/760\,000)/(0.082 \times 300) \\ &= 2.66 \times 10^{-7} (\text{mol/升}) \\ &= 2.66 \times 10^{-7} \times 6.02 \times 10^{23} \div 1000 \\ &= 1.6 \times 10^{14} (cm^{-3}) \\ \text{有效离化率} &= (10^{11} \sim 10^{12})/(1.6 \times 10^{14}) \\ &= 6.25 \times 10^{-4} \sim 6.25 \times 10^{-3} \end{aligned}$$

所以，HDP 的有效离化率高于 RIE。

5.2.2 刻蚀机制、等离子体诊断和刻蚀终点控制

等离子体刻蚀是固体薄膜通过与基态或者激发态的中性微粒发生化学反应而被去除掉的工艺过程。气体放电产生的高能离子通常增强等离子体刻蚀效果或是包含在等离子体之中。本节简要介绍基本刻蚀机制、等离子体诊断和刻蚀终点控制。

1. 刻蚀机制

如图 5-4 中说明的那样，等离子体刻蚀过程分五步进行。首先在等离子体中生成刻蚀微粒；接着反应物通过扩散穿越迟滞气体层到达反应表面；然后反应物吸附在反应表面上；接下来发生化学反应(伴随有离子轰击的物理效应)生成可挥发性化合物；

最后，这些化合物脱离反应表面扩散进气体中由真空系统排出[7]。

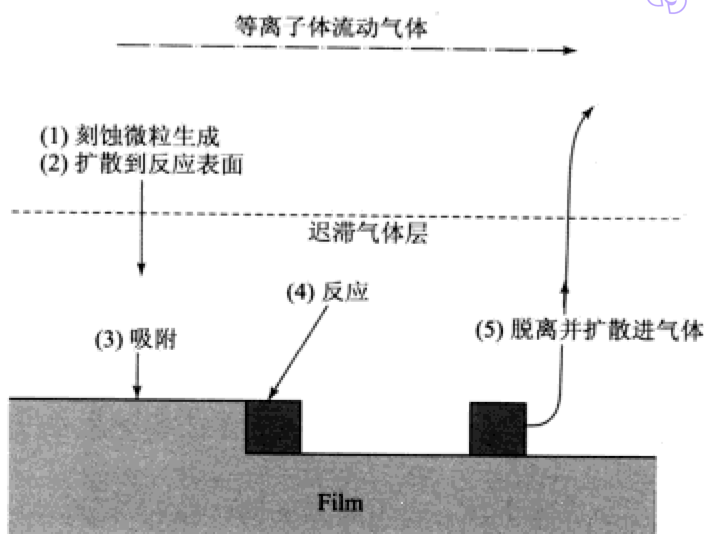


图 5-4　干法刻蚀工艺的基本步骤[7]

等离子体刻蚀是基于低压气体产生的等离子体，分两种基本的使用方法类型：物理方法和化学方法。前者包括物理溅射，后者包括纯化学腐蚀。在物理刻蚀过程中，正性离子高速轰击反应表面，少量形成于等离子体中的负性离子到不了晶片表面，因此在等离子体刻蚀中没有直接作用；在化学刻蚀过程中，等离子体产生的中性反应微粒与材料表明相互作用形成可挥发性物质。化学和物理的刻蚀机制有着不同的特征，化学刻蚀表现出高刻蚀速率和良好的刻蚀选择性（即指不同物质间的刻蚀速率之比），并且产生低离子轰击带来材料损伤，但实现的是各向同性刻蚀的图形；物理刻蚀能产生各向异性刻蚀图形，但相应的是低刻蚀选择性和带来损伤的高程度轰击。通常把化学和物理刻蚀联合起来产生各向同性刻蚀的图形、合理的选择比以及适中的离子致伤轰击。RIE 工艺就是一个例子，这当中采用物理方法辅助化学刻蚀或者产生反应离子参与化学刻蚀。

2. 等离子体诊断

大部分加工过程的等离子体辐射光范围从红外到紫外，相应的一种简单分析技术就是借助光发射分光光谱（OES）测量辐射密度与其波长的关系。运用观察到的特殊波峰，通过把前后得到的一系列发射光谱关联起来，通常就能确定中性和离化微粒的存在。到每次刻蚀循环的终点，主要反应物或者伴随生成物的发射光谱信号会有上升或下降。

3. 刻蚀终点控制

干法刻蚀与湿法化学腐蚀所不同的是干法刻蚀对下面材料层的刻蚀选择性小，因此等离子体反应装置必须配备能指示什么时候刻蚀过程结束的监测器（即刻蚀终点监测系统）。对晶片表面进行的激光干涉测量法常用来不间断地监测刻蚀速率并确定刻

蚀终点。从薄膜表面反射出来的激光强度作周期性的振荡，这是因为从被刻蚀薄膜表面反射回的激光光束和从薄膜底层反射回来的激光光束彼此相干涉，因此，要能观察到这种振荡周期性变化则被刻蚀薄膜必须是光学透明或半透明的。图 5-5 显示出硅化物/多晶硅栅刻蚀的典型信号。振荡周期与薄膜厚度改变的关系表示如下：

$$\Delta d = \lambda/2\bar{n} \tag{5-6}$$

式中 Δd 是对应反射光一个周期变化的薄膜厚度改变量，λ 是激光波长，$\bar{n}$ 是被刻蚀薄膜的折射系数。例如：用波长 $\lambda=632.8\text{Å}$ 的氦氖激光器测量出的多晶硅的 Δd 是 80 nm。

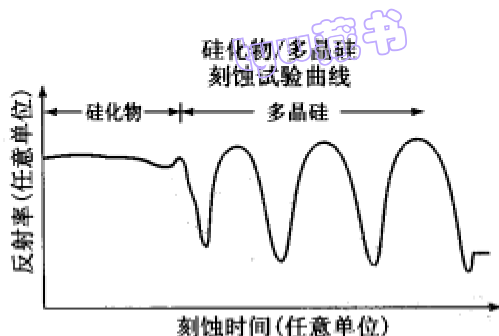


图 5-5 包含硅化物/多晶硅层被刻蚀表面的相关反射，反射振荡停止表示刻蚀终点

5.2.3 反应等离子刻蚀技术和设备

从首次应用光致抗蚀剂剥离的等离子体处理工艺开始，等离子反应器技术在 IC 产业中已发生巨大变化。等离子刻蚀用反应器包括有真空腔室、泵系统、电源发生器、压力传感器、气体流量控制单元和终点监测器。表 5-2 给出了各类商业使用刻蚀设备的相似点和不同点。不同类型反应器的工作压力范围和离子能量的比较显示在图 5-6 中。每种设备以经验设计为主，精心组合使用压力、电极构造和形状、以及电源频率控制两种主要刻蚀机制——化学方式和物理方式。大多数生产用户要求的是高刻蚀速率和设备自动化。

表 5-2 等离子反应器的刻蚀机制和压力范围

刻蚀设备构造	刻蚀机制	压力范围(Torr)
筒型刻蚀	化学	0.1 ～ 10
分离型等离子刻蚀	化学	0.1 ～ 10
反应离子刻蚀(RIE)	化学和物理	0.01 ～ 1
磁增强 RIE	化学和物理	0.01 ～ 1
磁约束三极管 RIE	化学和物理	0.001 ～ 0.1
电子回旋共振等离子体刻蚀	化学和物理	0.001 ～ 0.1
电感耦合等离子体或者线圈耦合等离子体	化学和物理	0.001 ～ 0.1
表面波耦合等离子体或者螺旋等离子体刻蚀	化学和物理	0.001 ～ 0.1

1. 反应离子刻蚀

反应离子刻蚀已经广泛应用到微电子工业之中。在平行平板式系统中，与射频进行电容耦合的底板电极用来承载晶片，这就使得接地电极有非常大的面积，实际上接地电极就是反应室本身。较大的接地面积加上较低的工作气压(＜500 mTorr)引起晶

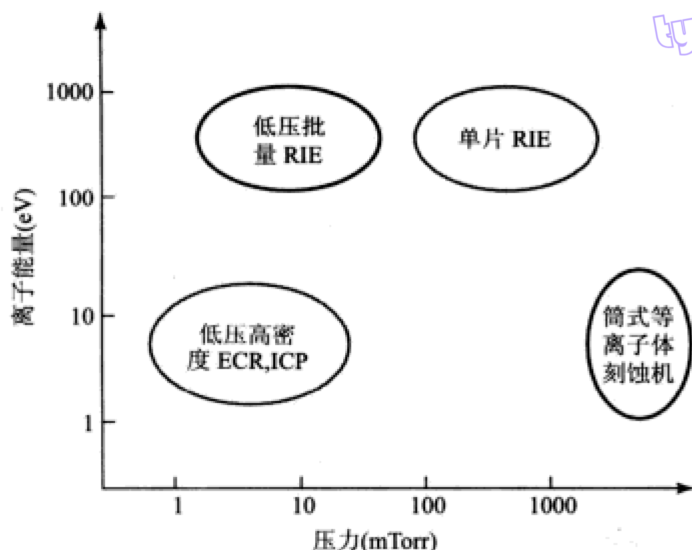


图 5-6 不同类型等离子反应器的离子能量和工作气压的比较

片遭受来自等离子体的高能离子轰击，而且等离子体在晶片表面形成较大的负偏压。

这种系统与传统的筒式设备相比因为具有很强的物理溅射作用，所以刻蚀选择性较低。但是可以通过选择合适的刻蚀化学反应来提高选择比，例如可以采用四氟化碳聚合物来聚合硅表面而获得硅表面的 SiO_2 的选择性刻蚀。另一种可用方法是如图 5-7 所示的三电极配制 RIE 刻蚀，它能把等离子体的产生和离子输送分开来。由于通过晶片电极上的分压控制离子能量，所以在大多数传统 RIE 系统中能够减小刻蚀选择性的损失，减弱具有致伤作用的离子轰击。

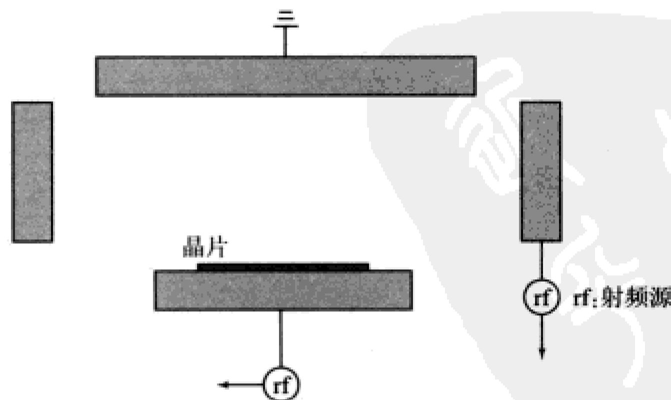


图 5-7 三极式反应离子刻蚀机原理图，离子能量分开由底电极上的偏置电压控制

2. 电子回旋共振等离子体刻蚀

除了三极式 RIE 以外，大多数平行平板式等离子体刻蚀机不具备单独控制等离子体参数的能力，比如电子能量、等离子体密度和反应物密度，结果致伤轰击成了一个严

重问题。电子回旋共振(ECR)反应器把微波源和静态磁场联系起来,这里恒定磁场能够以一定的角频率会聚电子围绕磁力线旋转。当电子旋转的角频率等于外加微波频率时,电子能量与外加电场之间发生共振作用,这将产生高度的分离与离子化现象(ECR 是 10^{-2},相比之下 RIE 是 10^{-6})。图 5-8 显示了 ECR 反应室的结构。微波源透过微波窗口耦合进入 ECR 源区,磁场由磁力线圈提供。ECR 等离子体系统也能用于薄膜沉积,由于 ECR 等离子体高效率地激发反应物,所以不需要加热激活就能够在室温下完成薄膜沉积。

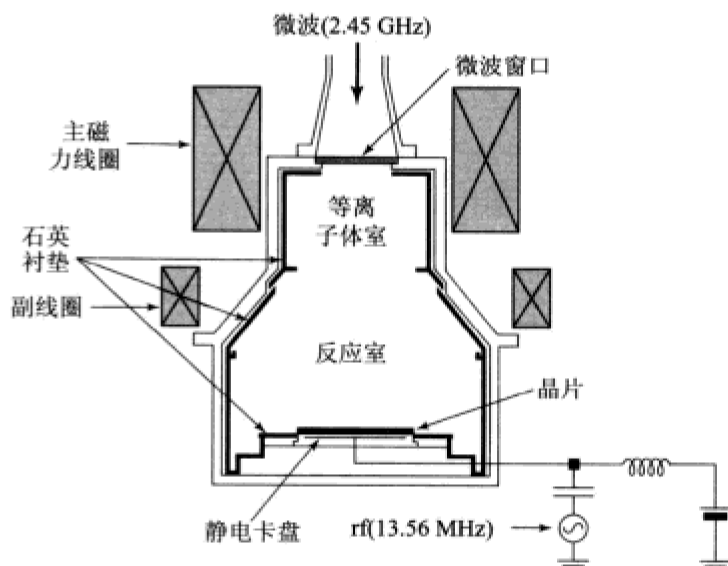


图 5-8 电子回旋共振反应器原理图

3. 其他高密度等离子体刻蚀

随着 ULSI 的特征尺寸不断减小,越来越接近传统 RIE 系统的极限。除了 ECR 系统以外,已经开发出其他类型的高密度等离子体源,如:电感耦合(ICP)等离子体源、变压器耦合(TCP)等离子体源以及表面波耦合(SWP)等离子体源。这些刻蚀机具有高等离子体密度($10^{11}\sim10^{12}\,cm^{-3}$)和低工作气压(<20 mTorr)的特点,另外,它们能够让晶片卡盘不受等离子体源的影响而获得功率,在离子能量(晶片偏压)和离子流(等离子体密度,主要由功率源驱动)之间产生效果显著的解耦作用。高密度等离子体(HDP)源的主要优势在于拥有更好的临界尺寸(CD)控制、更高的刻蚀速率和更佳的选择性。

此外,HDP 源不仅对衬底损伤小(因为不受衬底偏置和旁电极电位的影响)而且各向异性刻蚀高(因为低气压、高活性微粒密度)。但是这些设备因为复杂和成本昂贵,不大可能用于如隔层刻蚀或者整平这些缺少临界尺寸的应用之中[8]。图 5-9 所示为一个 TCP 等离子体反应器,游丝形线圈产生低压等离子体,其中反应器顶部的绝缘平板把游丝形线圈与等离子体分开。晶片放置在远离线圈的地方,这样就不会受到线圈产

96 生的电磁场的影响，并且由于等离子体只产生在晶片表面附近，等离子体密度几乎没有损失，因此获得了高密度的等离子体和高刻蚀速率。

4. 集束等离子体加工

在超净间进行半导体晶片的加工是为了把环境微粒的玷污降至最低。随着器件尺寸收缩，微粒玷污成为一个大问题。为了最小化微粒玷污，集束等离子体设备采用晶片传送装置在真空环境内把晶片从一个工艺室传到下一个。集束等离子体加工设备也能提高生产量。图5-10所示为用集束等离子体设备分别在AlCu刻蚀腔、TiW刻蚀腔和除胶层室进行多层金属(TiW/AlCu/TiW)连线的加工处理。由于集束设备能够做到晶片较少在污染气氛中暴露和传递，从而提高了芯片成品率，因此具备经济优势。

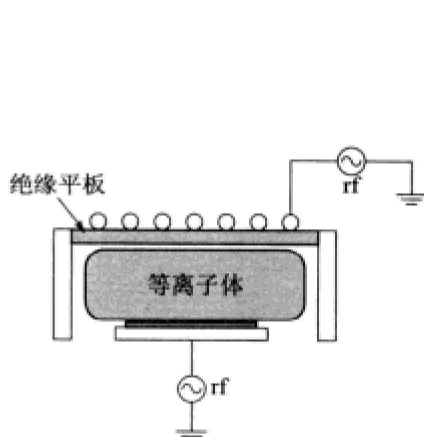


图5-9 线圈耦合等离子体反应器原理图

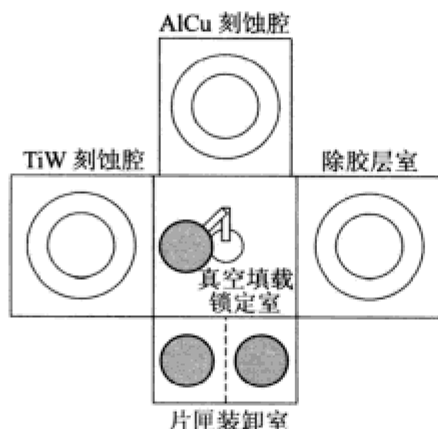


图5-10 多层金属(TiW/AlCu/TiW)内连线刻蚀用的集束反应离子刻蚀设备[2]

5.2.4 反应离子刻蚀应用

一方面从简单的批次剥离抗蚀剂到大尺寸单晶片处理的工艺中随处可见等离子体刻蚀的踪影；另一方面从传统的RIE设备到迎合深亚微米器件图形要求的高密度等离子体设备，刻蚀系统还在不断推陈出新。除了刻蚀设备，刻蚀中的化学组成与化学反应在实现工艺过程中也扮演着重要角色，表5-3列出了一些不同刻蚀加工中的化学组分。研发一种刻蚀工艺往往意味着通过调节大量工艺参数，进行刻蚀速率、选择性、图形控制、临界尺度、损伤等方面的优化。

1. 硅沟刻蚀

随着器件特征尺寸的缩小，电路元件之间的隔断绝缘层和DRAM单元的存储电容器在晶片表面上占据的面积，同样要求相应减小。可以通过采用在硅衬底刻蚀出沟槽，然后填入合适的绝缘或者导电材料的方法来减小占用表面的面积。97 通常是用超过5μm的深沟形成存储电容器，而用不足1μm的浅沟作绝缘隔离。

表 5-3 不同刻蚀加工工艺的化学组分

刻蚀材料	刻蚀化学组分
深 Si 沟	$HBr/NF_3/O_2/SF_6$
浅 Si 沟	$HBr/Cl_2/O_2$
多晶 Si	$HBr/Cl_2/O_2$，HBr/O_2，BCl_3/Cl_2，SF_6
Al	BCl_3/Cl_2，$SiCl_4/Cl_2$，HBr/Cl_2
AlSiCu	$BCl_3/Cl_2/N_2$
W	仅 SF_6，NF_3/Cl_2
TiW	仅 SF_6
WSi_2，$TiSi_2$，$CoSi_2$	CCl_2F_2/NF_3，CF_4/Cl_2，$Cl_2/N_2/C_2F_6$
SiO_2	$CF_4/CHF_3/Ar$，C_2F_6，C_3F_8，C_4F_8/CO，C_5F_8，CH_2F_2
Si_3N_4	CHF_3/O_2，CH_2F_2，CH_2CHF_2

在二氧化硅掩模的情况下氯基和溴基的化学物质对硅具有非常高的刻蚀速率和选择比。通常用 $HBr+NF_3+SF_6+O_2$ 的混合气体来形成深度大约 7μm 的沟槽电容器，这种混合物也用在浅沟绝缘隔离刻蚀中。在硅深沟槽刻蚀中经常遇到深宽比一刻蚀相关性的现象（即刻蚀速率随沟槽深宽比值发生变化），图 5-11 所示为硅沟平均刻蚀速率与深宽比值的关系，大深宽比值的刻蚀速率远小于小深宽比值的。

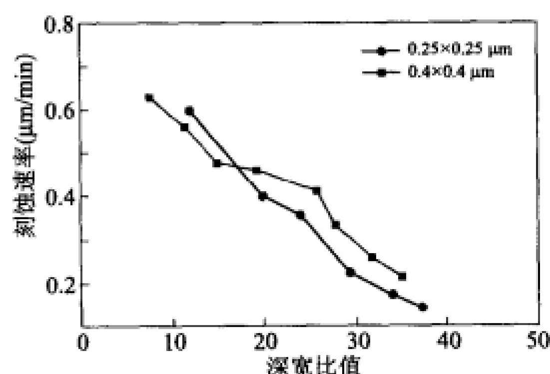


图 5-11 硅沟平均刻蚀速率与深宽比值的关系[2]

2. 多晶硅和硅化物栅刻蚀

通常用多晶硅或者硅化物（即覆盖在多晶硅上的低阻金属硅化物）作为 MOS 器件的栅极材料。对栅氧化层来说最要的是要求在刻蚀栅的过程中具有各向异性刻蚀和高的选择比，例如 1G DRAM 中要求选择比在 150 以上（即硅化物与栅氧化物的刻蚀速率之比为 150∶1）。在大多数离子增强刻蚀工艺中要同时获得高选择比和各向异性刻蚀是个难题，于是采用多步骤处理工艺，其中不同工艺步骤优化刻蚀各向异性和刻蚀的选择比；另一方面，各向异性刻蚀和高选择比等离子体技术的趋势是应用低压、相对低功耗的高密度等离子体。大部分的氯基和溴基的化学物质能够用来进行栅刻蚀，以便获得所要求的刻蚀各向异性和选择比。

3. 绝缘材料刻蚀

在现代半导体器件生产中制备绝缘材料的图形是一个关键制程，特别是氧化硅和氮化硅的图形制备。绝缘材料具有较高的键能，对它们的刻蚀要采用活性极大的增强离子，以及氟基等离子体化学物质。典型做法是把含碳的氟化合物（如：CF_4，CHF_3，C_4F_8）引入刻蚀等离子体中，通过聚合物钝化侧壁来形成垂直剖面分布轮廓。同时使得具有轰击能量的高能离子去除氧化物上的聚合物，反应微粒就能与氧化硅表面作用

生成 SiF_X 产物。

低压、高密度等离子体在深宽比一刻蚀相关性方面具有优势。然而，HDP 产生出来高温电子和随后产生出来高度离化的离子和原子基团，这些离子和原子基团的活性远超过 RIE 或者 MERIE 等离子体。要特别注意的是高 F 浓度会破坏对硅的选择性刻蚀。实际上各种方法已尝试着用来增强高密度等离子体的刻蚀选择性，这当中首先要尝试的是高 C/F 之比的气源，如 C_2F_6，C_4F_8 或者 C_5F_8，其他去除了 F 基团的方法也已经开发出来[9]。

4. 互连线金属刻蚀

在集成电路制造中金属层的刻蚀是一个非常重要的步骤。铝、铜和钨是很常用的互连线材料，这些材料一般要求各向异性刻蚀。铝和氟的反应物是不易挥发的 AlF_3，该生成物在 1240℃下的蒸汽压仅为 1Torr。氯基化学物质（如 Cl_2/BCl_3 的混合物）已广泛用来刻蚀铝，氯对铝的化学刻蚀速率非常高，甚至在刻蚀过程中出现过腐蚀现象。在铝刻蚀过程中加入含碳气体（即 CHF_3）或者 N_2 以便形成侧壁钝化膜从而实现各向异性刻蚀。

在铝刻蚀过程中向环境暴露是另一个问题。在铝线条侧壁上残留的氯和光致抗蚀剂趋向于与环境空气中的水分子反应生成 HCl，该生成物能腐蚀铝。解决方法是晶片暴露在 CF_4 中，对 CF_4 放电实现用 F 交换 Cl，然后对氧放电去除抗蚀剂，接下来立即浸到去离子水里。图 5-12 显示了在周围环境搁置了 72 小时的一块晶片上 0.35μm 的 TiN/Al/Ti 线及其间隔空间。即便长时间暴露在周围环境中也没有出现腐蚀的现象。

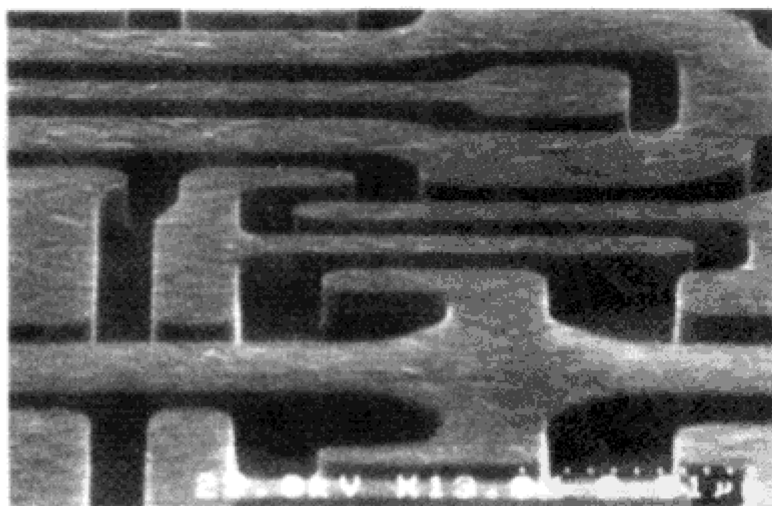


图 5-12 微波去胶以后，在周围环境搁置了 72 小时的一块晶片上 0.35μm 的 TiN/Al/Ti 线条及其间隔空间没有出现钻蚀

铜作为一种 ULSI 电路中新型互连线材料已引起很多注意，这是因为与 Al 及 Al 合金比起来铜具有低电阻率（~1.7 Ω/cm）和优越的抗电迁徙性能。然而铜的卤化物可挥发性低，室温下进行等离子体刻蚀比较困难，刻蚀铜膜的工艺温度要求高于

200℃。因此采用不需要干法刻蚀的镶嵌工艺来形成铜的互连线。镶嵌工艺制程包括首先采用在绝缘层平面上刻蚀沟渠的方式形成互连线，然后用铝或铜这些金属填充沟渠。在双镶嵌工艺制程(如图 5-13 所示)中，除了沟渠之外第二层面涉及对一系列孔洞(即接触窗和穿孔)的刻蚀填充。完成填充之后采用化学机械抛光(CMP，参见第 8 章)对金属和绝缘材料进行整平。镶嵌工艺制程的优势是避免了金属刻蚀，而对于业界从铝互连线向铜互连线的变迁而言，这是一个极其重要的考虑。

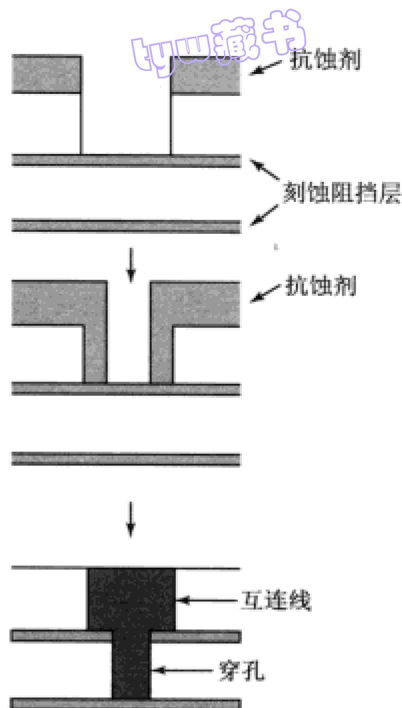


图 5-13 双镶嵌制程的工艺顺序

低压 CVD(LPCVD)钨具有优良的沉积一致性，因而广泛用来填充接触窗孔和制备第一层金属膜。无论氟基还是氯基的化学物质都能刻蚀 W 形成可挥发性的生成物。有一种重要的钨刻蚀工艺是覆盖式钨反腐形成钨栓塞。如图 5-14 所示覆盖式 LPCVD 钨沉积在 TiN 埋层的上面，接下来进行两步工序：第一步高速刻去 90%的 W，第二步伴随高 W/TiN 选择比的刻蚀剂降低刻蚀速率以去除剩余的 W。

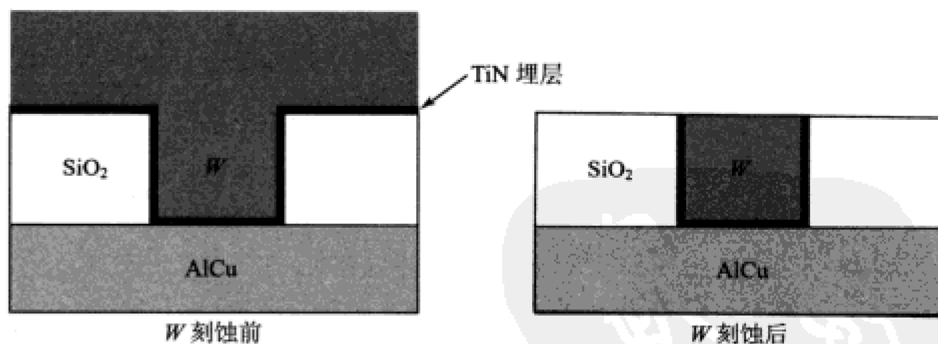


图 5-14 用 SUPERM 绘制的磷掺杂浓度与其在硅衬底内分布深度的关系

5.3 刻蚀模拟

可以用 SUPERM 来模拟刻蚀工艺。实际上用 SUPERM 进行刻蚀模拟尚处于初步发展阶段，可能可以用 ETCH 命令得到模拟结果，这样能让用户刻蚀当前结构上的所有或部分给定层。如果结构上面的材料不作指定，则不能实现刻蚀；如果不指定刻蚀量，那么整个层都会被去掉。

【例 3】 假设按照第 3 章中例 3 的干湿干顺序生长氧化层，模拟这种 0.3μm 厚氧化层的刻蚀。

解:SUPERM 的输入指令行如下:

```
TITLE          Etching Example
COMMENT        Initialize silicon substrate
INITIALIZE     <100> Silicon Phosphor Concentration=1e16
COMMENT        Ramp furnace up to 1100 C over 10 minutes in N2
DIFFUSION      Time=10 Temperature=900 Nitrogen T.rate=20
COMMENT        Oxidize the wafers for 5 minutes at 1100 C in dry O2
DIFFUSION      Time=5 Temperature=1100 DryO2
COMMENT        Oxidize the wafers for 120 minutes at 1100 C in wet O2
DIFFUSION      Time=120 Temperature=1100 WetO2
COMMENT        Oxidize the wafers for 5 minutes at 1000 C in dry O2
DIFFUSION      Time=5 Temperature=1100 DryO2
COMMENT        Ramp furnace down to 900 C over 10 minutes in N2
DIFFUSION      Time=10 Temperature=1100 Nitrogen T.rate=-20
ETCH           Oxide Thickness = 0.3
PRINT          Layers Chemical Concentration Phosphor
PLOT           Active Net Cmin=1e14
STOP           End etching example
```

101

完成氧化以后打印绘制出磷掺杂浓度与其在硅衬底内分布深度的关系,结果如图5-15 所示,该图表明氧化层最后的厚度是 0.609μm 并描述出混合在氧化层中的磷情况。

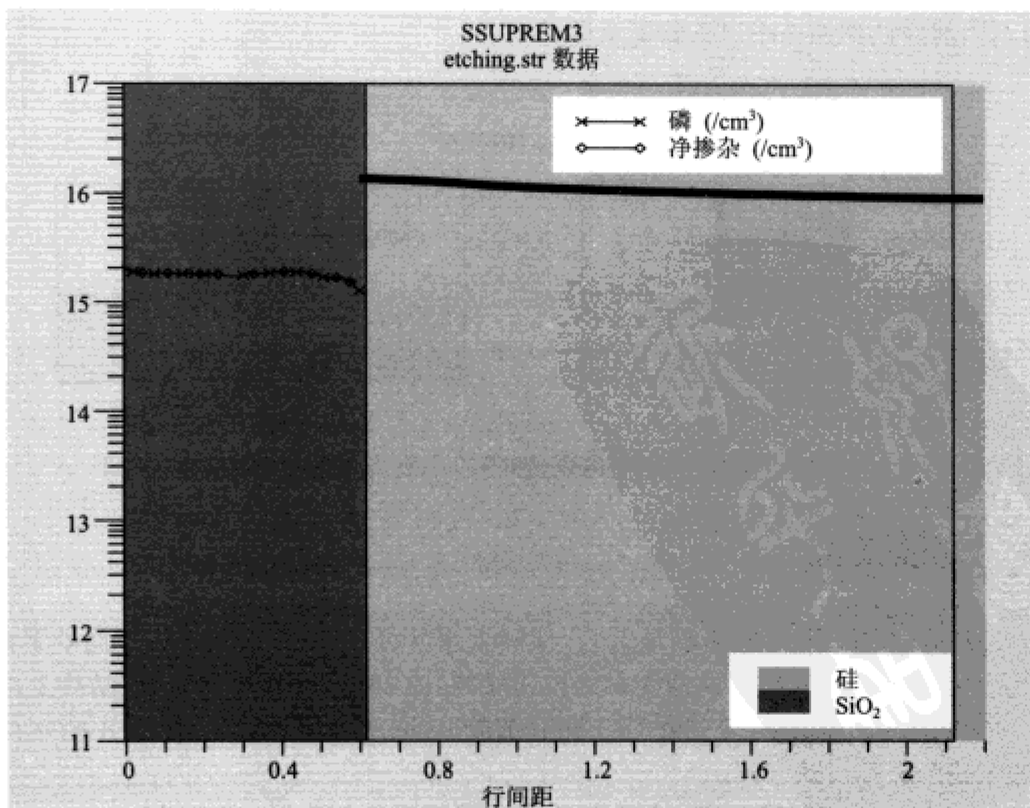


图 5-15　磷掺杂浓度与其在硅衬底内分布深度关系图

5.4 小结

在集成电路制造中两种主要的转移图形工艺技术是光刻和刻蚀。湿法化学腐蚀广泛用在半导体工艺过程中,特别适合于大面积刻蚀。本章讨论了硅和砷化镓、绝缘材料以及金属互连线的湿法化学腐蚀工艺。过去湿法化学腐蚀常用来进行图形转换,但是掩模层下的材料出现过腐蚀现象从而影响了被刻蚀图形的分辨率。

102

干法刻蚀方法用来获得高保真的图形转换。等离子体辅助进行的干法刻蚀是各向同性的。本章涉及了等离子体基本原理和各种干法刻蚀系统,这些系统包括从相对简单的平行平板结构到配置多频率发生器和各类压力控制传感器的复杂腔室。

未来刻蚀技术面临的挑战是如何获得高刻蚀选择性,低深宽比一刻蚀相关性,更完善的尺寸掌控,以及低致伤等离子体。要实现这些性能必须有低压、高密度等离子体反应器。随着加工工艺从 200 mm 的晶片拓展到 300 mm 甚至更大尺寸,对整块晶片上刻蚀均匀性的要求同样在不断提高。必须开发出新的气态化学物质为先进集成电路图形提供所要求的改良选择性。

参考文献

1. 刻蚀的详细探讨见 Y. J. T. Liu, "Etching," in C. Y. Chang and S. M. Sze, Eds. *ULSI Technology*, McGraw-Hill, New York, 1996.
2. H. Robbins and B. Schwartz, "Chemical Etching of Silicon II, the System HF, HNO_3, H_2O and $HC_2H_3O_2$," *J. Electrochem. Soc.*, **107,** 108 (1960).
3. K. E. Bean, "Anisotropic Etching in Silicon," *IEEE Trans. Electron Devices*, **ED-25,** 1185 (1978).
4. D. P. Kern, et al., "Practical Aspects of Microfabrication in the 100-nm Region," *Solid State Technol.*, **27,** 2, 127 (1984).
5. S. Iida and K. Ito, "Selective Etching of Gallium Arsenide Crystal in H_2SO_4-H_2O_2-H_2O System," *J. Electrochem. Soc.*, **118,** 768 (1971).
6. E. C. Douglas, "Advanced Process Technology for VLSI Circuits," *Solid State Technol.*, **24,** 5, 65 (1981).
7. J. A. Mucha and D. W. Hess, "Plasma Etching," in L. F. Thompson and C. G. Willson, Eds., *Microcircuit Processing: Lithography and Dry Etching*, American Chemical Society, Washington, DC, 1984.
8. M. Armacost, et al., "Plasma-Etching Processes for ULSI Semiconductor Circuits," *IBM J. Res. Dev.*, **43,** 39 (1999).
9. C. O. Jung, et al., "Advanced Plasma Technology in Microelectronics," *Thin Solid Films*, **341,** 112 (1999).

习题

1. 假设腐蚀剂不会腐蚀掩模和衬底,描绘出下列几种情况下厚度为 h_f 膜层的各向同性的腐蚀图形剖面分布图。(a)恰好完成腐蚀,(b)100%过腐蚀,(c)200%过腐蚀。

2. 在 KOH 溶液里通过 1.5μm×1.5μm 的二氧化硅窗口腐蚀〈100〉晶向的单晶硅。(100)晶

面的标准腐蚀速率是 0.6μm/分钟，(100)：(110)：(111)面的腐蚀速率比是 100：16：1，给出经过 20 秒，40 秒和 60 秒后的腐蚀图形剖面分布。

3. 重复上一题，用 SiO_2 薄膜掩模在 KOH 溶液里腐蚀〈$\bar{1}$10〉晶向的硅。给出〈$\bar{1}$10〉晶向硅的腐蚀图形剖面分布。

4. 一块 150 mm 的〈100〉晶向硅晶片厚度 625μm，晶片上有 1000μm×1000μm 的芯片。将采用定向腐蚀来分离芯片。描述出两种实现方法，并计算出加工中的表面积损失。

*5. 微粒在两次碰撞之间的平均运动距离称为平均自由程(λ)，$\lambda \cong 5\times10^{-3}/P$(cm)，其中 P 是以 Torr 为单位的压力。在某种等离子体中腔室的压力从 1Pa 到 150Pa，相应的气体分子密度(cm^{-3})和平均自由程是多少？

6. 氟(F)原子刻蚀 Si 的速率由下式给出：

103

$$\text{刻蚀速率(nm/min)} = 2.86\times10^{-13} n_F \times T^{1/2} \exp(-E_a/RT)$$

其中 n_F 是 F 原子浓度(cm^{-3})，T 是温度(K)，E_a 和 R 分别是激活能(2.48kcal/mol)与气体常数(1.987 cal/K)。如果 n_F 是 3×10^{-15}，那么计算室温下 Si 的刻蚀速率。

7. 氟原子刻蚀 SiO_2 的速率可以由下式给出：

$$\text{刻蚀速率(nm/min)} = 0.614\times10^{-13} n_F \times T^{1/2} \exp(-E_a/RT)$$

其中 n_F 是 3×10^{-15}(cm^{-3})，E_a 是 3.76kcal/mol。计算室温下 SiO_2 的刻蚀速率以及 SiO_2 与 Si 的选择比。

8. 有薄栅氧化层的多晶硅栅刻蚀要求采用多步刻蚀工艺。如何设计一个无掩模刻蚀工艺，该工艺能实现各向异性刻蚀图形和对薄栅氧化层的选择比？

9. 要求刻蚀 400 nm 厚度的多晶硅层，但不去除厚度超过 1 nm 的底层栅氧化物，假设多晶硅的刻蚀速率均匀性为 10%。估算出所需选择比。

10. 沉积 1μm 厚的 Al 膜覆盖在平坦的氧化层上，用光致抗蚀剂制备图形。然后在 70℃下往 Helicon 刻蚀机中通入 BCl_3/Cl_2 混合气体刻蚀金属，Al 对光致抗蚀剂的选择比为 3，假设存在 30%的过刻蚀。要保证金属表面不受钻蚀最小光致抗蚀剂的厚度是多少？

11. 在 ECR 等离子体中，恒定磁场 B 能够以一定的角频率 ω_e 会聚电子围绕磁力线旋转，角频率由下式给定：

$$\omega_e = qB/m_e$$

其中 q 是电子电荷量，m_e 是电子质量。如果微波频率为 2.45GHz，磁场强度是多少？

12. 传统反应离子刻蚀与高密度等离子体刻蚀(ECR，ICP 等)的差别是什么？

104

13. 描述如何消除经过氯基等离子体刻蚀的 Al 线腐蚀问题？

第6章　扩　　散

杂质注入就是把可以控制数量的杂质导入到半导体材料之中。这些专门使用的掺杂物质主要是改变半导体的电学性能。扩散和离子注入是两种主要的掺杂方法，由于这两种方法一般在工艺处理上具有互补性，分立器件和集成电路制造都采用了这两种方法[1,2]。例如扩散用来形成深结（如 CMOS 器件中的双阱），第 7 章中要讨论的离子注入用来形成浅结（如 MOSFET 器件中的源/漏结）。

20 世纪 70 年代以前，实现杂质掺入主要是通过高温扩散进行，如图 6-1 所示。在这种方法中，利用掺杂剂的气相淀积或掺杂氧化物源，将掺杂剂原子置于半导体晶片表面上或是表面附近，掺杂浓度从表面到体内单调下降，而掺杂剂在半导体内的分布状态主要决定于温度和扩散时间。

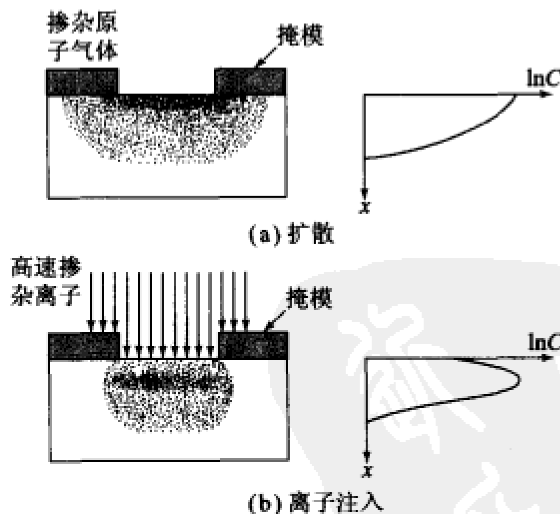


图 6-1　两种技术向半导体衬底进行选择掺杂的比较

本章重点讨论扩散工艺，离子注入会放在第 7 章讨论。本章将涉及以下内容：

- ☐ 在高温高浓度梯度的条件下杂质原子在晶格中的运动；
- ☐ 恒定扩散系数和浓度与扩散系数相关时的杂质分布；
- ☐ 横向扩散与杂质再分布的作用对器件特性的影响；
- ☐ 用 SUPREM 模拟扩散。

6.1 基本扩散工艺

进行杂质扩散的典型做法是把半导体晶片放置在能够被精确控制的高温石英管炉内，并通以含有待扩散杂质的混合气体。对硅扩散时炉温通常在800℃到1200℃的范围，对砷化镓则在600℃到1000℃的范围。扩散进入半导体的杂质原子数量与杂质在混态混合物中的分压力有关。

对硅的扩散，硼是最常用的P型掺杂剂，而砷和磷则广泛用作N型掺杂剂。这三种元素在硅中均有相当高的溶解度，在扩散温度范围内它们的溶解度高达$5\times10^{20}cm^{-3}$以上。这些杂质可以按多种方式掺入，包括固态源（硼用BN，砷用As_2O_3，磷用P_2O_5），液态源（BBr_3，$AsCl_3$和$POCl_3$）和气态源（B_2H_6，AsH_3和PH_3），其中常用的是液态源。扩散炉的系统框图如图6-2所示，图中同时示意了气体流经液态源的方式，该方式与热氧化相似。采用液态源进行磷扩散的化学反应式例子之一表达如下：



$$4POCl_3 + 3O_2 \longrightarrow 2P_2O_5 + 6Cl_2\uparrow \qquad (6\text{-}1)$$

在晶片表面形成P_2O_5的磷硅玻璃，接着用硅取代磷从而除去磷硅玻璃：



$$2P_2O_5 + 5Si \longrightarrow 4P + 5SiO_2 \qquad (6\text{-}2)$$

磷被释放出来并且扩散进入硅，同时Cl_2被排出。

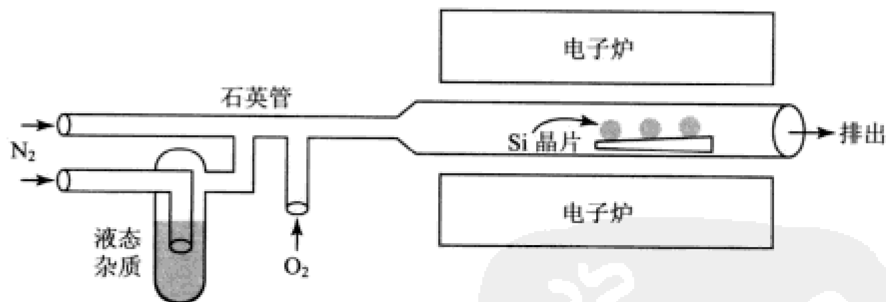


图6-2 典型的开管扩散装置示意图

对砷化镓的扩散，由于砷的蒸汽压很高，必须采用特性方法防止砷因分解或蒸发而损失[2]，这些方法包括：在保持砷蒸汽过压的密封管中进行扩散，或者在开管扩散炉中采用掺杂绝缘层（如氮化硅）覆盖方式进行扩散。大部分的P型扩散研究工作都集中按Zn-Ga-As合金和$ZnAs_2$的形式在密封管中使用锌，或者在开管扩散方式中使用$ZnO\text{-}SiO_2$。砷化镓所用的N型掺杂剂包括硒和碲两种元素。

106

6.1.1 扩散方程

半导体中的扩散可以被看作是扩散物质（掺杂原子）在晶格中以空位或自填隙式的原子运动。图6-3给出了固体中的两种基本的原子扩散模型[1,3]，其中圆圈代表占据平衡晶格位置的受主原子，实心点代表杂质原子。温度升高时，晶格原子在平衡格点

附近振动。有时受主原子获得足够能量而离开格点变为填隙原子，产生空穴。当邻近的杂质原子迁移到空穴位置，如图 6-3a 所示，这样的机制被称为**空穴扩散**；如果填隙原子从一处运动到另一处而未占据格点（如图 6-3b 所示），这种机制称为**填隙扩散**，比受主原子小的原子常以填隙方式运动。

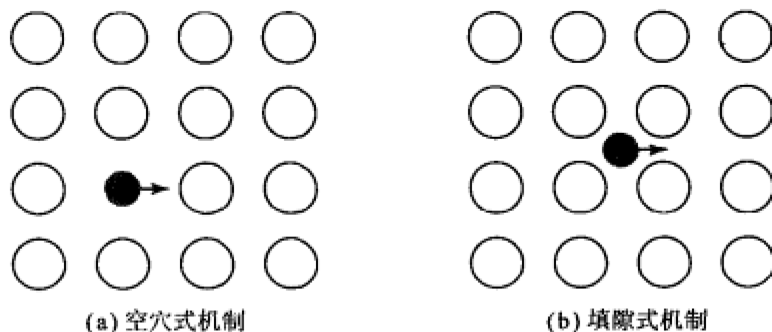


图 6-3　二维晶格中原子扩散机制[2,3]

杂质原子的基本扩散过程与电荷载流子（电子和空穴）扩散类似。因此我们定义流量 F 为单位时间内流过单位面积的杂质原子数量，单位体积的掺杂浓度为 C，则：

$$F = -D\frac{\partial C}{\partial x} \tag{6-3}$$

其中比例常数 D 是**扩散系数**或者**扩散率**。可见扩散过程的基本起因是浓度梯度 $\partial C/\partial x$，流量 F 正比于浓度梯度，杂质原子将从高浓度区域向低浓度区域运动。

如果把公式(6-3)代入一维连续方程，条件是在受主半导体中没有物质的产生与消耗，则：

$$\frac{\partial C}{\partial t} = -\frac{\partial F}{\partial x} = \frac{\partial}{\partial x}\left(D\frac{\partial C}{\partial x}\right) \tag{6-4}$$

当掺杂浓度很低时，可以认为扩散系数与掺杂浓度无关的常数，于是公式(6-4)变成：

$$\frac{\partial C}{\partial t} = D\frac{\partial^2 C}{\partial x^2} \tag{6-5}$$

通常公式(6-5)称为**菲克扩散方程**或是**菲克定律**。

图 6-4 所示为在低浓度下硅和砷化镓中各种掺杂剂杂质的实测扩散系数[4,5]。在大多数情况下，扩散系数的对数值与绝对温度的倒数表现为直线关系，这就是说在测试温度范围内扩散系数可以表达如下：

$$D = D_0\exp\left(\frac{-E_a}{kT}\right) \tag{6-6}$$

其中 D_0 是温度外推至无大时以 cm^2/s 为单位的扩散系数，E_a 是以 eV 为单位的激活能。

对填隙原子扩散模型来说，E_a 涉及杂质原子从一个间隙位置移动到另一个间隙位置所需能量，无论硅和砷化镓中的 E_a 值均在 0.5eV～2eV 之间；对于空穴扩散模型来

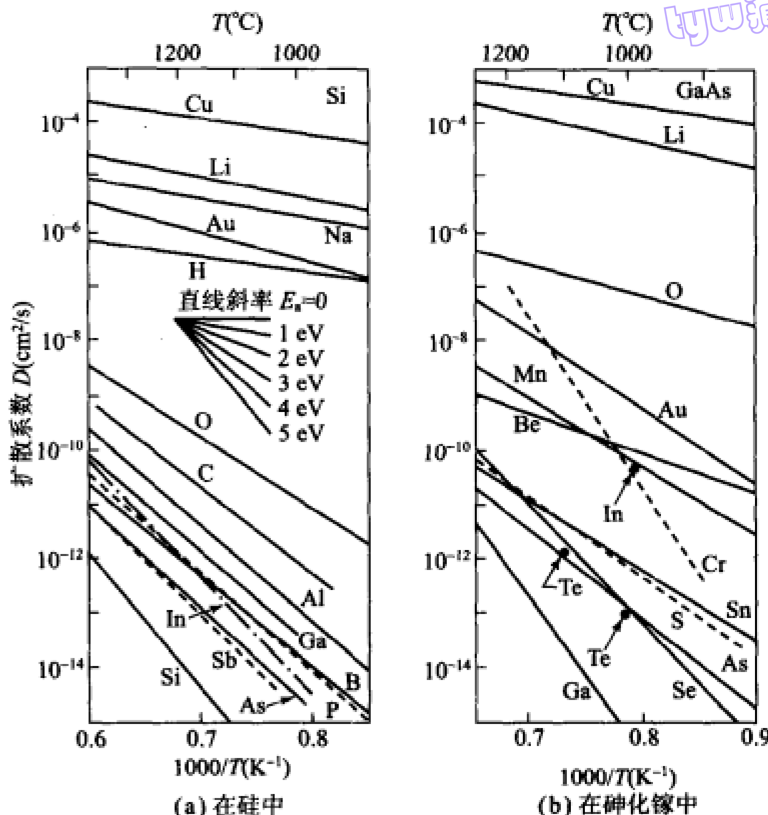


图 6-4　扩散系数(也称扩散率)与温度倒数的函数关系[4,5]

说，E_a涉及杂质原子运动所需能量和形成空穴所需能量，因此，空穴扩散的E_a值比填隙原子扩散的E_a值大，通常在3eV～5eV之间。

108

在快扩散情形下，如Cu在Si和GaAs中的扩散，表现如图6-4a和图6-4b中的上半部所示，其测到的激活能小于2eV，以填隙原子运动为主要扩散机制；在慢扩散情形下，如As在Si和GaAs中的扩散，表现如图6-4a和图6-4b中的下半部所示，其测到的激活能大于3eV，以空穴扩散为主要机制。

6.1.2　扩散分布

杂质原子的扩散分布与初始条件和边界条件相关。在这一小节中，我们考虑两种重要的扩散方法，即：恒定表面浓度扩散方法和恒定杂质总量扩散方法。第一种方法中，杂质原子从气态源输运到半导体表面，并扩散到半导体晶片内，在整个扩散过程中，气态源保持表面浓度恒定；第二种方法中，固定总量的杂质淀积在半导体表面上并接着扩散进入晶片内。

1. 恒定表面浓度

$t=0$时的初始条件为：

$$C(x,0) \tag{6-7}$$

该式表示基质半导体的初始掺杂浓度为零，边界条件为：

$$C(0,t) = C_s \tag{6-8a}$$

及

$$C(\infty,t) = 0 \tag{6-8b}$$

其中 C_s 是与时间无关的表面浓度（在 $x=0$ 处）；第二个边界条件表明在远离表面处没有杂质原子。

满足上述初始条件和边界条件的菲克扩散方程的解为[6]：

$$C(x,t) = C_s \operatorname{erfc}\left(\frac{x}{2\sqrt{Dt}}\right) \tag{6-9}$$

式中 erfc 为余误差函数，$\sqrt{Dt}$ 是扩散长度，erfc 的定义和一些函数特性列在表 6-1 中。在恒定表面浓度条件下杂质扩散分布如图 6-5a 所示，纵坐标为归一化浓度，以线性坐标（上图）和对数坐标（下图）表示；横坐标为扩散深度，以线性坐标表示。三条曲线对应三个扩散长度值，相当于依次增加扩散时间（在给定扩散温度下，D 是一定的）。可以看到，时间越长杂质扩散得越深。

表 6-1　误差函数代数式

$$\operatorname{erf}(x) \equiv \frac{2}{\sqrt{\pi}}\int_0^x e^{-y^2}dy$$

$$\operatorname{erfc}(x) \equiv 1 - \operatorname{erf}(x)$$

$$\operatorname{erf}(0) = 0$$

$$\operatorname{erf}(\infty) = 1$$

$$\operatorname{erf}(x) \cong \frac{2}{\sqrt{\pi}}x, \quad x \ll 1$$

$$\operatorname{erfc}(x) \cong \frac{1}{\sqrt{\pi}}\frac{e^{-x^2}}{x}, \quad x \gg 1$$

$$\frac{d}{dx}\operatorname{erf}(x) = \frac{2}{\sqrt{\pi}}e^{-x^2}$$

$$\frac{d^2}{dx^2}\operatorname{erf}(x) = -\frac{4}{\sqrt{\pi}}xe^{-x^2}$$

$$\int_0^x \operatorname{erfc}(y')dy' = x\operatorname{erfc}(x) + \frac{1}{\sqrt{\pi}}(1-e^{-x^2})$$

$$\int_0^\infty \operatorname{erfc}(x)dx = \frac{1}{\sqrt{\pi}}$$

半导体中单位面积的杂质原子总数量由下式给出：

$$Q(t) = \int_0^\infty C(x,t)dx \tag{6-10}$$

把公式(6-9)代入公式(6-10)，得：

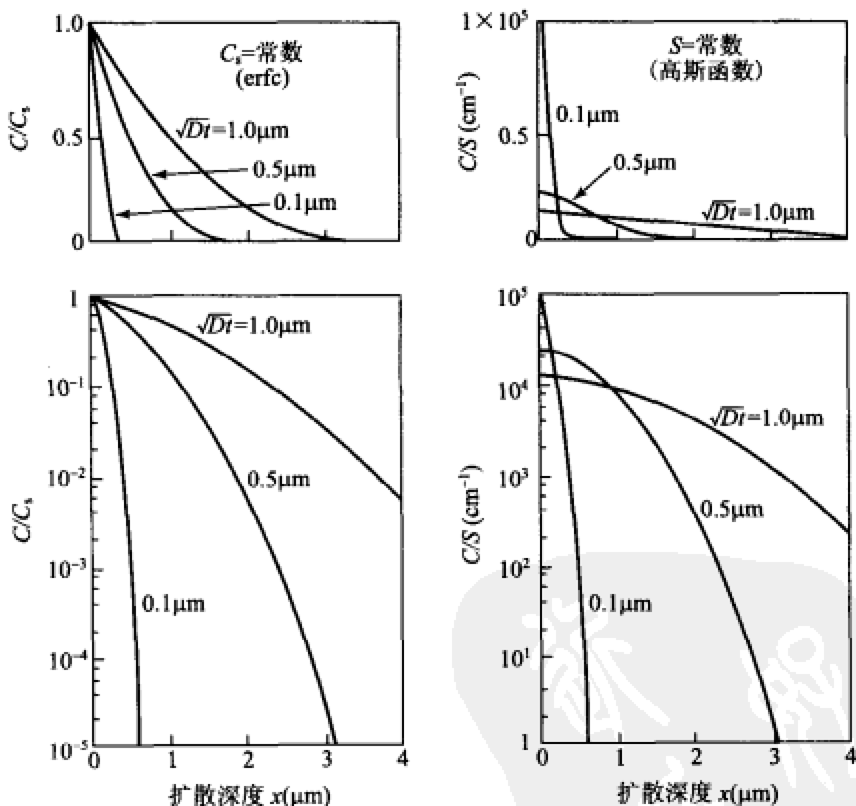
[109]

$$Q(t)=\frac{2}{\sqrt{\pi}}C_s\sqrt{Dt}\cong 1.13C_s\sqrt{Dt} \tag{6-11}$$

这个表达式可以解释如下：量 $Q(t)$ 代表图 6-5a 线性坐标中的任意一条扩散分布曲线下占有的面积，该分布面积可近似等于高为 C_s 和底边长为 $2\sqrt{Dt}$ 的三角形面积，于是得到 $Q(t)\cong C_s\sqrt{Dt}$，这和公式(6-11)所得到的正确结果很接近。

一个有相关的量是扩散分布的梯度 C/x，该梯度可以通过对公式(6-9)进行微分得到：

$$\left.\frac{\partial C}{\partial x}\right|_{x,t}=\frac{C_s}{\sqrt{\pi Dt}}e^{-x^2/4Dt} \tag{6-12}$$



(a) 在连续扩散多次的情况下，标准余误差函数与扩散距离的关系

(b) 标准高斯函数与扩散距离的关系

图 6-5 扩散分布

【例 1】 在 1000℃的条件下向硅中扩硼，扩散时间是 1 小时，并且表面浓度保持在 $10^{19}\,cm^{-3}$。求 $Q(t)$ 值以及在 $x=0$ 处的掺杂浓度梯度，并求出掺杂浓度为 $10^{15}\,cm^{-3}$ 处的掺杂浓度梯度。

解： 从图 6-4 中可以得到在 1000℃的条件下硼的扩散系数约 $2\times10^{-14}\,cm^2/s$，则扩散长度为：

$$\sqrt{Dt} = \sqrt{2 \times 10^{-14} \times 3600} = 8.48 \times 10^{-6}\text{cm}$$

$$Q(t) = 1.13C_s\sqrt{Dt} = 1.13 \times 10^{19} \times 8.48 \times 10^{-6} = 9.5 \times 10^{13} \text{ 原子 / cm}^2$$

$$\left.\frac{dC}{dx}\right|_{x=0} = -\frac{C_s}{\sqrt{\pi Dt}} = \frac{-10^{19}}{\sqrt{\pi} \times 8.48 \times 10^{-6}} = -6.7 \times 10^{23}\ \text{cm}^{-4}$$

当 $C=10^{15}\text{cm}^{-3}$时，相应的扩散距离 x_j由公式(6-9)给出：

$$x_j = 2\sqrt{Dt}\ \text{erfc}^{-1}\left(\frac{10^{15}}{10^{19}}\right) = 2\sqrt{Dt}(2.75) = 4.66 \times 10^{-5}\text{cm} = 0.466\mu\text{m}$$

$$\left.\frac{dC}{dx}\right|_{x=0.466\mu\text{m}} = -\frac{C_s}{\sqrt{\pi Dt}}e^{-x^2/4Dt} = -3.5 \times 10^{20}\ \text{cm}^{-4}$$

2. 恒定总杂质量

在这种情况下，有一固定(或恒定)量的杂质淀积在半导体表面薄层内，并且杂质逐渐向半导体内扩散，初始条件与公式(6-7)相同，边界条件由下式给出：

$$\int_0^\infty C(x,t) = S \tag{6-13a}$$

110~111

及

$$C(\infty,t) = 0 \tag{6-13b}$$

式中 S 是单位面积上的杂质总量。

扩散方程满足上述初始条件和边界条件的的解是：

$$C(x,t) = \frac{S}{\sqrt{\pi Dt}}\exp\left(-\frac{x^2}{4Dt}\right) \tag{6-14}$$

这个表达式为高斯分布。由于随着扩散时间增加，杂质会越来越深入半导体内，而要保持掺杂剂杂质总量 S 一定，那么表面浓度必定下降。实际情况正是如此，表面浓度由公式(6-14)取 $x=0$ 给出：

$$C(x,t) = \frac{S}{\sqrt{\pi Dt}} \tag{6-15}$$

高斯型扩散杂质分布示于图 6-5b，图中画出三种递增扩散长度情况下的归一化浓度(C/S)与扩散深度的函数关系。可见随着扩散时间增长表面浓度减小。对公式(6-14)进行微分可以得到扩散分布的浓度梯度：

$$\left.\frac{dC}{dx}\right|_{x,t} = -\frac{xS}{2\sqrt{\pi}(Dt)^{3/2}} = -\frac{x}{2Dt}C(x,t) \tag{6-16}$$

在 $x=0$ 和 $x=\infty$处，浓度梯度(或斜率)为零，$x=\sqrt{2Dt}$ 处出现最大浓度梯度值。

在集成电路工艺中，一般使用两步扩散法，首先在恒定表面浓度条件下形成预淀积扩散层，紧接着在恒定掺杂总量的条件下进行取进扩散(也称为再分布扩散)。大多数实际情况中，预淀积扩散长度 $\sqrt{Dt}$ 远小于再分布扩散的扩散长度，因此可以把预淀积分布看作是在表面处的 δ 函数，而预淀积扩散深度与取进扩散后最终的杂质分布相

比可忽略不计。

【例2】 用氢化砷气体淀积砷，结果单位面积的杂质原子总数量是 1×10^{14} 原子/cm²，要用多长时间才能把砷扩散出 1μm 的结深？假设基底掺杂 $C_B=1\times10^{15}$ 原子/cm³，取进扩散温度 1200℃，扩散过程中 $D_0=24\ \text{cm}^2/\text{s}$，$E_a=4.08\ \text{eV}$

解：

$$D=D_0\exp\left(\frac{-E_a}{kT}\right)=24\exp\left(\frac{-4.08}{8.614\times10^{-5}\times1473}\right)=2.602\times10^{-13}\,\text{cm}^2/\text{s}$$

$$x_j^2=10^{-8}=4Dt\ln\left(\frac{S}{C_B\sqrt{Dt}}\right)=1.04\times10^{-12}t\ln\left(\frac{1.106\times10^5}{\sqrt{t}}\right)$$

$$t\cdot\log t-10.09\,t+8350=0$$

通过方程 $y=t\cdot\log t$ 和方程 $y=10.09\,t-8350$ 的曲线交点可以确定上述方程的解，也就是 $t=1190$ 秒，或者约 20 分钟。

112

6.1.3 扩散层测定

扩散工艺结果可以用三种测试方法进行评价：结深，薄板电阻和扩散层杂质分布。在半导体上磨槽，并在溶液中腐蚀、染色（例如，在 100cm³ 的 HF 中滴入几滴 HNO_3 形成对硅的腐蚀液）使得 P 型区比 N 型区黑，就能显示出结深的轮廓，如图 6-6a 中所示。如果 R_0 是磨槽所用工具的半径，则结深 x_j 可以表示为：

$$x_j=\sqrt{R_0^2-b^2}-\sqrt{R_0^2-a^2} \tag{6-17}$$

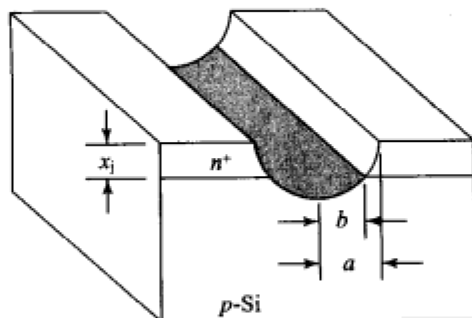
式中的 a 和 b 如图中标出，另外，如果 R_0 远大于 a 和 b，则：

$$x_j\cong\frac{a^2-b^2}{2R_0} \tag{6-18}$$

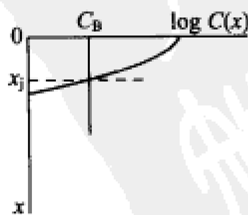
如图 6-6b 中标出所示，结深 x_j 对应掺杂浓度等于衬底浓度 C_B 的位置，即：

$$C(x_j)=C_B \tag{6-19}$$

因此，如果已知结深 x_j 和 C_B，那么只要扩散分布遵从 6.1.2 节导出的某种简单方程，就可以计算出表面浓度 C_S 和杂质分布。



(a) 磨槽并染色



(b) 掺杂浓度和衬底浓度相等的位置

图 6-6　结深测量

扩散层电阻可以用如图 6-7 所示的四探针法测量。四探针法中探针等间距配置，由恒流源供给外侧两根探针一个小电流 I，在内部两个探针之间可以测到电压 V，对于厚度 W 远小于直径 d 的薄型半导体样品来说，电阻率(ρ)可以由下式给出：

$$\rho = \frac{V}{I} \cdot W \cdot \mathrm{CF}\Omega/\mathrm{cm} \qquad (6\text{-}20)$$

式中 CF 为修正因子，它与比值 d/s 有关，其中 s 是探针间距，当 $d/s > 20$ 的时候，修正因子约为 4.54。

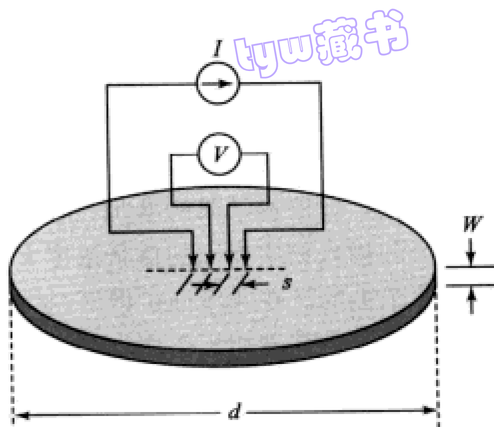


图 6-7 用四探针法测量电阻率[3]

薄板电阻(R_s)与结深(x_j)、载流子迁移率(μ:总掺杂浓度的函数)和杂质分布 $C(x)$的关系可以由下式表示[7]：

$$R_s = \frac{1}{q\int_0^{x_j} \mu C(x)\mathrm{d}x} \qquad (6\text{-}21)$$

对某一给定的扩散分布，平均电阻率 ($\bar{\rho} = R_s x_j$) 仅与扩散层表面浓度以及该分布下的衬底掺杂浓度有关。对于象余误差或是高斯分布这样的简单分布，已经计算出来 C_s和 $\bar{\rho}$ 有关的设计曲线[8]。要正确使用这些曲线，需确信其和扩散分布所假设的分布是相符的。在低浓度和深扩散时，扩散分布一般可以用前面给出的简单函数表示；但是，如下一节所要讨论的，在高浓度和浅扩散时，扩散分布则不能用这些简单函数表示。

扩散分布可以用电容—电压方法测量。多数载流子分布(n)可以用测量 PN 结或者是 Schottky 势垒二极管的反偏电容与外加电压的关系确定，如果杂质全部电离，那么载流子的分布和杂质的一样。所以能够这样做是因为存在如下关系式[9]：

$$n = \frac{2}{q\varepsilon_s}\left[\frac{-1}{\mathrm{d}(1/C'^2)/\mathrm{d}V}\right] \qquad (6\text{-}22)$$

式中 q 是电子的电量，ε_s是半导体材料的介电常数，C' 是样片单位面积的电容量，V 是外加电压。

更精细的方法是利用二次离子质谱(SIMS)法测量总的杂质分布。SIMS 方法是利用离子束把待分析的材料从半导体表面溅射出来，检出离子组分并进行质量分析。这种方法对于硼、砷等多种元素具有很高的灵敏度，是一种按照所需精度测定高浓度或浅结扩散的杂质分布的理想手段[10]。

6.2 非本征扩散

6.1 节中所描述的扩散分布都是扩散系数恒定的情况，这种情况只在扩散浓度低

114 于扩散温度下本征载流子浓度(n_i)时才发生的。例如当温度 $T=1000°C$ 时，硅的 n_i 等于 $5\times10^{18}cm^{-3}$，砷化镓的 n_i 等于 $5\times10^{17}cm^{-3}$。低浓度下的扩散系数通常被称为本征扩散系数。掺杂浓度小于 $n_i(T)$ 的掺杂分布区属于本征扩散区域，如图 6-8 中的左半部所示。在这个区域之内，P 型和 N 型杂质相继扩散或是同时扩散所形成的杂质分布是二者分别扩散所得结果的叠加，也就是两种杂质的扩散可以独立地处理。然而，当包括衬底和掺入物质在内的掺杂浓度大于 $n_i(T)$ 时，半导体变成了非本征型，扩散也就被称为非本征的。在非本征扩散区，扩散系数与掺杂浓度相关[11]，相继扩散或是同时扩散的杂质之间存在着相互作用，有协同效应，使扩散分布更加复杂。

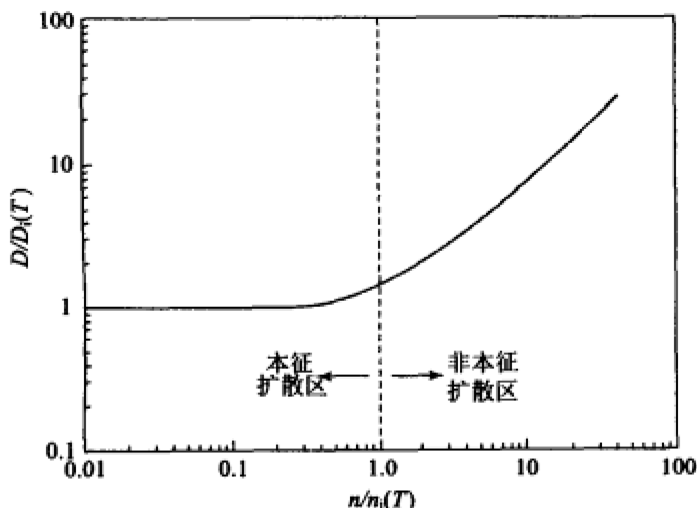


图 6-8　施主杂质扩散系数与电子浓度关系，图中标明了本征扩散区和非本征扩散区[11]

6.2.1　与浓度相关的扩散系数

正如前面所陈述，当一个基质原子从晶格振动中获得足够能量而离开格点就产生出一个空位。根据空位所带电荷的性质，可以得到中性空位 V^0，受主空位 V^-，双电荷的受主空位 V^{2-}，施主空位 V^+ 等。可以预期给定电荷状态下的空穴密度(即单位体积内的空位数目 C_v)随温度的变化关系与载流子浓度随温度的变化关系相类似，即：

$$C_V = C_i \exp\left(\frac{E_F - E_i}{kT}\right) \tag{6-23}$$

115 式中 C_i 是本征空位密度，E_F 是费米能级，E_i 是本征费米能级。

如果杂质扩散以空位机制为主，那么扩散系数正比于空位密度。在掺杂浓度低($n < n_i$)时，费米能级和本征费米能级一致($E_F=E_i$)，空位密度等于 C_i 并且与掺杂浓度无关，正比于 C_i 的扩散系数也与掺杂浓度无关；在掺杂浓度高($n > n_i$)的时候，费米能级将移向导带底(对施主型空位)，并且公式(6-23)中的[$\exp(E_F - E_i)/kT$]项会越来越大而超过 1，这引起 C_v 增大，从而导致扩散系数变大，如图 6-8 右半部所示。

当扩散系数随着掺杂浓度而变化时，扩散方程应该是公式(6-4)，而不是公式(6-5)，因为在公式(6-5)中 D 与 C 无关。我们考虑将扩散系数改写成形式：

$$D = D_s \left(\frac{C}{C_s}\right)^{\gamma} \tag{6-24}$$

式中 C_s是表面浓度，D_s是表面处扩散系数，g 是描述扩散与浓度相关性的参数，在这种情况下公式(6-4)是常微分方程，可求得数值解。

116

图 6-9 给出了不同 γ 值时恒定表面浓度扩散的求解情况。当 $\gamma=0$ 时处于恒定扩散系数的情况，扩散分布与图 6-5a 中表示的一样；当 $\gamma>0$ 时，扩散系数随着浓度增长而增长，γ 增加导致浓度分布更加陡峭且类似矩形。因此把相反的杂质类型扩散进入基底材料中将形成突变结，掺杂分布的突变性使得结深实际上与基底浓度无关。结深(如图 6-9 所示)由下列各式表示：

$$x_j = 1.6\sqrt{D_s t} \text{ 对 } D \sim C(\gamma = 1)$$
$$x_j = 1.1\sqrt{D_s t} \text{ 对 } D \sim C^2(\gamma = 2) \tag{6-25}$$
$$x_j = 0.87\sqrt{D_s t} \text{ 对 } D \sim C^3(\gamma = 3)$$

在 $\gamma=-2$ 的情况下，扩散系数随着浓度降低反而增加，这就导致空穴分布出现了与其他情形相反的凹陷状分布。

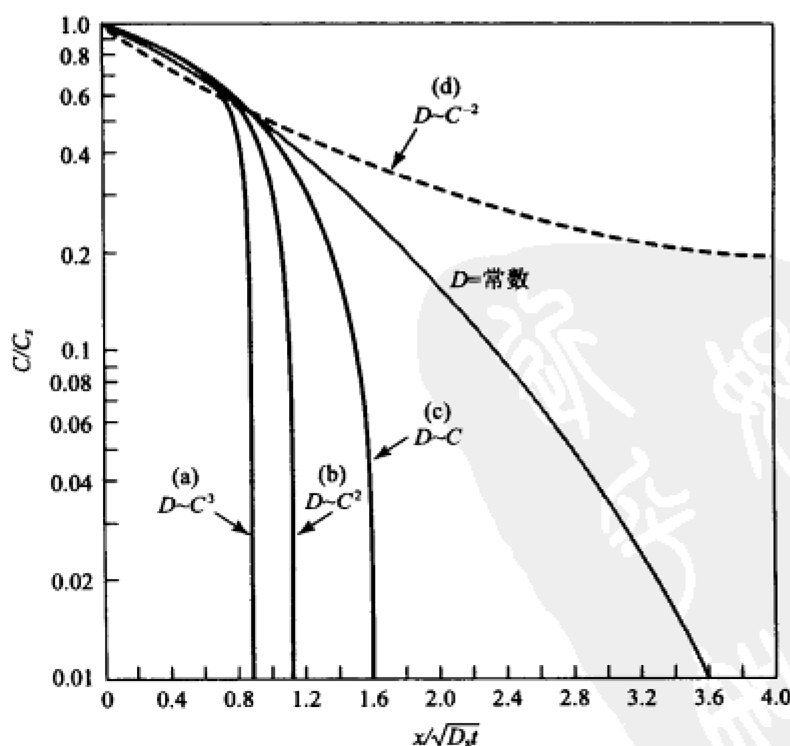


图 6-9 扩散系数与浓度相关时非本征扩散的归一化扩散分布图[12]

6.2.2　扩散分布

1. 硅中的扩散

实测的硼和砷在硅中的扩散系数具有 $\gamma \cong 1$ 的浓度相关性，它们的浓度分布呈现突变形状，如图 6-9 中的曲线 c 所示。金和铂在硅中扩散的 γ 值接近 -2，它们的浓度分布呈现如图 6-9 中所示曲线 d 的凹陷形状。

磷在硅中的扩散与双电荷受主空穴 V^{2-} 有关，高浓度时的扩散系数随 C^2 而变化，可以预期磷的扩散分布类似于图 6-9 中的曲线 b，但是因为存在裂解效应，扩散分布呈现出异常特性。

图 6-10 给出了 1000℃下扩磷 1 小时以后，不同表面浓度的磷在硅中所形成的扩散分布[13]。在表面浓度低的时候，对应于本征扩散区，扩散分布为余误差函数（曲线 a）分布；随着浓度增加，分布状态开始偏离简单的余误差函数表达式（曲线 b 和 c）；当表面浓度很高的时候（曲线 d），靠近表面处的扩散分布实际上类似于图 6-9 中的曲线 b；但在浓度 n_e 处，曲线出现拐点，紧接着是一个快扩散的拖尾区。浓度 n_e 和费米能级在导带底下面 0.11eV 处相对应，在此能级处，杂质一空穴耦合对（P^+V^{2-}）离解成 P^+，V^- 和一个电子。因此，离解产生大量单电荷受主空穴 V^-，它们加快杂质在尾部区的扩散。尾部区的扩散系数超过 $10^{-12}\,cm^2/s$，比 1000℃时本征扩散系数约大两个数量级，正因为如此高的扩散系数，通常用磷来形成深结，如 CMOS 的 N 阱。

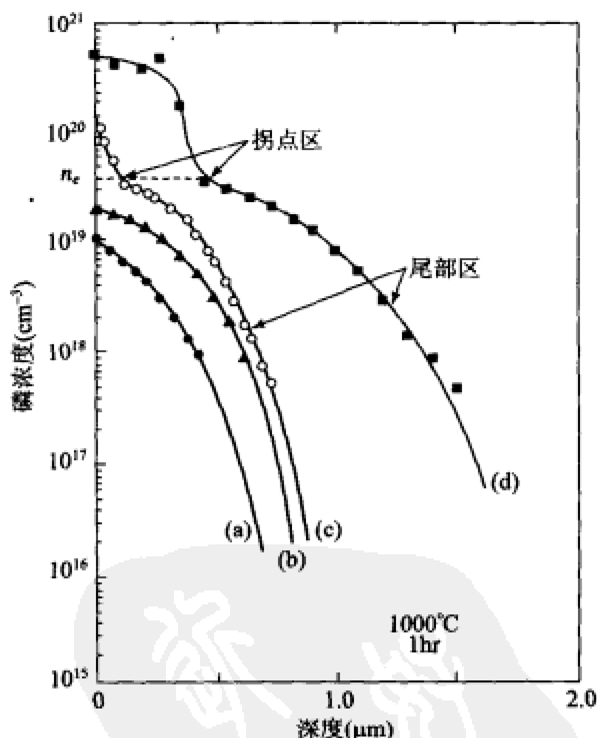


图 6-10　1000℃下扩磷 1 小时后，不同表面浓度的磷在硅中的扩散分布

2. 锌在砷化镓中的扩散

可以想见，杂质在砷化镓中的扩散要比在硅中复杂得多，这是因为它可能涉及砷和镓两个子晶格上的原子运动。由于无论 P 型还是 N 型杂质最终都要定位于晶格点，所以空穴在砷化镓内杂质的扩散过程中起主导作用，但是空穴的电荷状态尚未被清楚阐述。

对于砷化镓中的杂质扩散，研究得最多的是锌，它的扩散系数随 C^2 而变化，因而扩散分布陡，如图 6-11 所示[13]，类似于图 6-9 中的曲线 b。可见，即便是在最低表面浓度的

情况下，扩散仍旧处于非本征区，因为 GaAs 在 1000℃时的 n_i 小于 10^{18}cm^{-3}。从图 6-11 可见，锌的表面浓度对结深影响非常大，扩散系数随着锌蒸汽分压变化而呈现线性变化，而且表面浓度正比于锌蒸汽分压的平方根。所以，按照公式(6-25)结深线性正比于表面浓度。

117

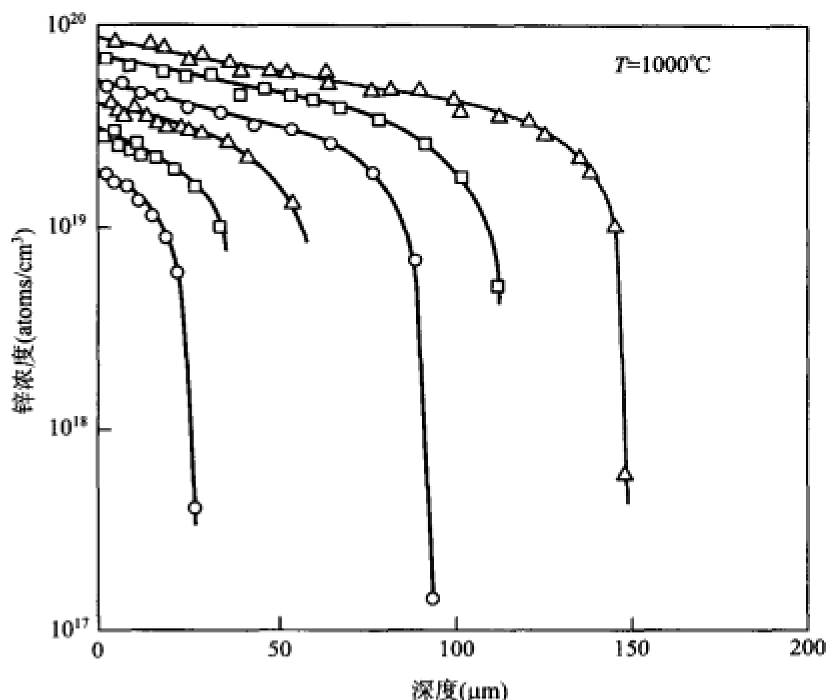


图 6-11　经过 1000℃温度下 2.7 小时的退火，锌在砷化镓中的扩散分布图[13]。通过在 600℃温度至 800℃温度的范围内维持锌源得到不同的表面浓度

6.3　横向扩散

以上讨论的一维扩散方程可以令人满意地描述扩散过程，但是在掩模窗口的边缘处，杂质既向下扩散又向侧面扩散(即横向扩散)。这种情形下必须考虑二维扩散方程，利用数值计算方法以获得满足不同初始条件和边界条件的扩散分布。

图 6-12 表示假设扩散系数与浓度无关时，恒定表面浓度扩散条件下的等掺杂浓度线[14]。图中的最右边，掺杂浓度从 $0.5C_s$ 变到 $10^{-4}C_s$(其中 C_s 为表面浓度)，对应于公式(6-9)给出的余误差函数分布。等浓度线实际上是向不同的衬底浓度进行扩散所得到的结的位置图。例如，当 $C/C_s = 10^{-4}$ 时(即衬底掺杂浓度比表面浓度低 10^4 倍)，从等浓度线可见垂直扩散深度约为 2.8μm，而横向扩散深度(即沿扩散掩模—半导体界面的渗透深度)约为 2.3μm。因此，当衬底掺杂浓度比表面浓度低 3 个或更多数量级时，横向渗透深度约为垂直渗透深度为 80%，在恒定杂质总量扩散的情况下也有类似结果，横向与垂直深度之比约为 75%。考虑到扩散系数和浓度的依赖关系后，横向与垂

118

直深度之比稍有降低，约为 65% ～ 70%。

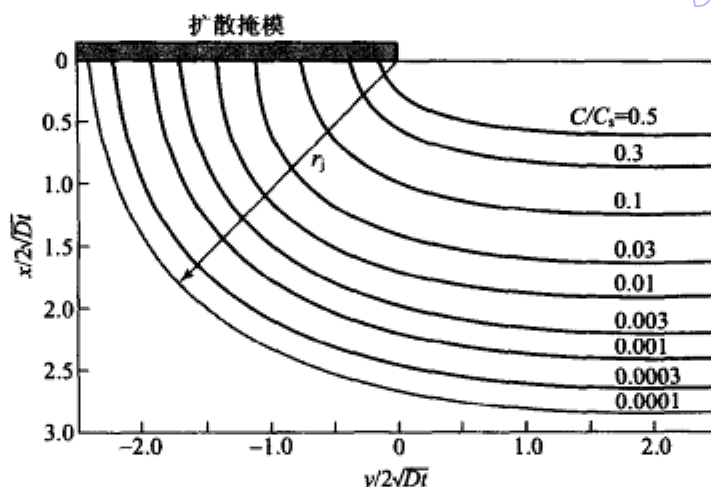


图 6-12　氧化层窗口边缘扩散的等浓度线，其中 r_j 为曲率半径[14]

由于横向扩散的影响，结的中间部分为平面，四周环以曲率半径为 r_j 的圆柱面，如图 6-12 所示。此外，如果扩散掩模有尖角，则由于横向扩散，在角附近结近似为球形。由于柱形和球形结区电场强度较高，在同样的衬底掺杂浓度下，这些区域的雪崩击穿电压显著低于结的平面区。

119

6.4　扩散模拟

除了非常简单的例子外，扩散分布计算（如扩散系数与扩散浓度的相关性）的复杂性有碍进行全面手工估算。还好，第 3 章中介绍的 SUPREM 软件工具也包括完整的扩散模型，SUPREM 能够模拟一维或者二维的扩散分布，这是用 DIFFUSION 命令实现。程序输出结果通常是元素、载流子和空穴的浓度与它们在半导体衬底中的扩散深度的函数关系。

包括 SUPREM 在内的所有扩散工艺过程模拟器都是建立在三个基本方程上的[15]，第一个方程式用来表示流量（J），其一维表达式如下：

$$J_i = -D_i\frac{\mathrm{d}C_i}{\mathrm{d}x} + Z_i\mu_i C_i E \tag{6-26}$$

式中 Z_i 是电荷状态，μ_i 是杂质迁移率，E 是电场。下标 i 表示 SUPREM 的格点位置。第二个关系式是连续方程，给出如下：

$$\frac{\mathrm{d}C_i}{\mathrm{d}t} + \frac{\mathrm{d}J_i}{\mathrm{d}x} = G_i \tag{6-27}$$

式中 G_i 是杂质的产生/复合速率。最后的关键性关系式是泊松方程，其一维形式给出如下：

$$\frac{\mathrm{d}}{\mathrm{d}x}[\varepsilon_s E] = q(p - n + N_D^+ - N_A^-) \tag{6-28}$$

式中 ε_s是介电常数，n 和 p 分别是电子和空位浓度，N_D^+ 和 N_A^- 分别是电离的施主和受主浓度。SUPREM 按照用户指定的一维格点同时求解 6-26 到 6-28 的方程组。SUPREM 使用的扩散系数值是基于 Fair 的空穴模型[11]；B、Sb 和 As 元素的 E_a值和 D_0值列在查询表中；用经验模型估算场强化、氧化增强和氧化迟滞扩散。

【例 3】 假设要模拟 850℃下 15 分钟的硼在 N 型〈100〉硅晶片中进行预淀积。如果磷对硅衬底掺杂浓度为 $10^{16}\,\mathrm{cm}^{-3}$量级，用 SUPREM 确定硼的掺杂分布和结深。

120

解：SUPERM 的输入指令行如下：

```
TITLE         Predeposition Example
COMMENT       Initialize silicon substrate
INITIALIZE    <100> Silicon Phosphor Concentration=1e16
COMMENT       Diffuse boron
DIFFUSION     Time=15 Temperature=850 Boron Solidsol
PRINT         Layers Chemical Concentration Phosphorus Boron Net
PLOT          Active Net Cmin=1e15
STOP          End predeposition example
```

可以看到，硼的表面浓度设置为固溶度值，这个值在 DIFFUSION 命令行中用 Solidsol 参量限制。完成预淀积模拟后，绘制出硼浓度与其在硅基底中的扩散深度的函数关系，结果显示在图 6-13 中，图中结深为 0.0555μm。

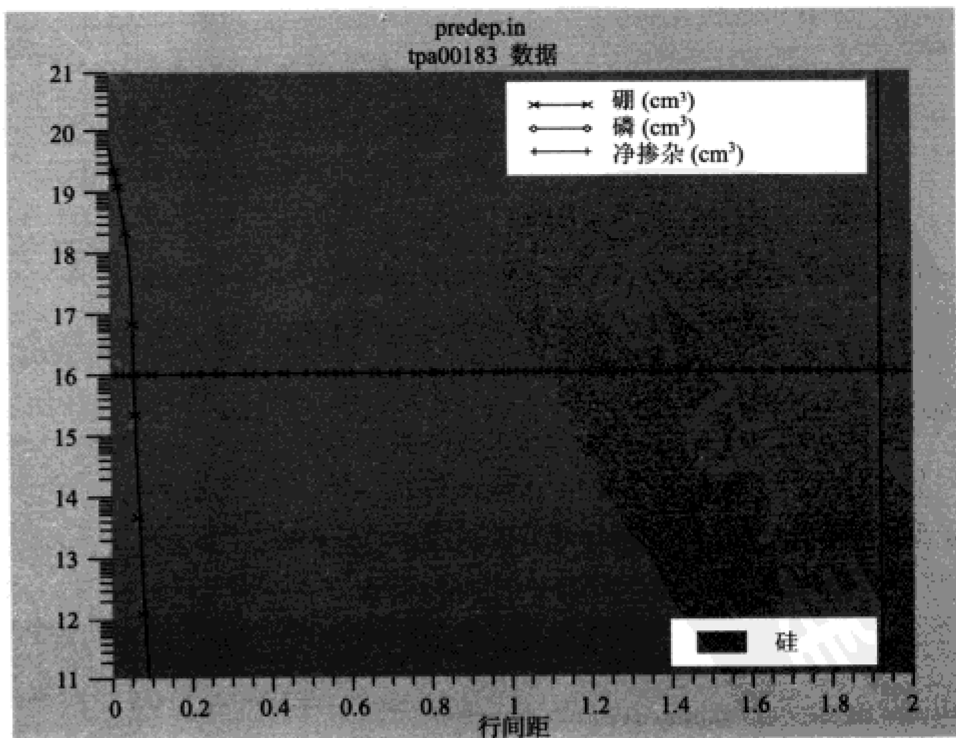


图 6-13　用 SUPREM 绘制出的硼浓度与其在硅基底中的扩散深度的函数关系

6.5 小结

扩散是进行杂质掺入的重要方法。本章首先分析了恒定扩散系数的基本扩散方程。恒定表面浓度扩散分布和恒定杂质总量扩散分布分别用余误差函数(erfc)和高斯函数表示。通过测量结深、平板电阻和杂质分布可以估算出扩散过程的结果。在扩散温度下掺杂浓度超过本征载流子浓度 n_i时，扩散系数与掺杂浓度有关，这种相互关系对杂质扩散结果影响很大。例如，砷和硼在硅中的扩散系数随掺杂浓度变化呈线性变化，它们的杂质分布比 erfc 分布更加陡。磷在硅中的扩散系数随掺杂浓度平方值变化而变化，这种相关性和离解效应使得磷的扩散系数比本征扩散系数大 100 倍。

121

通过掩模边缘的横向扩散和氧化过程中的杂质再分布这两道工艺，扩散能够对器件性能产生重大影响，前者的影响完全可以使器件的击穿电压减小，而后者则影响着阈值电压和接触电阻。

参考文献

1. S. M. Sze, Ed., *VLSI Technology*, 2nd Ed., McGraw-Hill, New York, 1988, Ch. 7, 8.
2. S. K. Ghandhi, *VLSI Fabrication Principles*, 2nd Ed., Wiley, New York, 1994, Ch. 4, 6.
3. W. R. Runyan and K. E. Bean, *Semiconductor Integrated Circuit Processing Technology*, Addison-Wesley, Boston, 1990, Ch. 8.
4. H. C. Casey and G. L. Pearson, "Diffusion in Semiconductors," in J. H. Crawford and L. M. Slifkin, Eds., *Point Defects in Solids*, Vol. 2, Plenum, New York, 1975.
5. J. P. Joly, "Metallic Contamination of Silicon Wafers," *Microelectron. Eng.*, **40**, 285 (1998).
6. A. S. Grove, *Physics and Technology of Semiconductor Devices*, Wiley, New York, 1967.
7. ASTM Method F374-88, "Test Method for Sheet Resistance of Silicon Epitaxial, Diffused, and Ion-Implanted Layers Using a Collinear Four-Probe Array," V10, 249 (1993).
8. J. C. Irvin, "Evaluation of Diffused Layers in Silicon," *Bell Syst. Tech. J.*, **41**, 2 (1962).
9. S. M. Sze, *Semiconductor Devices: Physics and Technology*, 2nd Ed., Wiley, New York, 2002, Ch. 7.
10. ASTM Method E1438-91, "Standard Guide for Measuring Width of Interfaces in Sputter Depth Profiling Using SIMS," V10, 578 (1993).
11. R. B. Fair, "Concentration Profiles of Diffused Dopants," in F. F. Y. Wang, Ed., *Impurity Doping Processes in Silicon*, North-Holland, Amsterdam, 1981.
12. L. R. Weisberg and J. Blanc, "Diffusion with Interstitial-Substitutional Equilibrium, Zinc in GaAs," *Phys. Rev.*, **131**, 1548 (1963).
13. F. A. Cunnell and C. H. Gooch, "Diffusion of Zinc in Gallium Arsenide," *J. Phys. Chem. Solid*, **15**, 127 (1960).
14. D. P. Kennedy and R. R. O'Brien, "Analysis of the Impurity Atom Distribution Near the Diffusion Mask for a Planar p-n Junction," *IBM J. Res. Dev.*, **9**, 179 (1965).
15. S. A. Campbell, *The Science and Engineering of Microelectronic Fabrication*, 2nd Ed., Oxford University Press, New York, 2001, Ch. 3.

习题

1. 在 950℃下的中性气氛中硼完成 30 分钟的预淀积，计算结深和掺入的杂质总量。假设 N 型硅衬底中 $N_D = 1.8 \times 10^{16} \text{cm}^{-3}$，硼的表面浓度 $C = 1.8 \times 10^{20} \text{cm}^{-3}$。

2. 如果把第 1 题中的样品放到 1050℃下进行 60 分钟的萃取再分布扩散，计算扩散分布和结深。

122

3. 假设实测磷的扩散分布可以用高斯函数表示，其中扩散系数 $D = 2.3 \times 10^{-13} \text{cm}^2/\text{s}$，实测表面浓度是 $1 \times 10^{18}/\text{cm}^3$，衬底浓度为 1×10^{15} 处实测结深 1μm。计算扩散时间和扩散层内的总杂质量。

*4. 为了避免因温度突然变化引起晶片翘曲，扩散炉中的温度是在 20 分钟内从 1000℃按线性降至 500℃。对于磷在硅中的扩散，初始扩散温度时有效扩散时间为多少？

*5. 在 1000℃下硅中进行低浓度磷的再分布扩散，如果扩散温度和时间有 1%的变化，求表面浓度变化的百分数。

6. 要把砷扩散侵入一块硅片中，该硅片在 1100℃下经过 3 小时硼扩散，硼掺杂浓度为 $10^{13}/\text{cm}^3$，如果表面浓度保持 $4 \times 10^{18}/\text{cm}^3$，那么最终砷扩散分布怎样？扩散长度和结深是多少？

7. 要把砷扩散侵入一块硅片中，该硅片在 900℃下经过 3 小时硼扩散，硼掺杂浓度为 $10^{15}/\text{cm}^3$，如果表面浓度保持 $4 \times 10^{18}/\text{cm}^3$，那么最终砷扩散分布怎样？结深是多少？假设按照下式计算：

$$D_0 = 45.8 \text{cm}^2/\text{s} \quad E_a = 4.05 \text{eV} \quad x_j = 1.6\sqrt{Dt}$$

8. 解释本征扩散和非本征扩散的含义。

9. 紧接着例 3 所述的预扩散，用 SUPREM 完成 1175℃下 6 小时的再分布扩散模拟，绘制出硼扩散分布和新的结深。

*10. 完成第 9 题中的分布再扩散后，要求进行磷的预扩散和分布再扩散，其中在 850℃下进行 30 分钟磷的预扩散，在 1000℃下进行 30 分钟磷的分布再扩散，用 SUPREM 绘出硼和磷的杂质分布，并确定结深。

123

第7章　离子注入

正如在第6章中讨论的，扩散和离子注入是两种关键的杂质掺入工艺。20世纪70年代初以来，很多掺杂工艺已用离子注入实现，如图7-1所示，这种方法是利用高能离子束将掺杂剂离子注入半导体，掺杂浓度在半导体内有一个峰值，掺杂剂在半导体内的分布主要取决于离子质量和注入离子的能量。本章主要涉及以下内容：

- ❑ 离子注入工艺及其优势；
- ❑ 注入离子在晶格中的分布以及如何消除注入离子对晶格的损伤；
- ❑ 与离子注入相关的工艺，如制备掩模层、高能量注入和大电流注入；
- ❑ 用SUPREM进行离子注入的模拟。

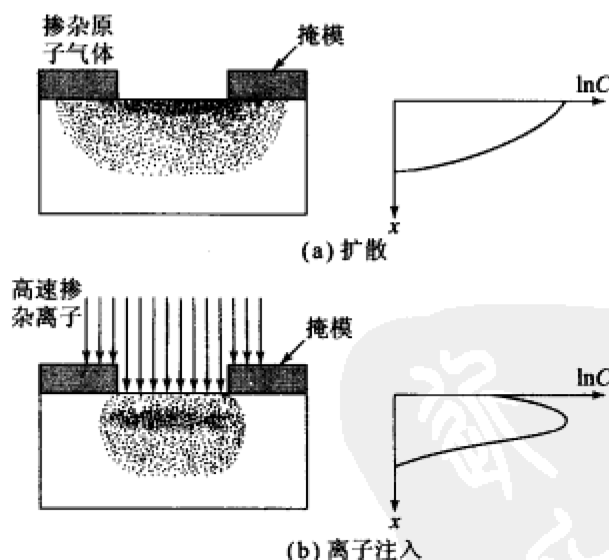


图7-1　向半导体衬底进行选择性掺杂的两种方法的比较

7.1　注入离子的种类范围

离子注入是把具有一定能量的带电粒子掺入到诸如硅的衬底中。注入离子能量在1keV到1MeV之间，使得离子分布的平均深度在10nm到10μm的范围内，而注入剂量从进行阈值调整的10^{12}离子数/cm^2到形成埋层所需的10^{18}离子数/cm^2不等。注

意到注入剂量用注入到半导体表面 1 cm^2 面积内的离子数表示。离子注入的主要优势在于杂质渗入量可以更加精确地控制而且重复性好，以及加工温度比扩散工艺低。

图 7-2 原理性地表示出中等能量离子注入机[1]。离子源配置的热灯丝离解 BF_3 或者 AsH_3 等气体源产生带电离子（B^+ 或 As^+），约 40kV 的外加电压迫使带电离子离开离子源腔进入质量分析器。在分析器磁场的筛选下，只有那些具有所希望荷质比的离子能顺利经过质量分析器而不会被滤掉。接着经选择的离子进入加速管，当离子在加速管内从高电位运动到地电位时被电场加速到注入高能状态。分辨孔阑能够保证离子准确入射，离子注入器中的压力始终保持 10^{-4} Pa 以便减小离子被气体分子散射。然后离子束在静电偏转板的作用下扫描晶片表面并被注入半导体衬底中。

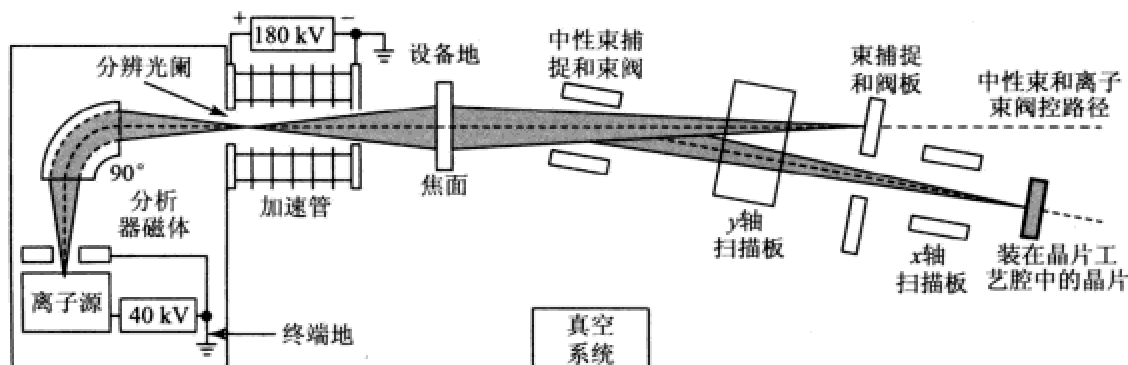


图 7-2 中等能量离子注入机原理图

荷能离子与衬底中的原子核和电子进行一系列碰撞损失能量，最后停留在衬底内的一定深度处。调节加速能量可以控制平均深度，而在注入过程中监测电流则可以控制注入剂量。所带来的副作用是因为离子碰撞对半导体晶格产生损伤或者破坏，因此后续的退火处理工序是消除损伤所必须的。

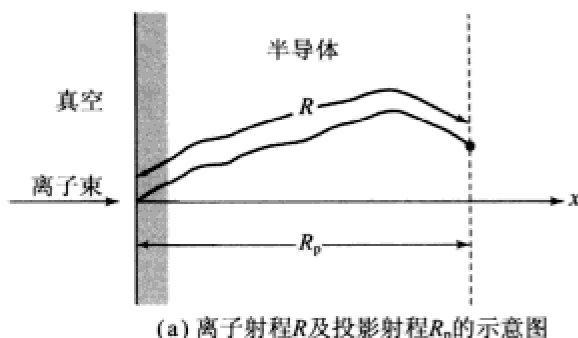
7.1.1 离子分布

离子从进入半导体到静止所经历的总行程被称为*射程*（R），如图 7-3a 所示[2]，射程在入射轴上的投影称为*投影射程*（R_p），由于单位距离中的碰撞次数以及每次碰撞所损耗的能量均为随机变量，因此质量和初始能量相同的离子在衬底内停留的位置会有一个空间分布，投影射程的统计涨落称为*投射偏差*（σ_p），在和入射轴垂直的方向上，同样有统计涨落，这称为*横向偏差*（$\sigma_\perp$）。

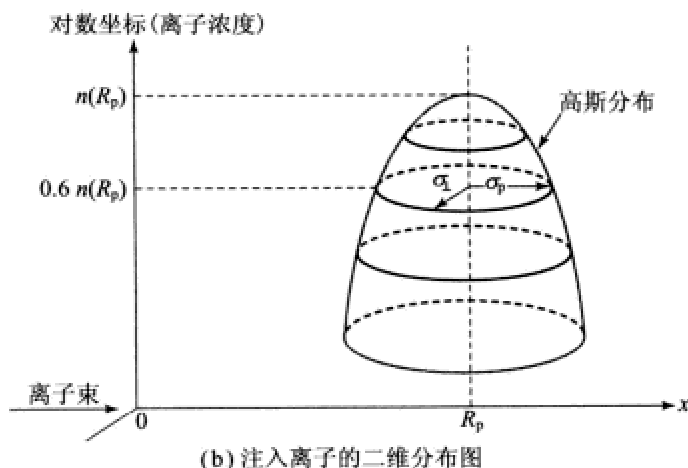
图 7-3 所示为离子的分布情况，注入杂质沿入射轴的分布可用高斯函数近似：

$$n(x)=\frac{S}{\sqrt{2\pi}\sigma_p}\exp\left[-\frac{(x-R_p)^2}{2\sigma_p^2}\right] \tag{7-1}$$

其中 S 为单位面积上离子注入剂量，此式和第 6 章中恒定杂质总量扩散时的公式 6-14 相同，只是用 $2\sigma_p{}^2$ 代替了 $4Dt$ 以及整个分布沿 x 轴移动了一段距离 R_p。因此对扩散来



(a) 离子射程R及投影射程R_p的示意图



(b) 注入离子的二维分布图

图 7-3[2]　离子分布情况

说最大浓度在 $x=0$ 处，而对离子注入来说最大浓度在投影射程内。在$(x-R_p)=\pm\sigma_p$处，离子浓度比峰值减小 40%，在$\pm 2\sigma_p$处离子浓度比峰值低一个数量级，在$\pm 3\sigma_p$处低两个数量级，在$\pm 4.8\sigma_p$处低五个数量级。

沿垂直入射轴的方向，注入离子的分布也是形式为 $\exp(-y^2/2\sigma_\perp{}^2)$的高斯函数，正因为这种分布也有某种横向注入[3]，但是掩模边缘的横向渗透深度(数量级为 $\sigma_\perp$)显著小于 6.3 节所讨论热扩散的横向扩散。

126

7.1.2　离子中止

存在两种中止机制使荷能离子进入半导体衬底(也称为靶)后静止，一种中止机制是离子将能量转移给靶原子核，这使入射离子发生偏转，也使很多靶原子核从原来的格点移位。设 E 为离子在其运动路径上某点 x 处的能量，我们可以定义核原子中止能力 $S_n(E)\equiv(\mathrm{d}E/\mathrm{d}x)$来表征这种中止过程。另一种中止机制是入射离子和靶原子周围电子云的相互作用，通过库仑作用，离子和电子碰撞失去能量，电子则被激发到较高能级(激发)，或脱离原子(电离)，我们可以定义电子中止能力 $S_e(E)\equiv(\mathrm{d}E/\mathrm{d}x)$来表征这种中止过程。

按照上述两种中止机制，可给出离子能量随距离的平均损耗率：

$$\frac{\mathrm{d}E}{\mathrm{d}x}=S_{n}(E)+S_{e}(E) \tag{7-2}$$

如果离子到静止时所经过的总距离为 R，则：

$$R=\int_{0}^{R}\mathrm{d}x=\int_{0}^{E_0}\frac{\mathrm{d}E}{S_{n}(E)+S_{e}(E)} \tag{7-3}$$

其中 E_0 是离子的初始能量，R 为之前已经定义的射程。

核中止过程可以视为是一个入射离子硬球（能量为 E_0，质量为 M_1）与靶核硬球（初始能量为零，质量为 M_2）之间的弹性碰撞，如图 7-4 所示。两球碰撞时，动量沿着球心发生传递，根据动量与能量守恒定律可以得到偏转角（θ）及速度 v_1 和 v_2。当发生正碰撞时，入射硬球能量损失最大，这时入射离子 M_1 损失的能量表示如下，这个能量也就是传递给 M_2 的能量：

$$\frac{1}{2}M_2 v_2^2=\left[\frac{4M_1M_2}{(M_1+M_2)^2}\right]E_0 \tag{7-4}$$

图 7-4 硬球之间的弹性碰撞

127

由于 M_2 与 M_1 数量级相同，因此在核中止过程中，M_1 可以将大部分能量转移给 M_2。

详细计算表明，低能量时核中止能力随能量呈线性关系增加（类似于公式(7-4)），并且 $S_n(E)$ 在某个中等能量处达到最大值。在高能量时，由于快速粒子没有足够的时间与靶原子进行有效的能量交换，所以 $S_n(E)$ 变小。硅对各种能量的砷、磷、硼离子的 $S_n(E)$ 计算值在图 7-5 中用实线画出（在离子符号左上角标有原子量）[4]。由图可见，砷等较重的原子有较大的核中止能力，即单位距离内的能量损失较大。

电子中止能力与入射离子的速度成正比，即：

$$S_e(E)=k_e\sqrt{E} \tag{7-5}$$

式中系数 k_e 是原子质量和原子序数的弱相关函数。硅的 k_e 值约为 $10^7(\mathrm{eV})^{1/2}/\mathrm{cm}$，砷化镓的 k_e 值约为 $3\times10^7(\mathrm{eV})^{1/2}/\mathrm{cm}$。硅中的电子中止能力在图 7-5 中用虚线画出，图中还标出了 $S_e(E)=S_n(E)$ 时的交叉能量。对于离子质量比硅原子小的硼来说，交叉点能量只有 10 keV，这说明在整个 1keV 到 1MeV 的实际注入能量范围内，硼离子主要通过电子中止机制消耗能量；另一方面，对具有较高离子质量的砷来说，交点能量有 700 keV，因此在 1keV 到 1MeV 的能量范围内砷离子主要通过核中止机制消耗能量；对磷来说，交叉能量为 130keV，当 E_0 小于 130keV 时，核中止机制起主要作用，在较高的能量下，电子中止机制起主要作用。

128

一旦 $S_e(E)$ 和 $S_n(E)$ 已知，就可以用公式(7-3)计算出射程。然后借助下列近似式得出投影射程和投影偏差：

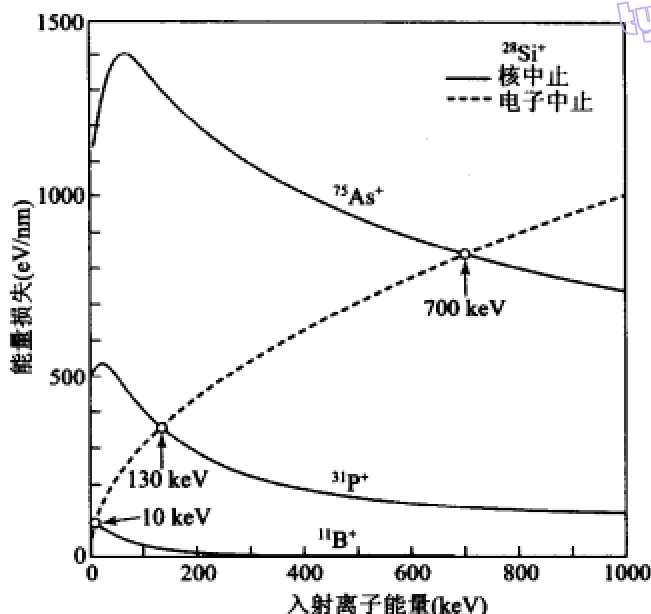


图 7-5　硅对砷、磷、硼离子的核中止能力 $S_n(E)$，电子中止能力 $S_e(E)$，曲线的交点对应这两种中止能力相等时的能量[4]

$$R_p \cong \frac{R}{1+(M_2/3M_1)} \tag{7-6}$$

$$\sigma_p \cong \frac{2}{3}\left[\frac{\sqrt{M_1 M_2}}{M_1+M_2}\right]R_p \tag{7-7}$$

图 7-6a 给出砷、硼、磷在硅及二氧化硅中的投影射程(R_p)、投影偏差(σ_p)和横向偏差($\sigma_\perp$)[5]，正如所料，能量损失越大，射程越小。还有，投影射程和偏差随离子能量增加而增加。在入射能量一定时，同一元素的两种偏差 σ_p 和 $\sigma_\perp$ 之间差别不大，通常不超过 ±20%。图 7-6b 给出氢、锌和碲在砷化镓中的相应值。将图 7-6a 与图 7-6b 相比较，可见大多数常用掺杂元素在硅中的投影射程比在砷化镓中大。

129

【例 1】　假设向直径 200mm 的硅晶片注入能量为 100 keV 的硼离子，注入剂量为 5×10^{14} 离子数/cm²。求峰值浓度，如果注入在 1 分钟内完成，求离子束流大小。

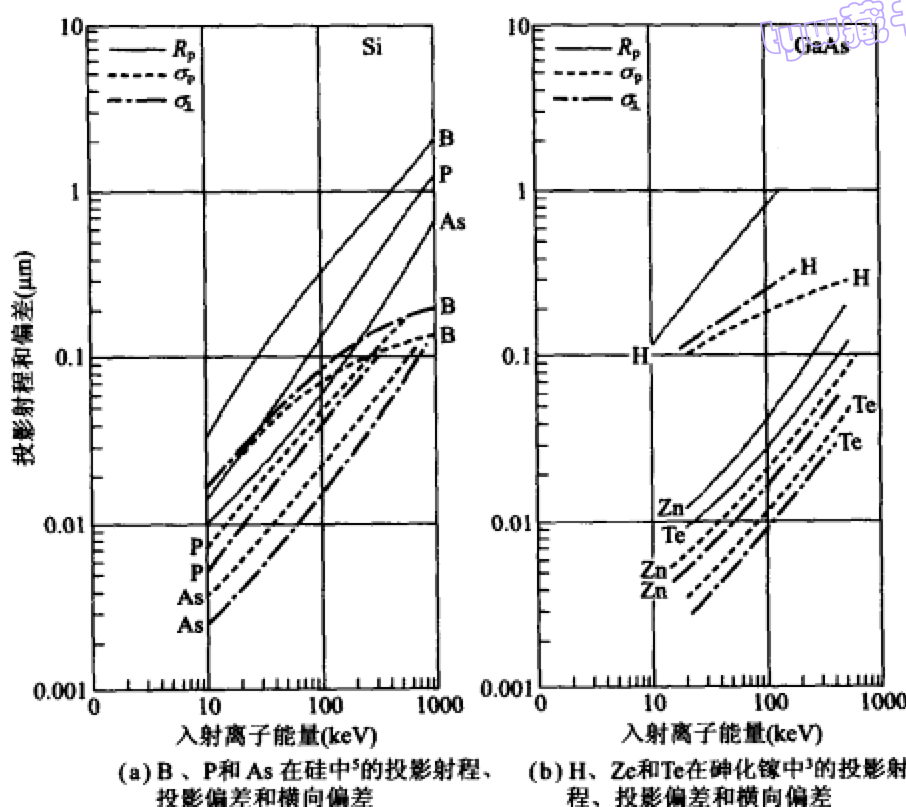
解：从图 7-6a 可得投影射程和偏差分别是 0.31μm 与 0.07μm。

从公式(7-1)：

$$n(x) = \frac{S}{\sqrt{2\pi}\sigma_p}\exp\left[-\frac{(x-R_p)^2}{2\sigma_p^2}\right]$$

$$\frac{dn}{dx} = -\frac{S}{\sqrt{2\pi}\sigma_p}\frac{2(x-R_p)}{2\sigma_p^2}\exp\left[\frac{-(x-R_p)^2}{2\sigma_p^2}\right]=0$$

峰值浓度出现在 $x = R_p$ 时，最大值为 $n(x) = 2.85\times10^{19}$ 离子数/cm³。



(a) B、P和As在硅中[5]的投影射程、投影偏差和横向偏差

(b) H、Zc和Te在砷化镓中[3]的投影射程、投影偏差和横向偏差

图 7-6 投影射程、投影偏差和横向偏差比较

注入离子总数 Q 为：

$$Q = 5\times10^{14}\times\pi\times\left(\frac{20}{2}\right)^2 = 1.57\times10^{17}\ \text{离子数} / \text{cm}^2$$

所求离子束流：

$$I = \frac{qQ}{t} = \frac{1.6\times10^{-19}\times1.57\times10^{17}}{60} = 4.19\times10^{-4}\,\text{A} = 0.42\text{mA}$$

7.1.3 离子沟道效应

前面所述高斯分布的投影射程及偏差能很好地说明非晶硅或小晶粒多晶硅衬底的离子注入分布。只要离子束方向偏离低指数晶向(例如⟨111⟩)，硅和砷化镓中的分布状态就如同在非晶半导体中一样，在这种情况下，由公式(7-1)所描述的杂质分布，在峰值附近和比峰值低一至两个数量级的范围内部符合得很好，如图 7-7 所示[2]。然而，即使只偏离⟨111⟩轴 7°，仍然有一个掺杂浓度随距离按指数 $\exp(-x/\lambda)$ 变化的尾区，其中 λ 值一般在 0.1μm 数量级。

指数型拖尾区与离子沟道效应有关。当入射离子对准主要晶向，并被导向在各排晶体原子之间时，产生沟道效应. 图 7-8 表示沿⟨110⟩方向观察金刚石晶格的示意图[6]。沿⟨110⟩方向注入的离子行进的轨道和靶原子不是挨得很近，使它们在和核碰撞时不

会损失太多的能量，这时沟道离子的能量损失机制主要是电子中止，因此沟道离子的射程可以比在非晶靶中大得多。在低能量重离子注入的情况下，离子沟道效应特别明显。

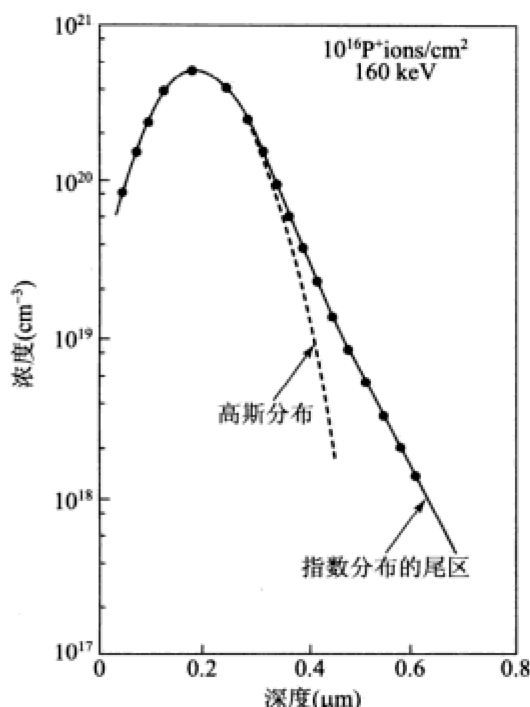


图 7-7　靶定位时有意偏离晶向情况下的杂质分布，图中离子束入射方向偏离〈111〉轴 7° [2]

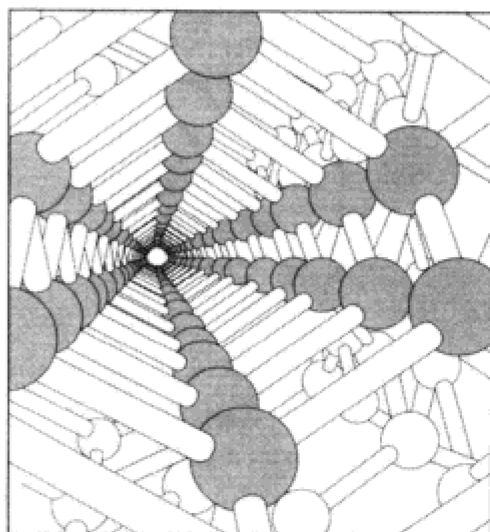
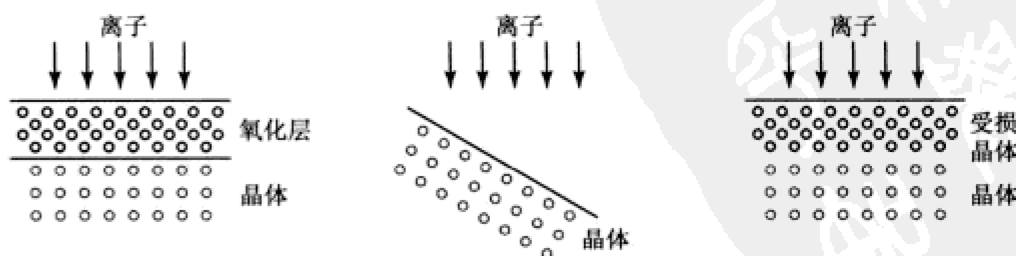


图 7-8　沿〈110〉方向观察金刚石晶格模型[6]

有几种技术可以减小离子沟道效应：非晶表面阻挡层，晶片偏离晶向以及在晶片表面设置破坏层。通常非晶表面阻挡层就是一层长成的单纯二氧化硅薄膜(如图 7-9a 所示)，这个非晶表面层使得离子入射方向随机化，这样离子以不同的角度进入晶片，就不会直接作用在晶体沟道。把晶片偏离主平面 5°到 10°也有阻挡离子进入沟道的功效

130



(a) 穿过非晶态氧化层的离子注入　(b) 束流方向与所有晶轴形成偏离　(c) 在晶体表面上的预损区

图 7-9　减小沟道效应

(如图 7-9b 所示)。按照这种方法,大部分离子注入机使晶片倾斜 7°的角度,并使主平面扭曲 22°的角度来防止离子沟道效应。采用硅和锗的重离子注入给晶片表面造成预损区,这样做的结果是在晶片表面形成了一个结构随机化的膜层(如图 7-9c 所示),当然,这种方法要更多使用昂贵的离子注入机。

7.2 注入损伤和退火

7.2.1 注入损伤

当高能离子进入半导体衬底后,它们与原子核及电子的一系列碰控损失能量,最后停止下来。电子能量损失认为是电子碰撞可以使电子激发到较高能级,或者是导致电子—空穴对的产生,当然,和电子碰撞不会使半导体原子离开其晶格位置,只有与原子核碰撞能向晶格转移足够能量,才能使晶体原子发生移位造成注入损伤(也称晶格移位)[7]。这些移位原子可能拥有大部分的入射能量,它们依次引起邻近原子的级联式二次移位,结果沿离子路径形成树枝状的无序区。当单位体积内的移位原子接近半导体的原子密度时,单晶材料便成为非晶材料。

轻离子的树枝状的无序区与重离子的很不同。轻离子的(例如硅中的$^{11}B^{+}$)能量大部分消耗在和电子的碰撞上(如图 7-5 所示),这没有造成晶格损伤。当轻离子更深地穿进到衬底时,其能量还是通过和电子碰撞损失的,事实上只有当它们的能量减到低于交叉点能量(硼约为 10keV)以下时,核中止机制才起主要作用,因此,大部分晶格无序只发生在离子最终位置附近,图 7-10a 说明了这种情况。

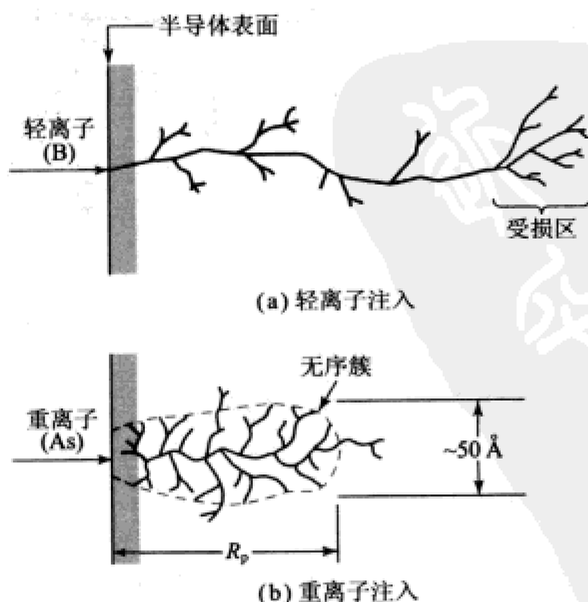


图 7-10 离子注入引起的无序态

现在以100keV硼离子为例考虑损伤情况，已知它的投影射程为0.31μm(如图7-6a所示)，它的最初核中止机制引起的能量消耗只是3eV/Å(如图7-5所示)。因为硅的晶面间距约为2.5Å，这意味着硼离子每穿过一个晶面会因核中止而消耗掉的能量将是 132 7.5eV，从晶格位置移走一个硅原子所需能量约为15eV。因此入射硼离子在进入硅衬底的最初阶段，不能依靠核中止释放足够能量而把硅原子置换出来。当离子能量减少到50keV时(此时深度为1500Å)，穿过一个晶面因核中止而消耗的能量增加到15eV(即6eV/Å)，足以产生晶格无序。假设在剩余的射程中，注入离子每穿透一个晶面就打出一个原子，则共打出600个(即1500Å/2.5Å)晶格原子。如果每个被打出的晶格原子从原有位置移动大约25Å，则损伤体积为$V_D \cong \pi(25Å)^2(1500Å) = 3\times10^{-18}\text{cm}^3$，损伤密度为$600/V_D \cong 2\times10^{20}\text{cm}^{-3}$，这只是原子密度的0.4%，因此轻离子注入要形成非晶层需要非常大的剂量。

对于重离子来说，主要通过核碰撞消耗能量，因此会产生显著的损伤。考虑100keV的砷离子，其投影射程为0.06μm，即60nm。在整个能量范围内，因核中止机制而损失的能量平均约为1320eV/nm(如图7-5所示)，这意味着砷离子每穿过一个晶面平均消耗能量300eV，该能量的大部分传给了第一个和它相碰的初级硅原子，每个初级原子将相继使22个靶原子(即330eV/15eV)发生位移，位移的原子共有5280个，设每个原子移动约2.5nm，则损伤体积为$V_D \cong \pi(2.5\text{nm})^2(60\text{nm}) = 10^{-18}\text{cm}^3$，损伤密度为$5280/V_D \cong 5\times10^{21}\text{cm}^{-3}$，即约占$V_D$内原子总数的10%。因此，重离子注入的结果，使材料基本上变为非晶体，图7-10b说明了这种情况，在整个投影射程内晶体损伤形成无序簇。

为了估计将单晶材料转变为非晶材料所需的注入量，我们可以采用一个判据，即认为这个注入量应该与熔化材料所需的能量密度在数量级上相同(即10^{21}keV/cm^3)。因此对100keV砷离子，形成非晶硅所需剂量为：

133

$$S = \frac{(10^{21}\text{keV/cm}^3)R_p}{E_0} = 6\times10^{13}\text{ions/cm}^2 \tag{7-8}$$

对能量为100keV的硼离子，因为硼的R_p比砷的大5倍，则所需剂量为3×10^{14}离子数/cm²。由于损伤不是沿离子路径均匀分布的，因此在室温下注入硼离子时实际上需要更高的剂量(>10^{16}离子数/cm²)。

7.2.2 退火

由于离子注入形成损伤区和无序簇，使迁移率及寿命等半导体参数大大减小，此外，大部分注入的离子不是以替位形式处在原有原子位置上。为了激活注入的离子，恢复迁移率及其他材料参数，必须在适当的温度和时间下对半导体进行退火。

常规退火使用类似于热氧化所用的开管分批炉系统，该工艺要求通过长时间高温度来消除离子注入带来的损伤。但是常规退火可能会引起基本掺杂剂扩散，从而达不到浅结和窄掺杂剖面分布的要求。快速热退火(RTA)是一种使用各种能源的退火工艺，它的退火时间范围很宽，从100秒到几纳秒不等，整个时间范围都比常规退火的时

间短得多。RTA 可以使杂质全部激活而对杂质分布改变很小。

1. 硼和磷的常规退火

退火特性表征取决于杂质类型和相关的剂量。图 7-11 表示硼和磷注入硅衬底后的退火特性[5]，注入时衬底保持室温(T_s)。在一定的离子注入量下，退火温度是指在该温度下常规退火炉中退火 30 分钟后 90%的注入离子被激活。对硼离子注入，较高的剂量需要较高的退火温度。在低剂量时，磷的退火特性与硼相似，然而，当剂量大于 10^{15} cm^{-2}时，退火温度降到约 600℃，这种现象和固相外延过程有关(参见第 8 章)。当磷的剂量大于 6×10^{14} cm^{-2}时，硅表面层变成非晶态，非晶层下的单晶半导体起着非晶层再结晶的籽晶作用，沿〈100〉方向外延生长速率在 550℃时为 10nm/min，600℃时为 50nm/min，激活能为 2.4eV，因此，100nm 至 500nm 的非晶层可在几分钟内完成再结晶。在固相外延过程中，掺杂杂质原子与基质原子一起进入晶格点阵，因此在较低温度下即可全部激活。

134

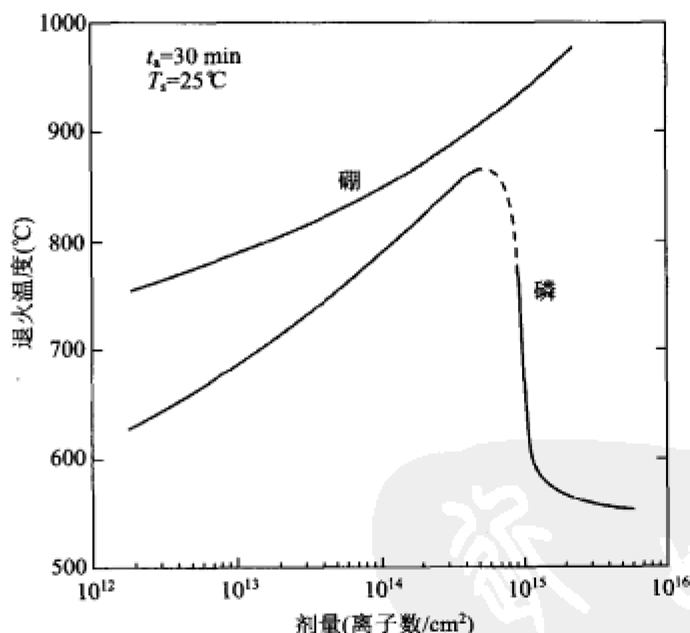


图 7-11 90%的硼和磷离子被激活所需的退火温度与注入量的关系[5]

2. 快速热退火

配置瞬时加热灯的 RTA 设备如图 7-12 所示。一般实测到的加热晶片温度可从 600℃至 1100℃，在标准大气压或是保持低气压且对外绝热的条件对硅晶片快速加热。通常 RTA 设备的加热灯用的是钨丝灯或弧光灯，工艺腔的材质可以是石英，碳化硅，不锈钢或者铝，加热灯的光线通过配置的石英窗辐照着晶片。晶片托是石英材质的，恰好能容纳下晶片。温控系统布置在四周围以便设置晶片温度。RTA 设备与气体处理系统及控制 RTA 运行的计算机相连。RTA 设备内晶片的温度一般使用非接触式

光学温度计测量，即根据辐射出来的红外线能量确定温度值。

在表7-1中对常规退火与RTA技术之间进行了比较。要用RTA获得短工艺时间，必须在温度和工艺的均匀性，温度的测量和控制，以及装片和退片之间进行折中。另外，还会涉及在非常快的热瞬态中出现(100°～300℃/s)电激活晶片缺陷。晶片内的温度梯度快速加热会损坏晶片，损坏方式是由热应力所致的滑移位错。另一方面，常规退火炉存在严重问题，例如来自热壁的尘埃，在敞开式系统中可控空间有限，以及巨大的热容量把加热时间限定在几十分钟的范围。实际上，鉴于环境污染、工艺控制和制造流片空间成本的需要，已转向使用RTA工艺制程。

135

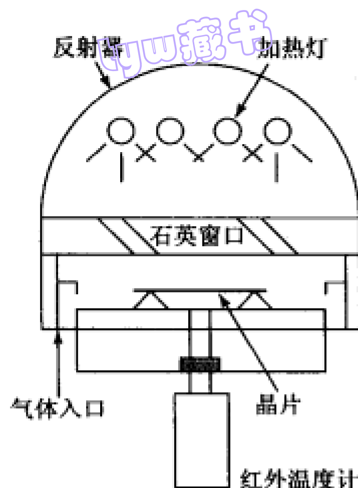


图7-12　采用光加热方式的快速热退火系统

表7-1　技术比较

决定因素	常规退火炉技术	快速热退火技术
加工形式	分批式	单片式
炉况	热壁	冷壁
加热速率	低	高
循环周期	长	短
温度监测	炉	晶片
热预计量	高	低
尘埃问题	存在	最小化
均匀性和重复性	高	低
生产效率	高	低

7.3　与离子注入有关的工艺

本节将讨论几个与离子注入有关的工艺，如多次注入、掩模、倾角注入、高能注入和大电流注入。

7.3.1　多次注入和掩模

在很多实际应用中，要求杂质不是简单的高斯分布。为此，一种方法是在注入前先用惰性离子使硅表面变成非晶态，它可以很好控制杂质分布，如前所述，可在低温下使几乎100%的杂质激活。在这种情况下，可能需要厚的非晶层，必须通过改变离子的能量与注入量进行一系列注入而获得。

多次注入也可用于获得平坦的杂质分布，如图 7-13 所示，这是利用四次硼注入在硅中获得的组合杂质分布[9]，图中画出了实测的载流子浓度分布及按照射程理论计算的分布。利用各种注入能量和掺杂注入量的组合，可以获得用扩散方法所不能实现的杂质分布。在砷化镓的离子注入和退火工艺过程中，已采用多次注入来保持其化学配比特性。凭借在退火之前注入等量的镓和 N 型杂质（或者砷和 P 杂质）的多次注入方法，已经产生出更强的载流子活化作用。

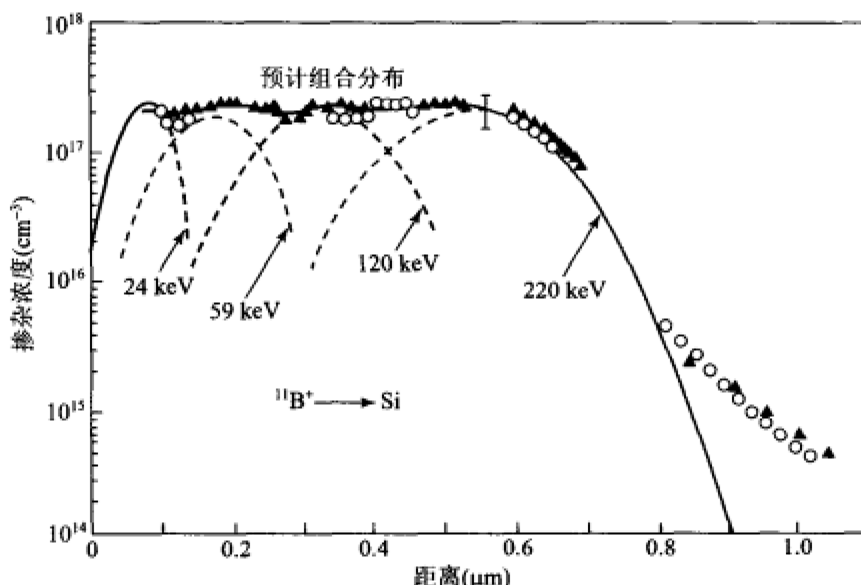


图 7-13　用多次注入形成的叠加杂质分布[9]

注入时要用合适的掩模，以便在半导体衬底的选定区域内形成 PN 结。因为注入是低温工艺，因此有很多种掩模材料可供选用。在给定要阻挡的入射离子百分比后，可用离子的射程参数估计所需要的掩模材料的最小厚度。图 7-14 的插图表示注入离子在掩模材料中的分布，超过深度 d 的区域（图中阴影区中）的注入剂量可通过对公式(7-1)进行积分得到：

136

$$S_d = \frac{S}{\sqrt{2\pi}\sigma_p}\int_d^{\infty} \exp\left[-\left(\frac{x-R_p}{\sqrt{2}\sigma_p}\right)^2\right]dx \tag{7-9}$$

由表 6-1 可导出：

$$\int_x^{\infty} e^{-y^2}\,dy = \frac{\sqrt{\pi}}{2}\operatorname{erfc}(x) \tag{7-10}$$

因此，“透过”深度 d 的注入量与总注入量之比由穿透系数（T）给出：

$$T \equiv \frac{S_d}{S} = \frac{1}{2}\operatorname{erfc}\left(\frac{d-R_p}{\sqrt{2}\sigma_p}\right) \tag{7-11}$$

一旦 T 给定，我们可以由给定的 R_p 和 σ_p 值根据公式(7-11)得到掩模层厚度 d 。

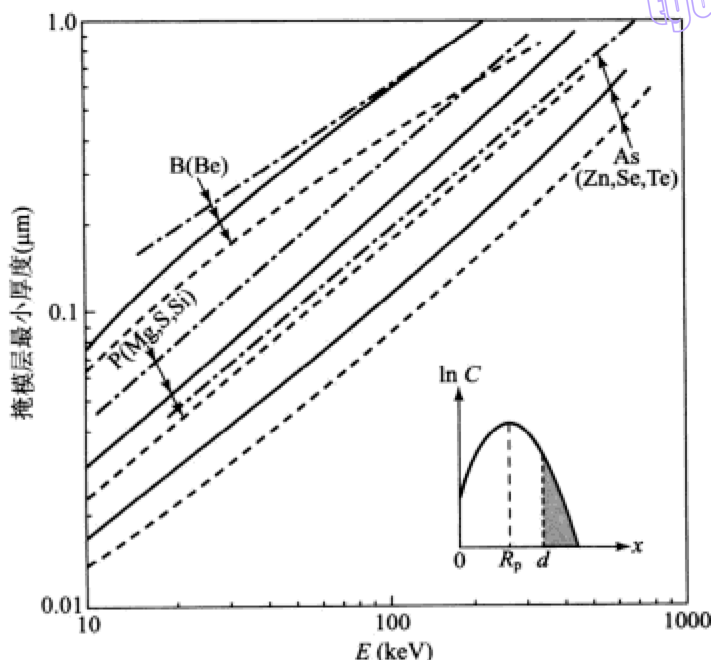


图 7-14　掩模效率为 99.99%时，SiO_2(——)、Si_3N_4(- - - -)和光致抗蚀剂(—·—·—)的最小厚度[5,10]

为了要阻挡 99.99%的入射离子($T = 10^{-4}$)，SiO_2、Si_3N_4 和作为掩模材料的光致抗蚀剂的厚度 d 值示于图 7-14 中[5,10]。图中所给的掩模厚度是指硼、磷、砷在硅中的注入而言，这些数据也可作为杂质注入到砷化镓中时所需掩模厚度，这时掺杂剂如圆括号中所示。由于 R_p 和 σ_p 都和入射离子能量有近似线性的变化关系，掩模材料的最小厚度也随能量线性增加。在某些应用中，不是要阻挡住全部离子束，而是将掩模作为衰减器用，为入射离子提供一个非晶表面层，使沟道效应减到最小。

【例 2】 当硼离子以 200keV 的能量注入时，要求阻挡住 99.996%的注入离子，求 SiO_2 厚度？($R_p = 0.53\mu m, \sigma_p = 0.093\mu m$)

解：当余误差函数的自变量很大时，可近似得到(参见表 6-1)：

$$T \cong \frac{1}{2\sqrt{\pi}} \frac{e^{-u^2}}{u}$$

由 $(d - R_p)/\sqrt{2}\sigma$ 给出参数 u，当 $T = 10^{-4}$ 时，可解出上述方程得到 $u = 2.8$，于是：

$$d = R_p + 3.96\sigma_p = 0.53 + 3.96 \times 0.093 = 0.898\ \mu m$$

7.3.2　倾角离子注入

在器件按比例控制到亚微米级的过程中，按比例确定杂质垂向分布也非常重要。我们需要生产出深度不足 100nm 的结，这其中包括了杂质被激活和后续工艺处理步骤带来的扩散。比如浅掺杂漏区(LDD)MOSFET 等现代器件结构，要求精确控制杂质的

横向和纵向分布。

正是注入离子在垂直于注入表面方向的速度确定了离子注入分布的投影射程。如果晶片相对于离子束流作大角度倾斜，那么离子有效能量将大幅度衰减，图 7-15 说明了 60keV 的砷离子与倾斜角度的这种函数关系，图中所示为采用高倾斜角度(86°)可以获得相当浅的杂质分布。在倾角离子注入中，我们应当考虑刻有图形的晶片上存在遮蔽效应(如图 7-15 中的插图)。小角度倾斜会产生出小面积的遮蔽区。比如，掩模的图形厚 0.5μm，对于图形的垂向侧面来说，7°倾斜入射的离子束流将会产生 61 nm 长的遮蔽区。这种遮蔽效应可能会在器件中引起产生不应有的串联电阻。

138

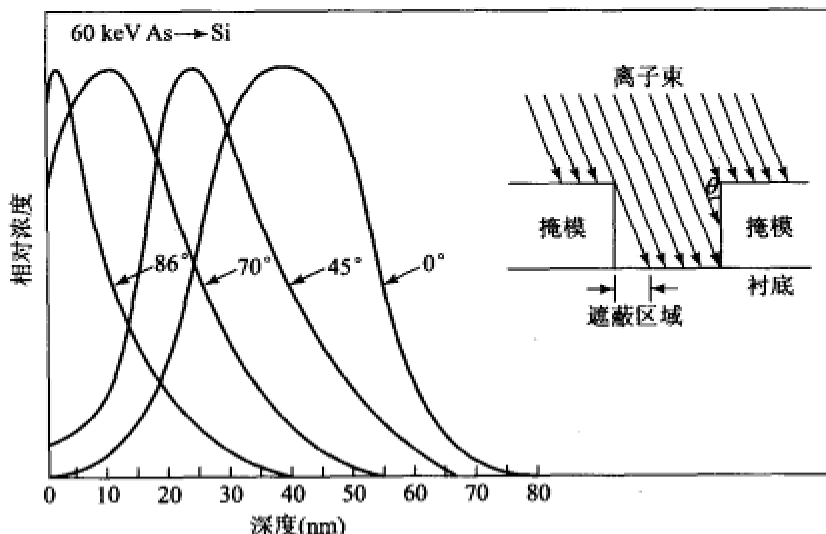


图 7-15　60keV 的砷离子注入硅中时与倾斜角度的函数关系，其中插图表示倾角离子注入形成的遮蔽区域

7.3.3　高能注入和大束流注入

能量高达 1.5 到 5MeV 的高能离子注入机非常有效，已被用于大量的新型应用之中，这大多因为它能够对半导体掺杂到几微米的深度而无需高温下长时间的扩散。还可以利用高能离子注入机制备低阻埋层。例如在 MOS 器件中表面下 1.5μm 到 3μm 的埋层，就可以用高能离子注入机获得。

工作在 25MeV 到 30MeV 范围的大束流离子注入机(10mA～20mA)，通常用于扩散技术中的预淀积，因为其总掺杂量能精确控制。预淀积后，在高温下使杂质再扩散，同时，高温退火消除了表面区的注入损伤。离子注入的另一个用途是调整 MOS 器件的阈值电压，图 7-16a 表示通过栅氧化层向沟道区注入精确控制的掺杂量(如硼离子)[11]。由于硼在二氧化硅和硅中的投影射程差不多，如果选择合适的注入能量，离子将正好穿透薄栅氧化层而不透过较厚的场氧化层。阈值电压将近似地随注入剂量线性地变化。在硼注入之后，淀积多晶硅，并刻出 MOSFET 栅极图形。去除栅极周围的薄氧化层，再做一次高剂量的砷注入以形成器件的源区与漏区，如图 7-16b 所示。

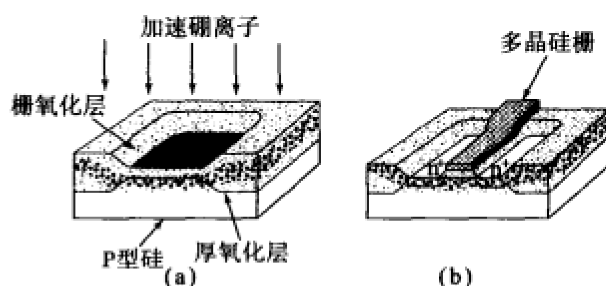


图 7-16 使用硼离子注入进行阈值电压调节[11]

目前,能量在150到200 keV范围的大束流离子注入机非常有效,这类设备的主要用途是制成高质量的硅膜,再注入氧形成二氧化硅插入层把该膜与衬底隔离开。这种注氧隔离(SIMOX)是绝缘体硅(SOI)的关键技术。

SIMOX工艺使用高能O^+离子,一般在150到200 keV的范围,这样氧离子的投影射程为100 nm~200 nm。还同时使用大剂量,即$1\sim2\times10^{18}$离子数/cm²,从而产生出100 nm~500 nm厚的绝缘层。SIMOX工艺材料的使用极大地减小了MOS器件的源/漏电容,不仅如此,还减小了器件之间的耦合作用,使得器件集成更紧凑而不会有闩锁效应的问题。结果SIMOX工艺材料被广泛认为是先进高速CMOS电路中的选择之一。

7.4 离子注入模拟

SUPREM可以用来模拟离子注入分布。使用**IMPLANT**命令可以进行注入并激活模拟分布,使用**DIFFUSION**命令进行后续的再分布扩散。SUPREM不仅拥有大部分公用掺杂剂的杂质参数,还允许用户输入不常见的掺杂剂材料的数据范围和数据统计涨落。SUPREM还可模拟多层注入。

【例3】 假设想要模拟30 keV的硼离子注入到N型〈100〉硅晶片中,注入剂量为2×10^{13}离子数/cm²。紧接着注入之后在950℃下再分布扩散60分钟。如果硅衬底的磷掺杂浓度为10^{15} cm^{-3}量级,用SUPREM确定硼杂质分布和结深。

解:SUPREM的输入指令行如下:

```
TITLE          Implantation Example
COMMENT        Initialize silicon substrate
INITIALIZE     <100>Silicon Phosphor Concentration=1e15
COMMENT        Implant boron
IMPLANT        Boron Energy=30 Dose=2e13
COMMENT        Diffuse boron
DIFFUSION      Time=60 Temperature=950
PRINT          Layers Chemical Concentration Phosphorus Boron Net
PLOT           Active Net Cmin=1e14
STOP           End implantation example
```

139
140

模拟完成之后，绘制出硼浓度与其在硅中的扩散深度的函数关系，结果如图 7-17 所示，图中结深 0.4454μm。

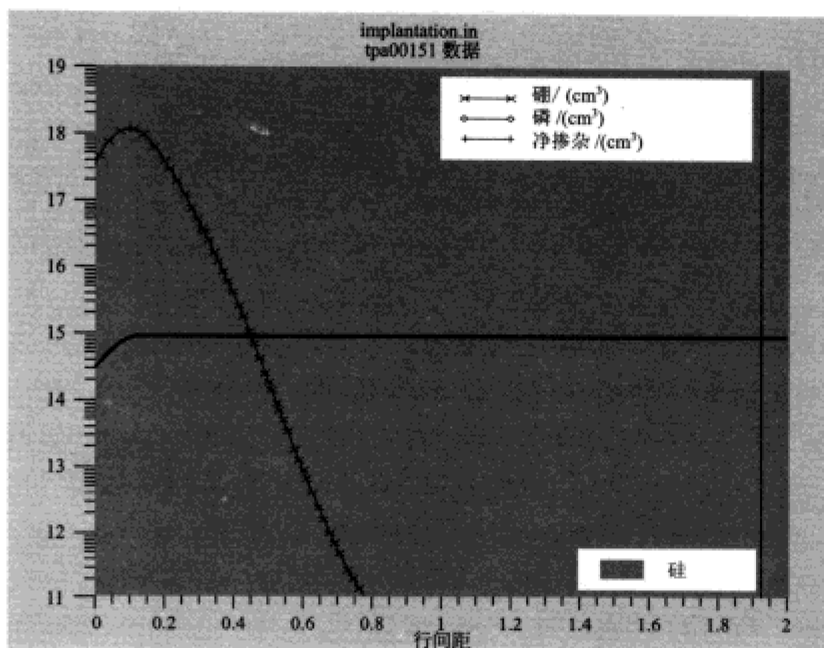


图 7-17 用 SUPREM 绘制出的硼浓度与其在硅基底中的扩散深度的函数关系

7.5 小结

离子注入是进行杂质掺杂的重要方法。离子注入的重要参数是投影射程(R_p)及其标准公差(σ_p)，σ_p也称为投影偏差。注入剖面分布可以近似成一个高斯分布，分布范围从半导体衬底表面到对应 R_p的峰值。离子注入工艺的优势在于能够更精确地控制掺杂量，掺杂分布有更多的重复性，以及比起扩散工艺具有更低的加工温度。

本章讨论了多种元素在硅和砷化镓中的 R_p和 σ_p，也讨论了沟道效应及减小该效应的方法。要想消除注入损伤，恢复活性与其他器件参数，半导体材料必须以合适的温度与时间相作用来进行退火处理。目前，快速热退火(RTA)比常规炉式退火更受重视，这是因为 RTA 能够消除注入损伤而不会使得杂质分布出现热增宽现象。

离子注入工艺已经广泛应用到先进半导体器件中了，这包括：

(1)多次注入以便形成新的分布；

(2)选用掩模材料及其厚度来阻挡给定百分比的入射离子到达衬底；

(3)高能离子注入形成埋层；

(4)预积淀、阈值调节以及 SOI 应用中形成绝缘层所要用的大束流离子注入。

参考文献

1. I. Brodie and J. J. Murray, *The Physics of Microfabrication*, Plenum, New York, 1982.

2. J. F. Gibbons, "Ion Implantation," in S. P. Keller, Ed., *Handbook on Semiconductors*, Vol. 3, North-Holland, Amsterdam, 1980.

3. S. Furukawa, H. Matsumura, and H. Ishiwara, "Theoretical Consideration on Lateral Spread of Implanted Ions," *Jpn. J. Appl. Phys.*, **11**, 134 (1972).

4. B. Smith, *Ion Implantation Range Data for Silicon and Germanium Device Technologies*, Research Studies, Forest Grove, OR, 1977.

5. K. A. Pickar, "Ion Implantation in Silicon," in R. Wolfe, Ed., *Applied Solid State Science*, Vol. 5, Academic Press, New York, 1975.

6. L. Pauling and R. Hayward, *The Architecture of Molecules*, Freeman, San Francisco, 1964.

7. D. K. Brice, "Recoil Contribution to Ion Implantation Energy Deposition Distribution," *J. Appl. Phys.*, **46**, 3385 (1975).

8. C. Y. Chang and S. M. Sze, Eds., *ULSI Technology*, McGraw-Hill, New York, 1996, Ch. 4.

9. D. H. Lee and J. W. Mayer, "Ion-Implanted Semiconductor Devices," *Proc. IEEE*, **62**, 1241 (1974).

10. G. Deamaley, et al., *Ion Implantation*, North-Holland, Amsterdam, 1973.

11. W. G. Oldham, "The Fabrication of Microelectronic Circuit," in *Microelectronics*, Freeman, San Francisco, 1977.

习题

1. 假设用 100 keV 锌离子对一片直径 100 mm 的 GaAs 晶片进行 5 分钟的均匀注入，其中离子束电流 10μA，求单位面积的离子剂量和峰值离子浓度？

2. 透过氧化层窗口用 80 keV 的硼离子注入硅形成 PN 结。如果硼的剂量是 2×10^{15} cm^{-2}，N 型衬底的浓度为 10^{15} cm^{-3}，求金相结的位置？

3. 阈值电压的调节是透过 25 nm 的栅氧化层进行的。衬底是电阻率为 10 Ω/cm 的〈100〉晶向 P 型硅。如果用 40 keV 的硼离子注入提高阈值电压 1V，求单位面积的离子注入总剂量？估算峰值离子浓度？

*4. 对于例 3 中的衬底而言，总注入剂量在硅中的百分比是多少？

5. 如果用 50 keV 的硼离子注入硅衬底中，求损伤密度？假设硅原子密度 5.02×10^{22} 原子数/cm^3，硅的移位能是 15 eV，射程为 2.5 nm，硅晶面之间的间距是 0.25 nm。

6. 解释为什么说高温 RTA 比低温 RTA 更利于无损伤浅结的形成。

142

7. 如果栅氧化层 4 nm 厚，要想把 P 沟的阈值降低 1V，求注入剂量。假设掺杂电压可调，分布峰值出现在氧化层—硅界面上，因此一半杂质进入硅中。进一步假设硅中 90%的注入离子通过退火工艺得到了电活性，这就使得 45%的注入离子可用来调节阈值。还可以假设硅中所以的这些变化在氧化层—硅界面上均有效。

8. 在亚微米 MOSFET 的源和漏区常形成 0.1μm 的重掺杂结深，比较那些能够进行杂质侵入并激活的操作方法，你推荐哪种方法，为什么？

9. 用 100 keV 的砷离子进行注入时，光致抗蚀剂厚 400 nm。求抗蚀剂阻挡离子传输（R_p = 0.6μm，σ_p = 0.2μm）的有效性。如果抗蚀剂厚度变为 1μm，求其阻掩模效率。

10. 参考例 2，要阻挡 99.999%的注入离子，SiO_2层应多厚？

11. 掺杂浓度 10^{14} cm^{-3}的〈100〉磷掺杂硅衬底进行硼注入。注入能量 30 keV 的，注入剂量 10^{13} cm^{-2}。用 SUPREM 绘制硼扩散分布。(a) 注入分布的峰值是多少？(b) 峰值深度处硼的浓度？(c) 结深？

*12. 用 SUPREM 设计一个注入步骤，要给出与第 6 章中例 3 相同的杂质分布。

第 8 章　薄膜淀积

在分离器件和集成电路制造中使用到不同种类的薄膜。可以把这些薄膜分成五大类：热氧化膜、电介质膜、外延膜、多晶态硅膜和金属膜。第 3 章讨论了热氧化膜，本章涉及其他各种淀积薄膜技术。

外延生长非常接近第 2 章中讨论的晶体生长概念，它涉及单晶半导体膜层在单晶半导体衬底上生长的问题。外延的词根是希腊词 *epi* 和 *taxis*，*epi* 的意思是“依附在……表面上”，*taxis* 的意思是“有序排列”。如果外延层和衬底材料相同的时候，即为同质外延。例如，N 型硅能够在 N^+ 型硅衬底上进行的外延生长。相反，如果外延层和衬底材料的化学属性相同但结晶结构不同，则为异质外延，例如在砷化镓上生长 $Al_xGa_{1-x}As$。

二氧化硅和氮化硅等电介质膜常用在导体层之间作绝缘材料，或用作扩散和注入的掩模材料，或用来覆盖掺杂层以防止杂质流失以及作钝化层用。多晶态硅常称多晶硅，MOS 器件中多晶硅作栅电极材料之用，而多层金属化中作导电材料之用，以及在具有浅结结构的器件中作接触材料之用。铝和硅化物等金属膜用来形成低阻互连，欧姆接触以及金属—半导体整流势垒。

本章主要涉及以下内容：

- ☐ 基本外延工艺，即在单晶半导体衬底上生长单晶半导体膜层；
- ☐ 晶格匹配和应变层外延生长的结构与缺陷；
- ☐ 形成低介电常数和高介电常数以及多晶硅膜的淀积工艺技术；
- ☐ 形成铝和铜互连的淀积工艺以及相关全局整平工艺；
- ☐ 上述这些薄膜的特征及其与集成电路工艺的兼容性。

8.1　外延生长工艺

在外延工艺中，衬底晶片起籽晶作用，如第 2 章所述外延工艺与熔体生长工艺的不同之处在于，外延层可在远低于熔点的温度下生长，温度一般要低 30%～50%。外延生长的通用工艺有化学气相淀积（CVD）和分子束外延（MBE）。

8.1.1　化学气相淀积

CVD 也称为气相外延（VPE）。在 CVD 工艺过程中通过气态化合物之间的化学反

应形成外延层。CVD 既可以在大气压下进行(APCVD),也能在低气压下实施(LPCVD)。

图 8-1 所示为三种常用的外延生长基座,按基座的几何形状分别取名为:水平型、圆盘型、桶型,所有基座都用石墨材料制成。外延炉中的基座就如同单晶炉中的坩埚,不仅为硅片提供机械支撑物,而且在感应加热器中还为反应提供热能来源。CVD 机理涉及以下几步:

(1)反应物(气体和杂质)输送到衬底区;

(2)反应物转换到衬底表面,并被就地吸收;

(3)发生化学反应,衬底表面晶化,外延层接着生长;

(4)气态生成物被排入主气流中;

(5)把反应物输送出反应腔室。

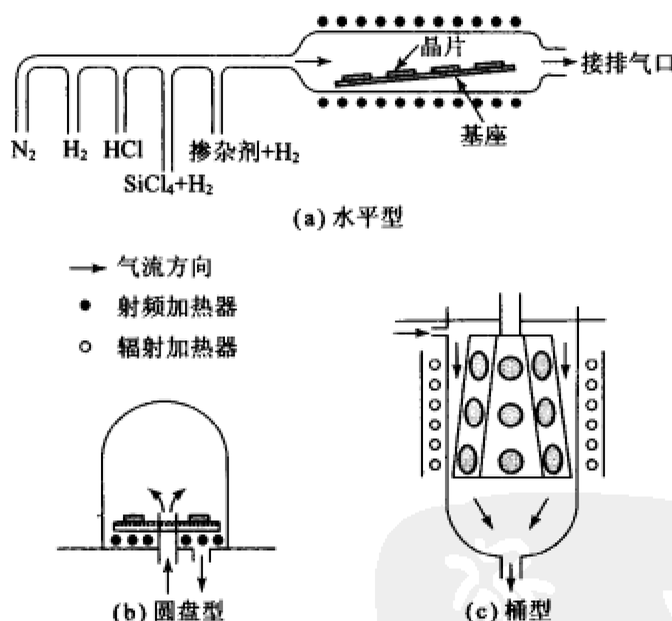


图 8-1 气相外延常用的三种基座

1. 硅 CVD

气相外延生长可用四种硅源,即四氯化硅($SiCl_4$)、二氯二氢硅(SiH_2Cl_2)、三氯氢硅($SiHCl_3$)、硅烷(SiH_4)。人们研究得最多的是四氯化硅源,并在工业中应用最广。典型的反应温度为 1200℃,由于其他硅源的反应温度较低,所以也得到了使用。每用一个氢原子替代四氯化硅中的一个氯原子,可使外延反应温度降低约 50℃。用四氯化硅生长硅外延层的总反应式为:



$$SiCl_4(\text{气体})+2H_2(\text{气体})\leftrightarrow Si(\text{固体})+4HCl(\text{气体}) \quad (8\text{-}1)$$

与反应式(8-1)同时存在的另一个竞争反应为:



$$SiCl_4(\text{气体})+Si(\text{固体})\leftrightarrow 2SiCl_2(\text{气体}) \quad (8\text{-}2)$$

因此，如果四氯化硅浓度太高，将发生硅的腐蚀而不是硅的生长。图8-2表示气体中四氯化硅的浓度对反应的影响，其由摩尔分数定义一种给定物质的分子数与总分子数之比[1]。可以看到，生长速率最初随四氯化硅浓度呈线性增加，随着四氧化硅浓度的增加，生长速率达到最大值，此后，生长速率开始下降，最后发生硅的腐蚀。通常在四氧化硅低浓度区进行硅的外延生长，如图8-2所示。

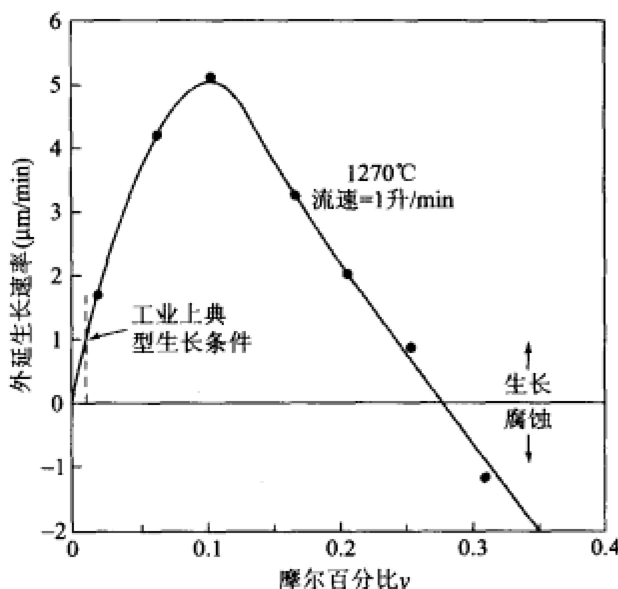


图8-2　$SiCl_4$浓度对硅外延生长的影响[1]

反应式(8-1)是可逆的，即两个方向均可发生反应。如果进入反应室的携带气体中含氯化氢，则发生腐蚀反应。实际上，常利用这种腐蚀作用在反应室内对硅片在外延生长前进行在位清洁处理。

在外延生长时，掺杂剂和四氯化硅同时导入生长系统(如图8-1a所示)，气态乙硼烷(B_2H_6)用作P型掺杂剂，磷烷(PH_3)和砷烷(AsH_3)用作N型掺杂剂。通常用氢作稀释剂，与掺杂剂混合，适当控制混合气体的流量以达到所需的掺杂浓度。图8-3示意地说明了掺砷的化学过程：砷烷在硅表面吸附、分解，并掺入生长层。图8-3还说明了表面生长机理：基质原子(硅)与掺杂原于(如砷)在表面吸附并运动到生长的边缘处[2]。为使这些吸附原子有足够的迁移率以达到它们在晶体中的合适位置，外延生长必须要有较高的温度。

146

2. 砷化镓CVD

砷化镓气相外延的基本装置与图8-1a所示相似。由于砷化镓在气化过程中易于分解为砷和镓，因此气相直接输运是不可能的。一种方法是用As_4作为砷组元，氯化镓($GaCl_3$)作为镓组元。外延生长砷化镓的总反应式为：



$$As_4 + 4GaCl_3 + 6H_2 \rightarrow 4GaAs + 12HCl \quad (8\text{-}3)$$

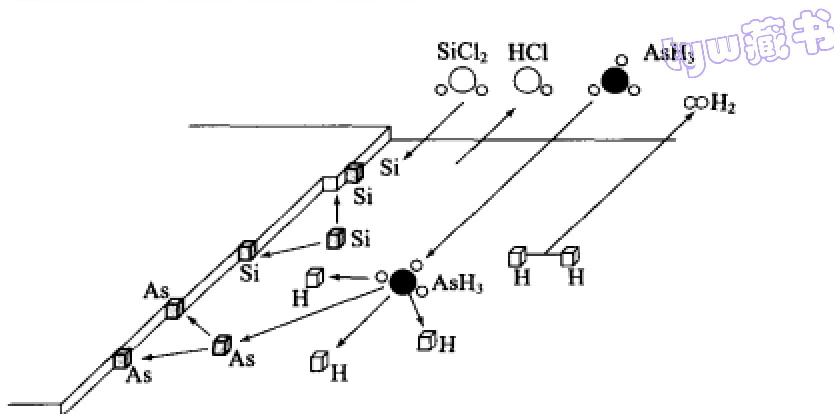


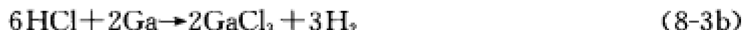
图 8-3 掺砷的硅外延生长过程示意图[2]

由砷烷(AsH_3)热分解产生 As_4：



$$4AsH_3 \rightarrow As_4 + 6H_2 \quad (8\text{-}3a)$$

氯化镓由下列反应产生：



$$6HCl + 2Ga \rightarrow 2GaCl_3 + 3H_2 \quad (8\text{-}3b)$$

反应物用携带气体(如 H_2)导入反应器。砷化镓晶片一般保持在 650～850℃的温度范围内。一定要使砷有足够的过压，以防止衬底和外延生长层的热分解。

3. 金属有机化合物 CVD

金属有机化合物 CVD(MOCVD)也是一种基于热解反应的 VPE 工艺。与常规 CVD 不同，MOCVD 是按照原始化合物的化学属性不同来进行区分。MOCVD 已广泛用来进行 III-V 族和 II-VI 族化合物的异质外延生长。

147

要生长 GaAs 材料，可以使用三甲基镓[$Ga(CH_3)_3$]等金属有机化合物作为镓组元，用砷烷(AsH_3)作砷组元，这两种化学物质以气相形式输送到反应室中，总反应式为：



$$AsH_3 + Ga(CH_3)_3 \rightarrow GaAs + 3CH_4 \quad (8\text{-}4)$$

含 Al 的化合物可以使用如 AlAs，三甲基铝[$Al(C_2H_5)_3$]等。在砷化镓外延过程中，掺杂剂以气相形式引入。对于 III-V 族化合物来说，常用二乙基锌[$Zn(CH_3)_3$]或二乙基镉[$Cd(CH_3)_3$]作 P 型掺杂剂，硫化氢作 N 型掺杂剂，也用硫和硒的氢化物或四甲基锡作 N 型掺杂剂。为了形成半绝缘层，可以用铬酰氯向砷化镓中掺铬。由于这些化合物高毒性且在空气中常会自燃，在 MOCVD 工艺过程中必须进行严格的安全管理。

图 8-4 给出了 MOCVD 反应器的示意图[3]。一般氢作为携带气体，把金属有机化合物携带输送到石英反应容器，在反应容器中与 AsH_3 混合而生成 GaAs。衬底放置在石墨支架上，用射频加热方式把衬底上方的气体加热至 600℃到 800℃诱导化学反应，则热分解反应形成 GaAs 层。使用金属有机化合物的优点在于适当低的温度下这些化合物是可挥发的，这样就避免了反应器中液态 Ga 或者 In 带来的麻烦问题。

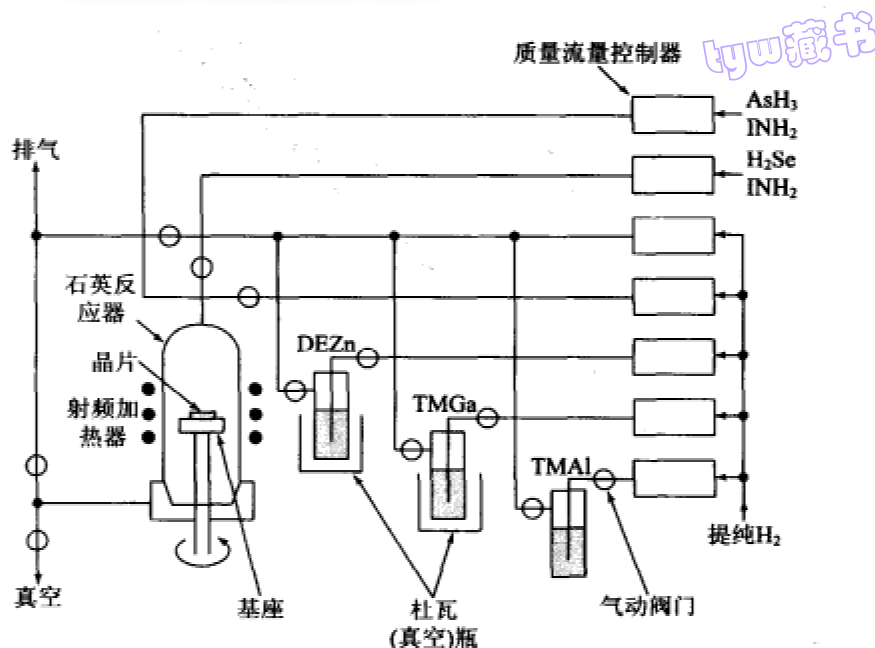


图 8-4　垂直式大气压 MOCVD 反应器的结构简图[3]。DEZn：二乙基锌[$Zn(CH_3)_2$]，TMGa：三甲基镓[$Ga(CH_3)_3$]，TMAl：三甲基铝[$Al(C_2H_5)_3$]

8.1.2　分子束外延

分子束外延(MBE)是在超高真空条件(～10^{-8} Torr)下，由一种或者几种加热原子或分子束与晶体表面进行反应生长外延层的工艺[4]。MBE 既能精确控制化学配比，也能精确控制掺杂分布，利用 MBE 可获得原子层量级的多层单晶结构。因此，MBE 方法能够精确制备从几分之一微米直到单原子层的半导体异质外延薄膜。通常 MBE 的生长速率非常低，比如砷化镓的生长速率一般只有 1μm/h。

148

图 8-5 是砷化镓及 $Al_xGa_{1-x}As$ 等其他有关的 III-V 族化合物的 MBE 生长系统简图，该系统集薄膜淀积、清洗以及原位化学特性兼容于一身。镓、砷和掺杂剂分别放在用热解氮化硼做的喷射炉内，所有喷射炉都放在超高真空(～10^{-8} Torr)室中。各个炉子的温度可调，以便获得所需的蒸发速率。衬底支架可连续旋转以获得均匀的外延层(比如掺杂浓度的变化可控制在±1%以内，厚度变化可控制在±0.5%以内)。在生长砷化镓时，要保持砷的过压，这是由于镓与砷化镓的粘附系数为 1，而对砷来说，除非砷化镓上预先淀积一层镓，否则砷与砷化镓的粘附系数为零。在硅 MBE 系统中，选用电子枪蒸发，配有一个或几个喷射炉掺杂。喷射炉的行为类似于小面积源，呈现一个 $\cos\theta$ 散射，θ 是源方向与衬底表面法线的夹角。

MBE 是一种在真空条件下进行的蒸发方法。真空技术中一个重要的参数是碰撞率，即单位时间内单位面积中有多少个分子在碰撞。碰撞率(ϕ)是分子量、温度和压力的函数。根据附录 H，碰撞率可表示如下：

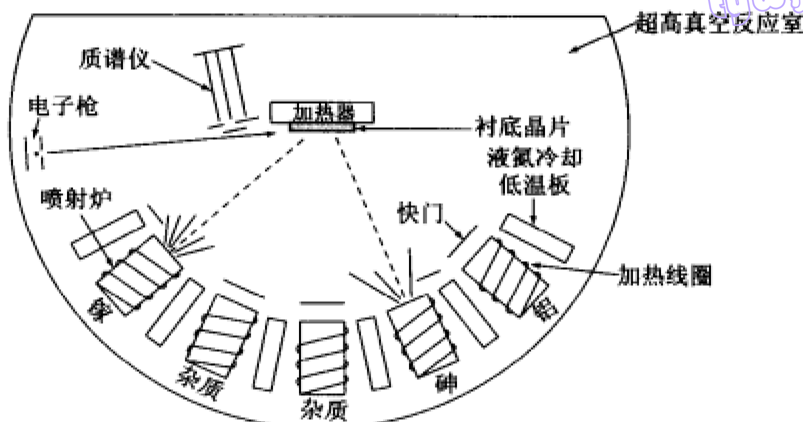


图 8-5 常规分子束外延(MBE)系统中源和衬底的布置(照片使用得到朗讯科技贝尔实验室 M. B. Panish 惠允)

$$\phi = P(2\pi mkT)^{-1/2} \tag{8-5}$$

或者:

$$\phi = 2.64 \times 10^{20} \left(\frac{P}{\sqrt{MT}}\right) \text{分子数} /\text{cm}^2 \cdot \text{s} \tag{8-5a}$$

P 是以 Pa 为单位的压强,m 是以 kg 为单位的分子质量,k 是 J/K 制中的 Boltzmann 常数,T 是以 Kelvin 为单位的温度,M 是分子量。因此,在 300 K 和 10^{-4} Pa 的压力下,氧(M=32)的碰撞率为 2.7×10^{14} 分子数/$\text{cm}^2\cdot\text{s}$。

【例 1】 在 300 K 的温度下,氧分子的直径为 3.64Å,单位面积上的分子数 N_s 是 $7.54\times10^{14}\text{cm}^{-2}$。求压力分别为 1Pa、$10^{-4}$Pa 和 10^{-8}Pa 时,制备单层氧所需时间?

解:根据碰撞率得到形成单层氧(假设 100%粘附)所需时间:

$$t = \frac{N_s}{\phi}\ \frac{N_s\sqrt{MT}}{2.64\times10^{20}P}$$

于是:

$$\begin{aligned} t &= 2.8\times10^{-4} \approx 0.28\ \text{ms} \quad (1\text{Pa 时}) \\ &= 2.8\ \text{s} \quad (10^{-4}\text{Pa 时}) \\ &= 7.7\ \text{h} \quad (10^{-8}\text{Pa 时}) \end{aligned}$$

要避免外延层受到玷污,MBE 工艺过程保持超高真空(~10^{-8} Torr)条件是极其重要的。

在分子运动时,分子间不断发生碰撞,定义分子两次相继碰撞之间所通过的平均距离为平均自由程。这是根据简单的碰撞原理而推导出。直径为 d,速度为 v 的分子在时间 δt 内通过的距离为 $v\delta t$,两个分子中心之间的距离如小于 d,将产生碰撞,因此分子将扫过(不发生碰撞时)一个直径为 $2d$ 的圆柱形区域,圆柱的体积为:

$$\delta V = \frac{\pi}{4}(2d)^2 v\delta t = \pi d^2 v\delta t \tag{8-6}$$

由于每立方厘米内有 n 个分子，平均每个分子联系相关的体积为 $1/n\ cm^3$，当圆柱体积 δV 等于 $1/n$ 时，每个圆柱体内平均还有一个分子，因此，将会发生一次碰撞。如果 $\tau=\delta t$ 为相继两次碰撞间的平均时间，则：

$$\frac{1}{n} = \pi d^2 v\tau \tag{8-7}$$

因此平均自由程(λ)为：

150

$$\lambda = v\tau = \frac{1}{\pi n d^2} = \frac{kT}{\pi P d^2} \tag{8-8}$$

更严格的推导可得：

$$\lambda = \frac{kT}{\sqrt{2}\pi P d^2} \tag{8-9}$$

对室温下的空气分子(其等效直径为 3.7Å)，平均自由程为：

$$\lambda = \frac{0.66}{P(\text{in Pa})}\text{cm} \tag{8-10}$$

因此，当系统压强为 10^{-8}Torr 时，λ 将达到 660 km。

【例 2】 设喷射炉的截面积为 $A=5\text{cm}^2$，炉口至砷化镓衬底的距离 $L=10\text{cm}$。若炉子装满砷化镓，温度为 900℃，求 MBE 的生长速率。镓原子表面密度为$6\times10^{14}\text{cm}^{-2}$，镓原子单层平均厚度 2.8Å。

解：加热砷化镓时，易挥发的砷先蒸发出来，留下富镓熔体。所以要选用图2-11中标注着富镓的曲线。900℃时镓的压强为 5.5×10^{-2}Pa，砷(As_2)的压强为 1.1Pa，用碰撞率乘以倍数 $A/\pi L^2$ 可以得到分子到达率：

$$\text{分子到达率} = 2.64\times10^{20}\left(\frac{P}{\sqrt{MT}}\right)\left(\frac{A}{\pi L^2}\right)\text{分子数}/\text{cm}^2\cdot\text{s}$$

Ga 的分子量 M 为 69.72，As_2 的分子量 M 为 74.92×2，将 P,M 及 T (1173K)值代入上式后得：

$$\begin{aligned}\text{分子到达率} &= 8.2\times10^{14}/\text{cm}^2\cdot\text{s}\quad(\text{Ga})\\ &= 1.1\times10^{16}/\text{cm}^2\cdot\text{s}\quad(\text{As}^2)\end{aligned}$$

砷化镓的生长速率由镓的到达率决定，则生长速率为：

$$\frac{8.2\times10^{14}\times2.8}{6\times10^{14}} \approx 3.8\text{A/s} = 23\text{nm/min}$$

可见分子束外延的生长速率比 VPE 的低。

MBE 有两种对表面进行在位清洁处理的方法。一种是高温烘培，使自然氧化层分解并使其他表面吸附物蒸发掉或扩散到片内。另一种方法是用惰性气体的低能离子束对表面进行溅射处理，接着用低温退火以重整表面晶格结构。

MBE 可以采用的掺杂剂种类很多(与 CVD 和 MOCVD 相比)，且掺杂浓度分布可以精确控制。但掺杂过程与气相生长过程相似：掺杂原子的蒸气流到晶格的适当位

置,并进入生长界面。调节掺杂剂流束与硅原子的流束比例(在外延硅时)或调节掺杂剂流束与镓原子的流束比例(在外延砷化镓时),可以精确控制杂质分布。也可以利用低束流低能量的离子束注入对外延层进行掺杂(参见第 7 章)。

151

MBE 的衬底温度在 400～900℃之间,生长速率为 0.001～0.3μm/min。由于使用低工艺温度及低生长速率,很多用通常 CVD 无法获得的独特的杂质分布与合金成分,可以用 MBE 制备,已经用分子束外延制备了多种新型结构,其中包括*超晶格结构*,超晶格是由交接变化的超薄外延层组成的周期性结构,其结构周期小于电子的平均自由程(例如 $GaAs/Al_xGa_{1-x}As$ 结构中各层厚度不超过 10nm),还包括异质结场效应晶体管。

在 MBE 系统中有了进一步的发展,用三甲基镓(TMG)或者三乙基镓(TEG)等金属有机化合物代替Ⅲ族元素,这种方法称为*金属有机化合物分子束外延*(MOMBE),也称为*化学束外延*(CBE),尽管非常接近 MOCVD,但仍被认为是一种特殊形式的 MBE。金属有机化合物是完全可挥发性的,可作为束流直接进入 MBE 生长反应室,而且在形成束流前是不会分解的。一般掺杂剂采用元素源,在 GaAs 外延层中,Be 产生 P 型而 Si 或者 Sn 产生 N 型。

8.2 外延层结构和缺陷

8.2.1 晶格匹配和应变层外延

对于常规的同质外延生长,单晶半导体膜层是生长在单晶半导体衬底上的。半导体膜层和衬底是有着相同晶格常数的同种材料。因此,按照定义同质外延实际上是晶格匹配的外延工艺。同质外延工艺提供了一种重要的控制杂质分布的手段,从而能对器件和电路进行优化。比如,可以在 N^+ 型硅衬底上进行外延生长得到掺杂浓度相当低的 N 型硅层膜,这种结构最终减小了与衬底相关联的串联电阻。

对于异质外延而言,外延层和衬底是两种不同的半导体材料,而且外延层必须以某种能保持理想化界面结构的方式生长。这意味着跨过界面的原子键必须是连续的。因此,两种半导体材料或是有相同的晶格常数,或是能变形接受一个公共的间距。这两种情形被分别称为*晶格匹配外延*和*应变层外延*。

图 8-6a 示意了衬底和膜层有相同结构的晶格匹配外延。一个重要的例子是 $Al_xGa_{1-x}As$ 在 GaAs 衬底上的外延生长,其中 x 介于 0 和 1 之间,$Al_xGa_{1-x}As$ 和 GaAs 晶格常数的差异小于 0.13%。

在晶格失配的情况下,如果外延层具有较大的晶格常数且可柔性伸缩,那么它在生长面上就会收缩以便和衬底间距保持一致,接着弹力迫使它在垂直于界面的方向上胀开,这种类型的结构称为应变层外延,如图 8-6b 示意说明[6]。相反,如果外延层具有较小的晶格常数,那么它就会在生长面上胀开,而在垂直于界面的方向上收缩。在上述这些应变层外延中,随着应变层厚度增加,处于扭曲原子键应力作用下的原子总数越来越多,在一些位置上,不相称的错位成为释放同质应变能的中心,相关厚度称为系

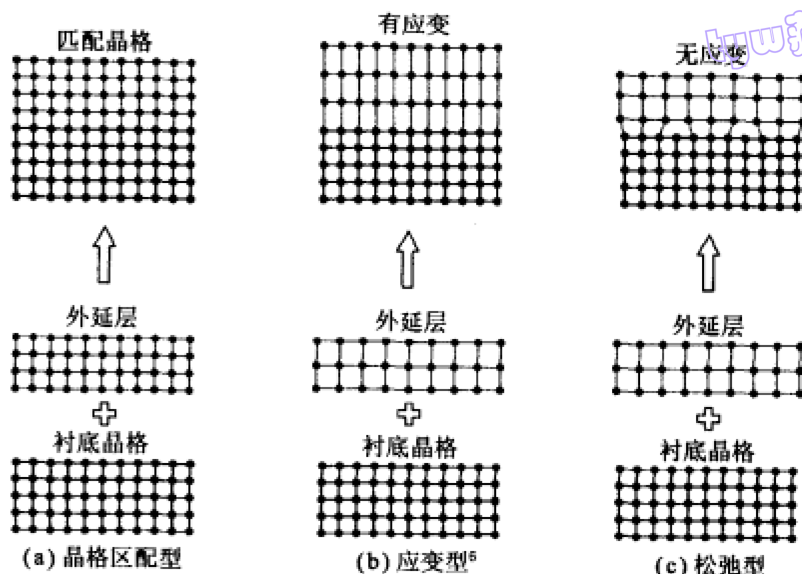


图 8-6 异质外延结构示意图

152 统的临界层厚度，图 8-6c 示意出这种在界面发生刃型位错的情况。

两种材料系统的临界层厚度表示在图 8-7 中[7]。靠上的曲线反映在硅衬底上 Ge_xSi_{1-x}的应变层外延情况，靠下的曲线反映在 GaAs 衬底上 $Ga_{1-x}In_xAs$ 的情况。例如，对于在硅衬底上的 $Ge_{0.3}Si_{0.7}$来说，最大临界层厚度是 70nm，如果膜层再增厚些，就会出现刃型位错。

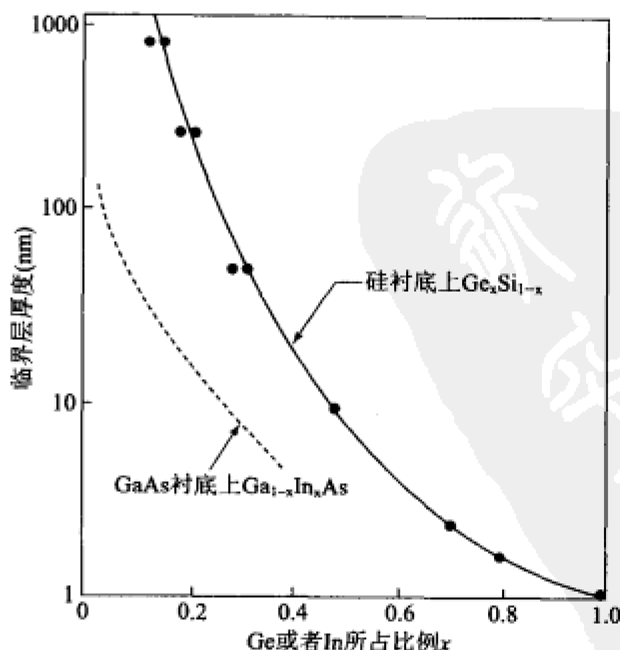


图 8-7 对于硅衬底上 Ge_xSi_{1-x}和 GaAs 衬底上 $Ga_{1-x}In_xAs$ 的无缺陷应变层外延，实验确定出的临界层厚度[7]

有一种相关的异质外延结构称为应变层超晶格(SLS)。超晶格是人造的一维周期性结构,它由不同的材料以 10nm 左右的周期构成。图 8-8 表示出由两种有着不同平衡晶格常数 $a_1>a_2$ 的半导体构成的 SLS,生长在内部公共面晶格常数为 b 的结构中,其中 $a_1>b>a_2$。对于足够薄的膜层,晶格失配作用能与膜层中的均匀应力相协调,在这种情况下,界面处不会产生不协调的位错,于是可以获得高质量的单晶材料。使用 MBE 可以生长出这种人造结构材料,这些材料为半导体研究提供了崭新的领域,特别在高速和光子应用方面,使得新型的固态器件得以问世。

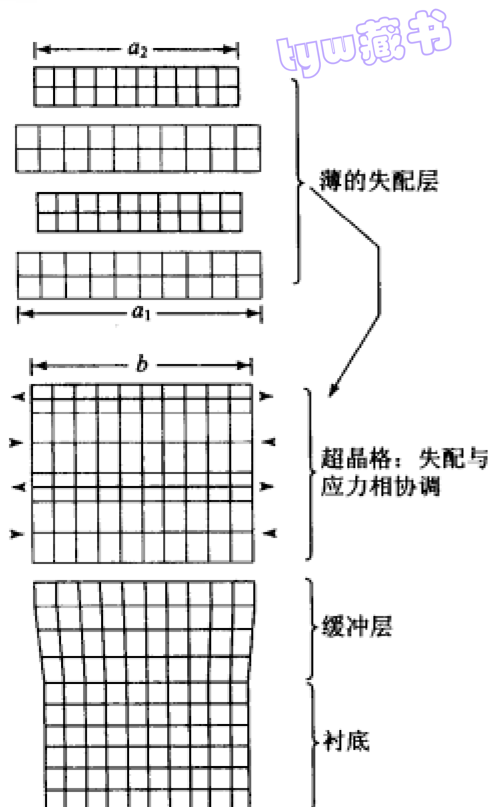


图 8-8 某种应变层超晶格的形式和组元示意图[7],图中箭头表示应力方向

8.2.2 外延层中的缺陷

外延层中的缺陷将会降低器件的性能。比如,缺陷能够导致迁移率降低或增大漏电流。外延层中的缺陷可归为以下五种类型。

(1)源于衬底的缺陷。这些缺陷可能是从衬底延伸到外延层中的,要避免这类缺陷需要有无位错的半导体衬底。 153

(2)源于界面的缺陷。在外延层和衬底界面处氧化沉积物或任何玷污,可能导致无序簇或者堆垛层错原子团的形成。这些簇和堆垛层错可能与正规原子相接合,以倒金字塔形状生长进入膜层中。要避免这类缺陷的话,必须对衬底表面进行彻底的清洗。另外还可以使用就地回刻,如反应式(8-1)所示。

(3)沉淀物或者位错环。这是由于杂质或者掺杂剂的过饱和所形成。外延层中有意或无意地容纳了很高的掺杂剂或掺杂浓度,均会导致这类缺陷。

(4)低角度晶界和孪晶。在生长过程中,外延膜中的任何失序区域可能相遇并相接合形成这类缺陷。

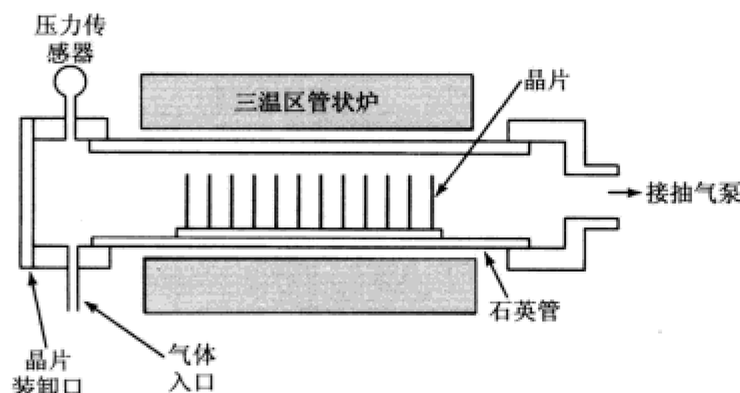
(5)刃型位错。这类缺陷在两种半导体晶格失配的异质外延中形成。如果两种晶格都是刚性的,它们将保持原来的晶格间距不变,而界面将包括几行称之为失配或者刃型位错的不饱和键原子。当外延层厚超过临界层厚度时,刃型位错也会在应变层中形成。 154

8.3　电介质淀积

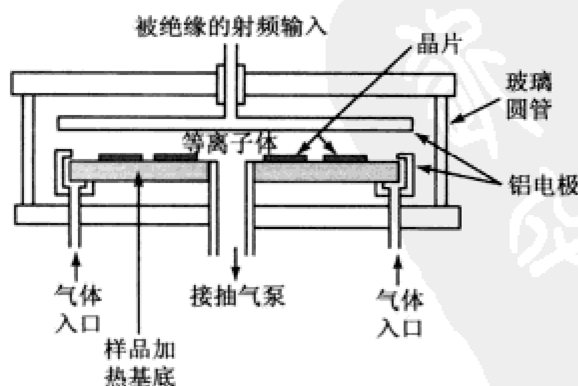
淀积的电介质膜主要用于分立器件和集成电路的绝缘和钝化。通常有三种淀积方法：常压 CVD、低压 CVD(LPCVD) 和等离子增强化学气相淀积(PECVD，或等离子淀积)。PECVD 是一种能量增强 CVD 方法，这是因为在通常 CVD 系统的热能上加上了等离子能量。在选择采用一种淀积工艺时，需考虑的因素有：衬底温度、淀积速率和膜的均匀性、表面形貌、电学和机械性能，以及电介质膜的化学组分。

常压 CVD 反应器与如图 3-2 所示的设备相似，只是所用的气体不同。图 8-9a 所示为热壁低压 CVD 反应器，石英管用三温区管状炉加热，气体由一端引入，另一端抽出，半导体晶片竖直插在开槽的石英舟上[8]。石英管壁由于靠近炉管，所以是热的，这与利用射频(rf)加热的如卧式外延炉等冷壁反应器不同。

155



(a) 热壁低压反应器



(b) 平行板等离子淀积反应器

图 8-9　化学气相淀积反应器简图

图 8-9b 为气体径向流动的平板型 PECVD 反应器，反应器由用铝制端板封口的圆

筒形玻璃或铝金属反应室构成，反应室内有两块平行铝制电极，射频电压加在上电极上，下电极接地。射频电压使平板电极间产生等离子体放电。半导体晶片置于下电极上，并用电阻加热器加热到100～400℃之间。工作气体由位于下电极周围的进气口进入，并流过放电区。这种反应器的主要优点是淀积温度低，但是，它的加工容量有限，特别在大直径晶片情况下更是如此，再则腔壁上的疏松淀积物可能落在晶片上造成玷污。

8.3.1 二氧化硅

CVD二氧化硅膜并不能代替热生长二氧化硅，因为热生长二氧化硅膜具有最佳的电学性质，CVD氧化膜与热生长氧化膜是互为补充的。不掺杂的二氧化硅膜可以用作多层金属化之间的绝缘膜和离子注入或扩散的掩模膜，或用来增加热生长场氧化物的厚度。掺磷的二氧化硅膜既可用作金属层之间的绝缘隔离，也可用作最终的钝化层。掺磷、砷或硼的氧化物有时也用来作扩散源。

156

1. 淀积方法

可以用几种方法淀积二氧化硅膜。低温淀积时(300～500℃)，用硅烷、掺杂剂与氧进行反应形成二氧化硅膜。掺磷氧化膜的化学反应为：



$$SiH_4 + O_2 \xrightarrow{450℃} SiO_2 + 2H_2 \tag{8-11}$$



$$4PH_3 + 5O_2 \xrightarrow{450℃} 3P_2O_5 + 6H_2 \tag{8-12}$$

淀积过程可以在常压CVD反应器内进行，也可以在低压LPCVD反应器内进行(图8-9a)。由于硅烷—氧反应淀积温度低，所以当需要在铝层上淀积氧化硅膜时，它是很适宜的。

在中等淀积温度(500～800℃)情况下，可以通过在LPCVD反应器内分解四乙氧基硅烷 $Si(OC_2H_5)_4$(简称TEOS)得到二氧化硅膜。TEOS由液态源蒸发并进行分解：



$$Si(OC_2H_5)_4 \xrightarrow{700℃} SiO_2 + \text{副产品} \tag{8-13}$$

结果形成 SiO_2 以及有机物和有机硅化合物等副产品混合物。由于反应要求高温，所以覆盖在铝上面的二氧化硅不能用这个方法获得，它适于用来制造要求均匀及梯次覆盖好的多晶硅栅上的绝缘层。与外延生长情况相似，反应时加入少量氢化物掺杂剂(磷化氢、砷化氢、乙硼烷)进行掺杂。

淀积速率与温度有关，按照 $\exp(-E_a/kT)$ 变化，其中 E_a 为激活能。硅烷—氧反应的 E_a 很低，对非掺杂氧化层约为0.6eV，对掺磷氧化层差不多为零。与此相反，TEOS反应的 E_a 很高，对非掺杂氧化层为1.9eV，对掺磷氧化层为1.4eV。淀积速率和TEOS的分压有关，与 $(1-e^{P/P_0})$ 成正比，其中 P 为TEOS分压，P_0 约为30 Pa。当TEOS的分压很低时，淀积速率取决于表面反应速率。当TEOS分压很高时，表面吸附的TEOS趋于饱和，淀积速率基本上与TEOS的分压无关[8]。

近来，提出了采用TEOS和臭氧(O_3)的常压低温CVD工艺[9]，如图8-10所示意。

在低的淀积温度下，这类 CVD 技术生产出一致性高、粘性低的氧化膜。如图 8-11 所示，退火时氧化膜的收缩还是臭氧浓度的函数。由于其多孔性，在超大规模集成电路工艺中，O_3-TEOSCVD 氧化物常常与等离子体氧化物一起实施整平。

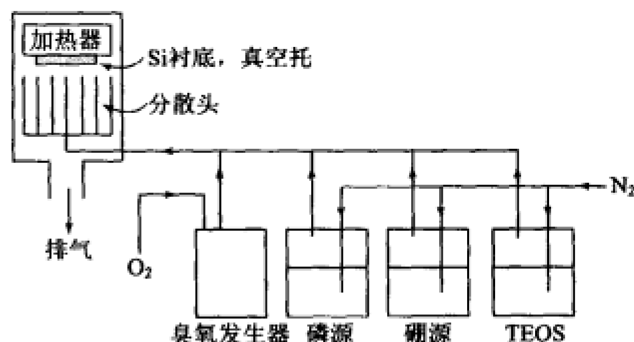


图 8-10　O_3-TEOS 化学气相淀积系统外延设备

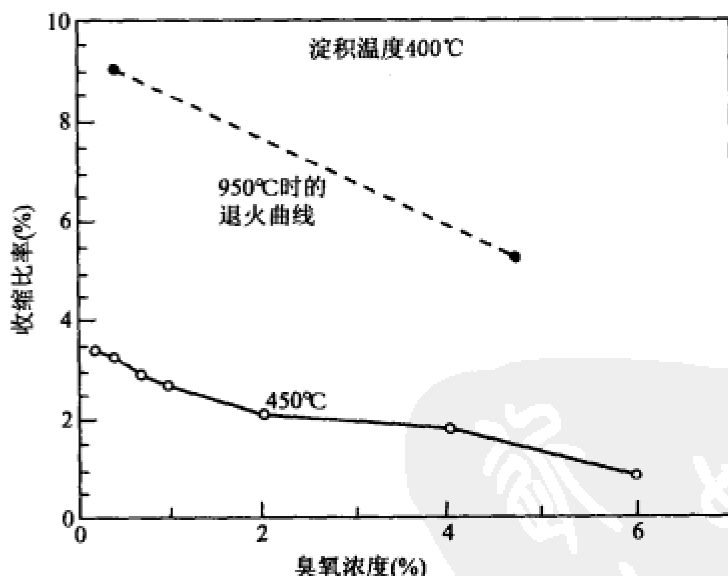


图 8-11　退火时 O_3-TEOS CVD 膜的收缩与臭氧浓度的函数关系
（此图片得到日本 SAMCO 公司惠允）

在高温(900℃)淀积情况下，二氯甲硅烷 $SiCl_2H_2$ 和氧化亚氮在低压下进行反应生成二氧化硅：



$$SiCl_2H_2 + 2N_2O \xrightarrow{900℃} SiO_2 + 2N_2 + 2HCl \quad (8\text{-}14)$$

用这种方法淀积的薄膜非常均匀，有时被用来淀积多晶硅上的绝缘膜。

2. 二氧化硅的性质

二氧化硅膜的淀积方法和性质列于表 8-1[8]。通常薄膜质量直接和淀积温度有关，在较高温度下淀积的氧化硅膜的结构与热生长二氧化硅相近。

表 8-1　二氧化硅的性质

性　　质	1000℃时 热氧化	450℃时 SiH_4+O_2	700℃时 TEOS	900℃时 $SiCl_2H_2+N_2O$
组分	SiO_2	SiO_2(H)	SiO_2	SiO_2(Cl)
密度(g/cm^3)	2.2	2.1	2.2	2.2
折射率	1.46	1.44	1.46	1.46
电介质强度(10^6 V/cm)	>10	8	10	10
刻蚀速率(Å/min) (100：1　H_2O：HF)	30	60	30	30
腐蚀速率(Å/min) (HF 缓冲液)	440	1200	450	450
梯次覆盖	—	一致性不好	一致性好	一致性好

500℃以下淀积的薄膜密度较低。将已淀积的二氧化硅膜在 600℃至 1000℃下加热可使其致密，这时氧化层厚度减小，而密度增至 2.2g/cm^3。在波长为 0.6328μm 时，二氧化硅的折射率为 1.46，折射率较低的氧化硅膜是多孔的，例如用硅烷-氧反应沉积的二氧化硅折射率为 1.44。氧化膜的多孔性也是造成介质耐电场强度低的原因，有外加电场时会使氧化膜中有大电流流过。氧化膜在氢氟酸溶液中的腐蚀速率和淀积温度、退火历史情况及掺杂浓度等因素有关，通常质量较高的氧化膜的腐蚀速率较低。

3. 梯次覆盖

梯次覆盖讲的是淀积薄膜的表面几何形貌与半导体表面的各种台阶形状的关系。图 8-12a 表示了理想的、或一致性的梯次覆盖，沿着台阶所有界面的膜层厚度是均匀的，不论表面几何形状如何，反应淀积物在台阶表面吸附后迅速迁移，才能使薄膜厚度均匀[10]。

图 8-12b 表示出一个非一致性的台阶覆盖例子，这是由于反应淀积物在吸附，反应时没有显著的表面迁移。在这种情况下，淀积速率正比于气体分子的到达角度，反应物可以从不同角度到达上水平表面，到达角 ϕ_1 在二维方向内从 0°至 180°变化，而反应物到达垂直侧壁上部的到达角 ϕ_2 只在 0°至 90°内变化，因此，上表面的薄膜厚度是侧壁的两倍。在最底部，ϕ_3 与开口宽度有关，薄膜厚度正比于：

$$\phi_3 \cong \arctan\frac{W}{l} \qquad (8\text{-}15)$$

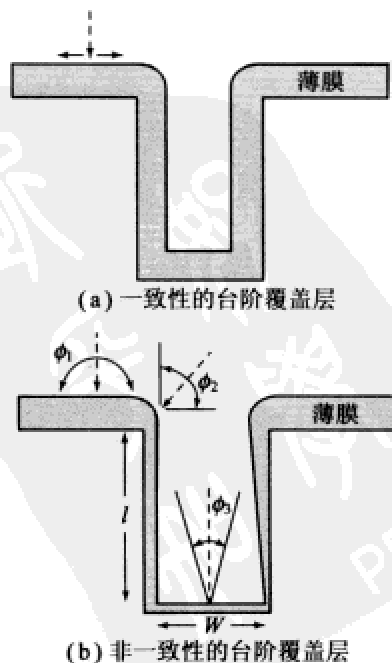


图 8-12　淀积薄膜的台阶覆盖[10]

158~159

式中，l 为上表面到底部的距离，W 为开口宽度。对这种类型的台阶覆盖，垂直侧壁覆盖层较薄，由于自遮蔽效应台阶底部的薄膜可能断裂。

用 TEOS 低压分解形成的二氧化硅，由于在表面迅速迁移，因此生成近乎一致性的覆盖层。同样，高温二氯甲硅烷—氧化亚氮反应也形成一致性覆盖层。可是，硅烷—氧反应淀积时不发生表面迁移，因而台阶覆盖只取决于到达角。大多数蒸发或溅射材料形成的台阶覆盖层也和图 8-12b 相似。

4. 磷硅玻璃回流

用淀积二氧化硅作金属层之间的绝缘介质时，通常要求二氧化硅有光滑的表面形状，如果覆盖在下金属层上的氧化硅膜有凹坑，则淀积上金属层时可能产生断路，造成电路失效。因为低温下淀积的掺磷二氧化硅（磷硅玻璃），加热时会变软流动，形成光滑表面，所以常用磷硅玻璃作为金属层之间的绝缘物。此工艺称为**磷硅玻璃回流**。

图 8-13 所示为四张扫描电子显微镜拍摄的照片，它们是覆盖在多晶硅台阶上的磷硅玻璃的截面图[10]。样品均在 1100℃ 的水气中加热 20 分钟。图 8-13a 表示样品磷硅玻璃中磷含量几乎为零，不发生回流，可以看到薄膜有凹坑，相应的角（θ）约为 120°。图 8-13b，图 8-13c，图 8-13d 表示逐渐增加磷硅玻璃的含磷量，一直到含磷 7.2 %（质量百分比），从图可见，磷硅玻璃层台阶角度逐渐变小，说明随着含磷浓度的增加，回流加强。磷硅玻璃回流取决于退火时间、退火温度、磷含量以及退火气氛[10]。

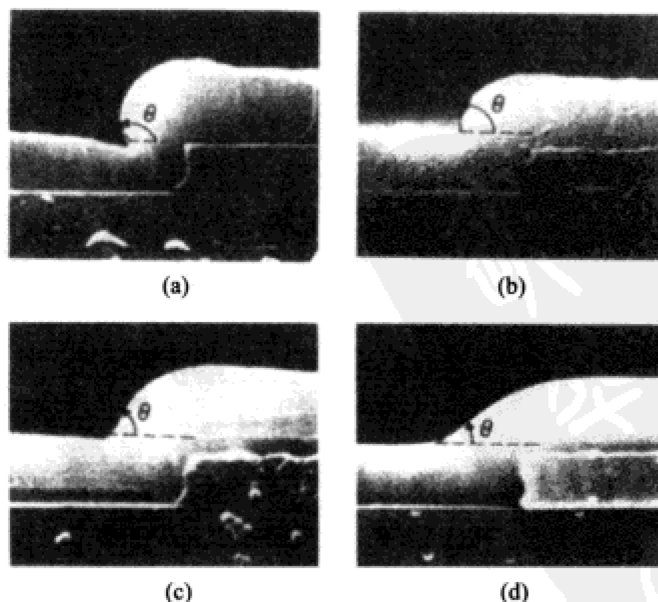


图 8-13　样品在 1100℃ 水气中退火 20 分钟后的扫描电子显微镜照片（放大 10 000 倍）[10]，含磷质量百分比分别为：(a) 0%，(b) 2.2%，(c) 4.6%，(d) 7.2%

图 8-13 所示的角度 θ 与含磷质量百分比之间的关系可近似表示为：

$$\theta \cong 120^\circ \left(\frac{10-\text{质量百分比}}{10}\right) \tag{8-16}$$

如果我们要求 θ 角小于 45°，则含磷浓度必须大于 6%（质量百分比）。但是当含磷重量百分比大于 8%时，金属膜（例如铝膜）可能会受到酸的腐蚀，这些酸是氧化层中的磷与气氛中的水气发生反应所产生的。因此，回流工艺所用磷硅玻璃的磷含量应在 6%～8%（重量百分比）之间。

8.3.2 氮化硅

用热氮化物（例如使用氨，NH_3）的方法很难实现氮化硅生长，因为不仅生长速率慢而且要求非常高的生长温度。然而，可用中等温度（750℃）LPCVD 方法或低温（300℃）等离子增强 CVD 方法淀积[11,12]。LPCVD 薄膜具有如（Si_3N_4一样）密度高（2.9g/cm^3～3.1g/cm^3）的理想化学特性，因为它们能有效地阻挡水和钠离子的扩散，所以常用于钝化器件。氮化硅的氧化很慢，而且可以防止膜下面的硅氧化，所以 LPCVD 淀积的氮化硅膜也可作为硅的选择氧化掩模。用等离子增强 CVD 法淀积的薄膜不是理想化学配比的，密度较低（2.4g/cm^3～2.8g/cm^3），但由于淀积温度低，可以在器件完全制成后进行淀积，因此可以来作器件最终的钝化膜。等离子淀积的氮化硅膜具有很强的抗划伤保护能力，可作为防潮膜，还能阻挡钠离子的扩散。

160

在 LPCVD 工艺中，利用二氯甲硅烷与氨在低压下进行反应淀积氮化硅，淀积温度在 700℃和 800℃之间，反应式为：



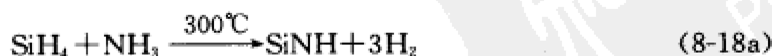
$$3SiCl_2H_2 + 4NH_3 \xrightarrow{\sim 750^\circ C} Si_3N_4 + 6HCl + 6H_2 \tag{8-17}$$

161

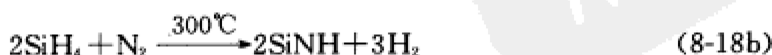
薄膜均匀性好、产量（即每小时加工的片数）高是低压工艺的优点。与二氧化硅的淀积情况一样，氮化硅的淀积受温度、压力及反应剂浓度的控制，淀积的激活能约为 1.8eV，淀积速率随总压强或二氯甲硅烷分压的增加而增加，且随氨与二氯甲硅烷比值的增加而减小。

LPCVD 法淀积的氮化硅为非晶电介质，含氢量可高达 8 原子百分比。在缓冲氢氟酸溶液中的腐蚀速率小于 1Å/min，薄膜具有非常高的张应力，约为 10^{10} 达因/cm^2，几乎为 TEOS 法淀积的 SiO_2 张应力的 10 倍。由于应力很高，所以薄膜厚度超过 200nm 就可能破裂。室温下氮化硅的电阻率约为 10^{16} Ω/cm，介质常数为 7，介电强度是 10^7 V/cm。

在等离子增强 CVD 工艺中，氮化硅可用硅烷与氨在氢等离子体中反应形成，或用硅烷在氮气放电中形成。其反应过程如下：



$$SiH_4 + NH_3 \xrightarrow{300^\circ C} SiNH + 3H_2 \tag{8-18a}$$



$$2SiH_4 + N_2 \xrightarrow{300^\circ C} 2SiNH + 3H_2 \tag{8-18b}$$

生成物与淀积条件关系很大。这种氮化硅薄膜用径向气流平板式反应器（如图

8-9b 所示）淀积，淀积速率一般随温度、输入功率和反应剂气体压强的增加而增高。

用等离子 CVD 法制备的薄膜内含有大量氢。半导体工艺中所用的等离子体氮化物（也称作 SiN）通常含有 20%～25%的氢。用等离子淀积法制备的氮化硅膜的张应力很低（～ 2×10^9 达因/cm^2），电阻率和硅化氮的比值有关，在 10^5 Ω/cm～10^{21} Ω/cm范围内，介电强度在 1×10^6 V/cm～6×10^6 V/cm 之间。

8.3.3 低介质常数材料

随着器件尺寸继续缩小进入到深亚微米区域，则要求采用多层互连结构来减小由寄生电容（*C*）和电阻（*R*）产生的时延。如图 8-14 所示，由于 *RC* 时间常数的增加金属互连线存在传输延迟，这个延迟减弱了器件门级速度的增益。例如栅长度 250nm 或者更小的器件，接近 50%的时延是由相对长的互连线 *RC* 延迟所致[13]。因此，在确定器件的性能特性，如工作速度、串扰和 ULSI 电路功耗等方面，器件的互连网络成为制约因素。

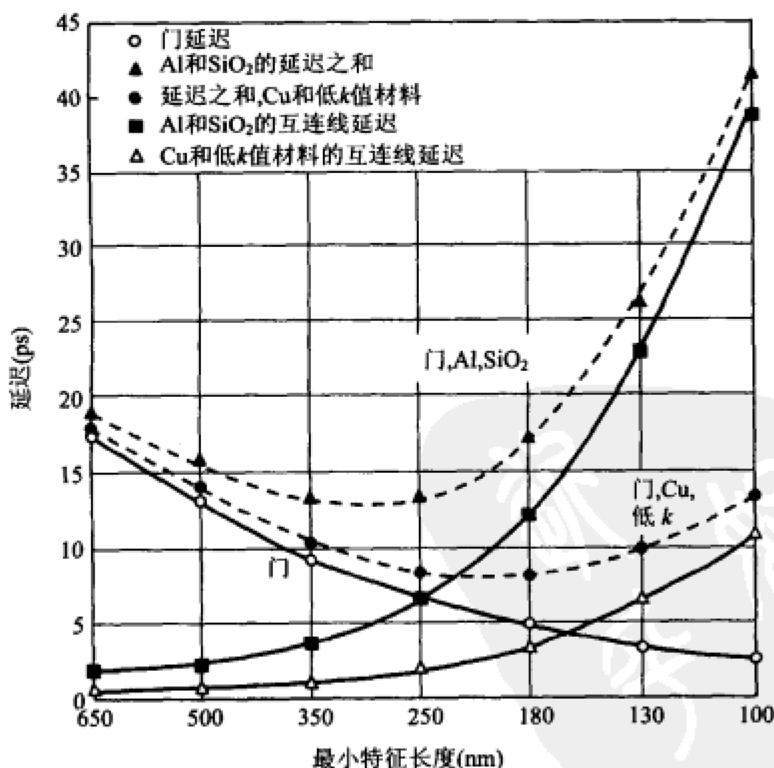


图 8-14 栅和互连延迟计算值与技术发展的关系。低 *k* 值材料的介质常数是 2.0，Al 和 Cu 互连线均厚 0.8μm，长 43μm

减小 ULSI 电路的 *RC* 时间常数要求采用低电阻率的互连材料和低电容的夹层结构。可以看到：$C=\varepsilon_i A/d$，其中 ε_i 是介质介电常数，*A* 是面积，*d* 是介质膜的厚度。

我们来考虑低电容的问题，通过增厚夹层介质（这样做会使得间隙填补更加困难），或者减小引线的厚度和面积（这样做会导致互连电阻增大），都不能容易地降低寄生电容。因此，要求采用低介质常数（低 k 值）的材料，介电常数等于 k 和 ε_0 的乘积，其中 k 和 ε_0 分别是介质常数和真空中的介电常数。

夹层介质膜的属性及其如何制备都得面对下列要求：低介质常数，低残余应力，高平整能力，高间隙填补能力，低淀积温度，工艺简单，以及容易集成。大量的低 k 值材料已经合成出来用作 ULSI 电路中的夹层介质膜。一些标称为低 k 值的材料列在表 8-2 中，这些材料既有无机物也有有机物，既能使用 CVD 技术淀积也能适合旋转涂敷工艺[13]。

162

表 8-2 低 k 值材料

	材　料	介质常数
气相淀积聚合物	氟硅酸盐玻璃（FSG）	3.5～4.0
	聚对二甲苯 N	2.6
	聚对二甲苯 F	2.4～2.5
	黑金刚石（掺 C 氧化物）	2.7～3.0
	氟化烃	2.0～2.4
	聚四氟乙烯-AF	1.93
旋转涂敷聚合物	HSQ / MSQ	2.8～3.0
	聚酰亚胺	2.7～2.9
	SiLK（芳烃聚合物）	2.7
	PAE（聚芳醚）	2.6
	氟化非晶炭	2.1
	干凝胶（多孔硅）	1.1～2.0

163

【例 3】 求两根截面为 0.5μm×0.5μm 长 1mm 的平行 Al 引线的本征 RC 值。已知：分开这两根 Al 引线的聚酰亚胺（k～2.7）介质层厚 0.5μm，电阻率 2.7Ω/cm。

解： 令 t_m 表示引线截面边长，电阻等于 ρl 除以引线截面面积，则：

$$RC = \left(\rho \frac{l}{t_m^2}\right) \times \left(\varepsilon_i \frac{A}{\text{间距宽度}}\right)$$

$$= \left(2.7 \times 10^{-6} \times \frac{10^{-1}}{0.25 \times 10^{-8}}\right) \times \left(8.85 \times 10^{-14} \times 2.7 \times \frac{0.5 \times 10^{-4} \times 10^{-1}}{0.5 \times 10^{-4}}\right)$$

$$= 2.57\text{ps}$$

8.3.4 高介质常数材料

超大规模集成电路中还需要高 k 值材料，特别是在动态随机存储器（DRAM）电路中。正常工作时 DRAM 中的存储电容器必须保持一个电容值（例如 40 fF）。对于给定的电容值，选择最小的 d 值时要符合最大允许漏电流和最小击穿电压的要求。调节电容面积可以采用堆叠或者沟槽结构来提高，这些结构在第 9 章中讨论。但是对于平面结构而言，单元面积是随着 DRAM 密度的上升而下降的。因此必须提高膜层的介质常数。

已经提出几种高 k 值材料，如钛酸钡锶（BST）和钛酸铅锌（PZT）。这些材料列在表 8-3 中。另外还有掺有一二种碱土金属等受主材料的钛酸盐，或者是掺有一二种稀土元素等施主材料。氧化钽（Ta_2O_5）的介质常数在 20 到 30 之间的范围，与此相对照，Si_3N_4 的介质常数在 6 到 7 之间的范围，而 SiO_2 的是 3.9。可以用气态的 $TaCl_5$ 和 O_2 作原料使用 CVD 工艺淀积 Ta_2O_5 薄膜。

164

表 8-3　高 k 值材料

	材　　料	介质常数
二元材料	Ta_2O_5	25
	TiO_2	40
	Y_2O_3	17
	Si_3N_4	7
顺电钙钛矿	$SrTiO_3$（STO）	140
	$(Ba_{1-x}Sr_x)TiO_3$（BST）	300～500
	$Ba(Ti_{1-x}Zr_x)O_3$（BZT）	300
	$(Pb_{1-x}La_x)(Zr_{1-y}Ti_y)O_3$（PLZT）	800～1000
	$Pb(Mg_{1/3}Nb_{2/3})O_3$（PMN）	1000～2000
铁电钙钛矿	$Pb(Zr_{0.47}Ti_{0.53})O_3$（PZT）	>1000

【例 4】 DRAM 中的电容器参数如下：$C=40$ fF，单元电容尺寸（A）$=1.28\mu m^2$，$k=3.9$ 的二氧化硅。如果用 Ta_2O_5（$k=25$）代替 SiO_2 但不改变厚度，求等效单元的电容面积？

解：

$$C=\frac{\epsilon_i A}{d}$$

则：

$$\frac{3.9\times1.28}{d}=\frac{25\times A}{d}$$

于是，等效单元的电容尺寸为：

$$A=\frac{3.9}{25}\times1.28=0.2\mu m^2$$

8.4　多晶硅淀积

利用多晶硅作 MOS 器件的栅极是 MOS 电路工艺的最大发展。一个重要的原因是，在可靠性方面多晶硅电极优于金属铝。图 8-15 所示为分别用多晶硅和铝作电极时电容器的最大击穿时间[14]，很明显，多晶硅远比铝优越，尤其是在栅氧化层较薄时更是如此。多晶硅也可用作扩散源以制作浅结，并能保证和硅晶体形成欧姆接触，多晶硅还可以用作制作高值电阻器及导体。

165

可以用图 8-9a 所示的低压反应器在 600℃到 650℃之间用硅烷热分解淀积多晶硅，反应式如下：



$$SiH_4 \xrightarrow{600℃} Si + 2H_2 \qquad (8-19)$$

有两种最常用的低压工艺，一种是用100%的硅烷，工作压强25～130Pa。另一种是用氮气将硅烷稀释，硅烷含量为20%到30%，总压强也是25～130Pa。这两种方法均能淀积多晶硅，每炉可淀积数百片晶片，均匀性很好（膜厚偏差在±5%以内）。

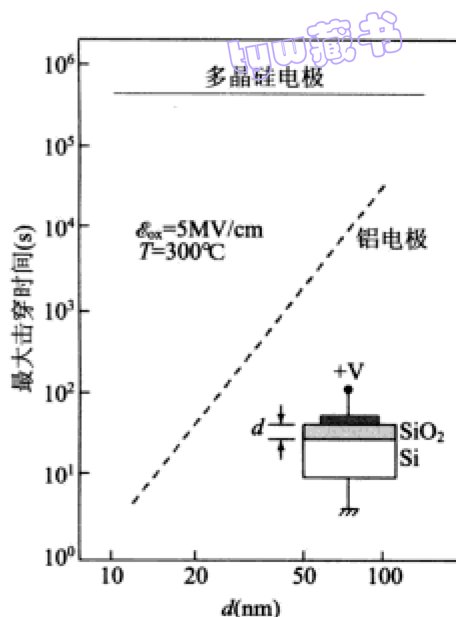


图 8-15 用多晶硅电极和铝电极时最大击穿时间与氧化层厚度的关系[14]

图8-16画出了四种淀积温度下的淀积速率。当硅烷的分压比较低时，淀积速率和硅烷压强成正比[8]。硅烷浓度较高时，淀积速率趋于饱和。低压淀积的温度一般限制在600℃到650℃之间，在这个温度范围内，淀积速率随 exp（$-E_a/kT$）而变化，其中激活能 E_a 为1.7eV，基本上与反应器内总压强无关。温度较高时，气相反应变得显著，这时的淀积膜表面粗糙结合不牢，而且硅烷将被耗尽，使均匀性变差。温度远低于600℃时，淀积率太小，无实用意义。

影响多晶硅结构的工艺参数是淀积湿度、掺杂剂，以及淀积后的热处理过程。多晶硅在600℃到650℃的温度下淀积时，形成柱状结构，这种结构是由0.03μm～0.3μm大小的多晶晶粒所组成的，其择优取向为（110）。当在950℃扩磷后，结构变成晶状，晶粒尺寸变大，平均为0.5μm～1.0μm。氧化时，当温度增高到1050℃，晶粒最终可达1μm～3μm。虽然600℃以下淀积的薄膜最初呈非晶态，但在掺杂及加热后也观察到类似上述的晶粒生长特性。

166

多晶硅可用扩散、离子注入，或在淀积过程中同时加入掺杂剂气体进行掺杂，最后一种方法也称为原位掺杂。由于离子注入的工艺温度低，所以是最常用的方法。图8-17表示多晶硅方块电阻与磷和锑离子注入剂量的关系[15]，离子注入工艺参见第7章。注入剂量、退火温度、退火时间都能影响多晶硅的方块电阻。晶粒间界处的陷阱会使注入剂量较高的多晶硅仍有很高的电阻，如图8-17所示，当载流子陷阱被掺杂剂填满后，电阻就很快下降，接近于用离子注人掺杂的单晶硅电阻值。

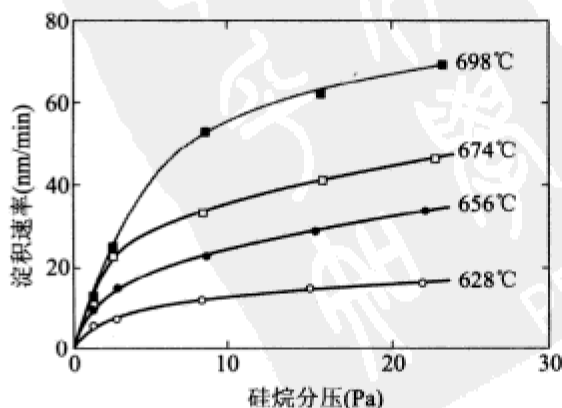


图 8-16 硅烷浓度对多晶硅淀积速率的影响[8]

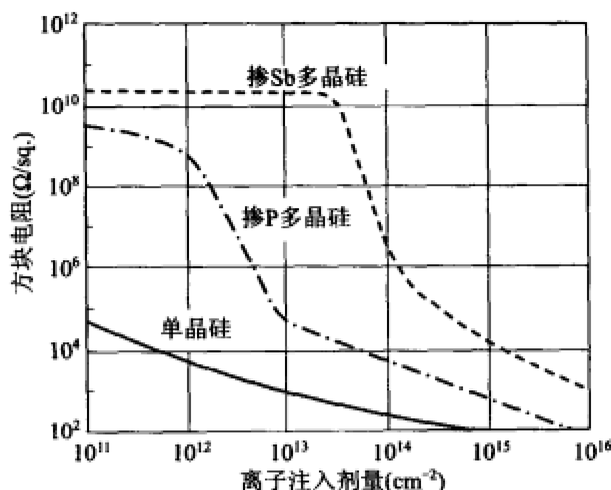


图 8-17 注入电压 30keV 时 500 nm 多晶硅方块电阻与离子注入剂量的关系[15]

8.5 金属化

8.5.1 物理气相淀积

最常用的金属物理气相淀积（PVD）方法有：蒸发，电子束蒸发，等离子体喷涂淀积和溅射。Ti、Al、Cu、TiN 和 TaN 等金属和金属化合物可以用 PVD 方法淀积。在抽真空室内加热源材料超过其熔点时就发生蒸发，被蒸发的原子沿直线轨迹作高速运动。可以用电阻加热、射频加热，或是汇聚电子束的方式来熔化蒸发源。蒸发和电子束蒸发广泛应用于早期的集成电路制造中，但在 ULSI 电路制造中已被溅射所替代。

在离子束溅射中，离子源被加速后撞击靶面，图 8-18a 所示为标准的溅射系统。溅射出的材料淀积在对着靶的晶片表面上。离子的电流和能量可以独立调节。由于晶片和靶都放置在低气压的腔室内，更多的靶材被输送到晶片，玷污也更少。

提高离子密度，也因此提高溅射淀积速率的一种方法，就是使用第 3 个电极来为离子化提供更多的电子。另一种方法是使用电子回旋共振（ECR）等磁场捕获并旋转电子，增加溅射靶附近的离子化效率，这种工艺因此也被称作磁控溅射，已广泛用于铝及其合金的淀积应用之中，淀积速率达到 1μm/min。

长抛溅射是另一种用来控制溅射分布角度的淀积工艺。图 8-18b 所示为长抛溅射系统。在标准溅射配置中，入射离子流在晶片表面出现宽角度的分布有两个主要原因：一是使用了短的靶—衬底间距 d_{ts}；二是当离子流向靶运动时被工作气体分散开来。这两个原因是相辅相成的，因为当存在较强的气体分散时小的 d_{ts}值才能使得溅射有良好的成品率、均匀性和薄膜特性。解决问题的一种方案是在低气压下进行溅

射，已具备能够在更稀薄的气压下运用多种系统维持磁控等离子体的能力。这些系统能保证在小于 0.1Pa 的气压下进行溅射，在这种气压下，气体的分散作用不突出了，靶—衬底间距可以大幅度拉长。那么，单从几何角度来看，溅射的角度分布就会变得很窄，这样能够使得如接触孔等高纵横比图形的底部得到更多的淀积。

纵横比较高的接触孔是很难被溅射材料填满的，这主要是因为在一定数量的材料淀积到孔的底部之前，分散现象使得敞开的孔口被封住了。这个问题可以通过对溅射原子进行准直校准来克服，准直校准管阵列放在晶片上方，把淀积离子流限制在偏差±5°的范围内。配置准直校准器的溅射如图 8-18c 所示，其轨迹偏离超过 5°的溅射原子均淀积在准直校准器的内壁上。

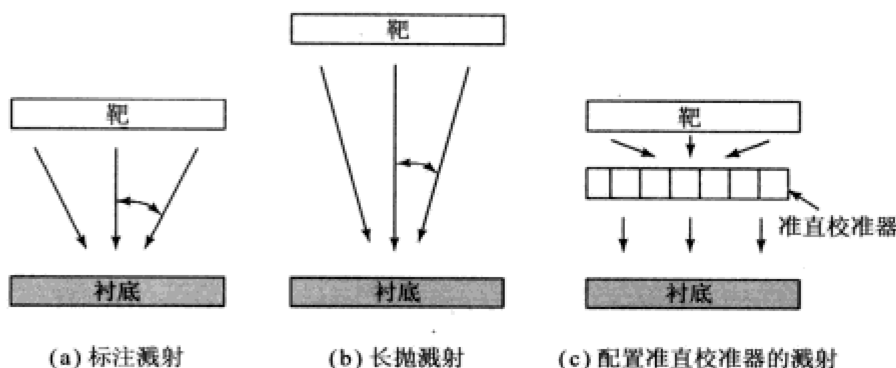


图 8-18 离子束测射示意图

8.5.2 化学气相淀积

在金属化工艺中，化学气相淀积（CVD）是最有吸引力的，这是因为 CVD 能形成有良好一致性的台阶覆盖层，而且能同时进行大批量的淀积。CVD 的基本装置与淀积电介质膜和多晶硅膜的装置相似（如图 8-9a 所示）。低压 CVD 在硅片表面形貌差别很大的情况下，也能得到一致性的台阶覆盖层，而且薄膜电阻率也比 PVD 的低。

在集成电路生产中，CVD 金属淀积的主要的新应用领域之一是淀积难熔金属。例如，钨的低电阻率（5.3μΩ/cm）及其难熔的性质，使其成为集成电路制造中很理想的金属。

1. CVD 钨

钨既可作接触孔插塞又可作第一层金属使用。由于 WF_6 这种液体在室温下就能沸腾，可用 WF_6 作气源淀积钨，WF_6 能够被分解成硅、氢和硅烷。CVD W 的基本化学反应式如下：



$$WF_6 + 3H_2 \longrightarrow W + 6HF \text{（氢还原反应）} \quad (8\text{-}20)$$



$$2WF_6 + 3Si \longrightarrow 2W + 3SiF_4 \text{（硅还原反应）} \quad (8\text{-}21)$$



$$2WF_6 + 3SiH_4 \longrightarrow 2W + 3SiF_4 + 6H_2 \text{（硅烷还原反应）} \quad (8\text{-}22)$$

一旦遇到硅，反应从硅还原反应开始，这个反应不是在 SiO_2 而是在 Si 上长出 W 的成核层。氢还原反应能够在成核层上迅速淀积 W，从而形成钨插塞。氢还原反应产生了具有极好一致性的台阶覆盖层，当然，这个反应也不是完美无缺的选择，反应中的副产物 HF 气体会侵蚀氧化层，也就同时使得淀积的 W 膜表面粗糙。

硅烷还原反应具有高的钨淀积速率，产生的 W 晶粒尺寸略小于氢还原反应所得到的。此外，由于没有 HF 副产物的产生，消除了侵蚀氧化层和 W 膜表面粗糙的问题。通常在淀积 W 覆盖层的过程中首先进行硅烷还原反应，这样所形成的成核层减少了对结的危害。在完成硅烷还原反应之后，采用氢还原反应生长 W 覆盖层。

2. CVD TiN

在金属化过程中，TiN 广泛用作金属扩散阻挡层，可以通过对混合物靶进行溅射或是 CVD 的方法淀积成膜。在深亚微米技术中，CVD TiN 能产生比 PVD 方法更好的台阶覆盖。可以用 $TiCl_4$ 与 NH_3，H_2/N_2 或者 NH_3/H_2 进行反应得到 CVD TiN 薄膜：



$$6TiCl_4 + 8NH_3 \longrightarrow 6TiN + 24HCl + N_2 \quad (8\text{-}23)$$



$$2TiCl_4 + N_2 + 4H_2 \longrightarrow 2TiN + 8HCl \quad (8\text{-}24)$$



$$2TiCl_4 + 2NH_3 + H_2 \longrightarrow 2TiN + 8HCl \quad (8\text{-}25)$$

NH_3 的还原反应温度约 400℃到 700℃，而 H_2/N_2 反应时为 700℃略高。淀积温度越高，TiN 成膜质量越好，混在 TiN 中的 Cl 也越少（～5%）。

8.5.3 铝的金属化

铝及其合金被广泛应用在集成电路金属化中，可采用 PVD 或者 CVD 的方法淀积 Al 膜。因为铝及铝合金有很低的电阻率（铝为 2.7μΩ/cm，铝合金可达 3.5μΩ/cm），能满足金属化低电阻的要求，铝也能很好地附着在二氧化硅上。但是，将铝用在浅结集成电路中时，常常产生尖锲及电迁移现象。在这一节中，我们将讨论铝金属化的问题及其解决措施。

1. 结的尖锲现象

图 8-19 示出一个大气压下的 Al-Si 系相图[19]。相图表示两种组分与温度的关系。[169] Al-Si 系具有低共熔特性，即两种组分的组合使系统的熔点降到比其中任何一种金属的熔点都低，熔融温度的最小值称为共熔温度。Al-Si 系的共熔温度为 577℃，相应的组分配比为 11.3% 的 Si 和 88.7% 的 Al，纯铝和纯硅的熔点分别为 660℃及 1412℃。由于有低共熔特性，淀积铝的时候硅衬底的温度必须限制在 577℃以下。

图 8-19 的插图中还表示了硅在铝中的固溶度，例如，400℃时硅在铝中的固溶度为 0.25%，450℃为 0.5%，500℃为 0.8%。因此，只要铝接触硅，在退火时硅将溶于铝中，硅的溶解量不仅和退火温度时的固溶度有关，还和铝体积有关，对此铝体积，硅将溶解直至饱和。考虑图 8-20 所示情况，一长条金属铝和硅接触，接触面积为 ZL，经过退火时间 t 后，硅将沿着铝层扩散一段距离，从接触窗口边缘算起，这段距离近似为 $\sqrt{Dt}$，其中 D 为扩散系数，硅在淀积铝膜中的扩散系数是 4×10^{-2} exp

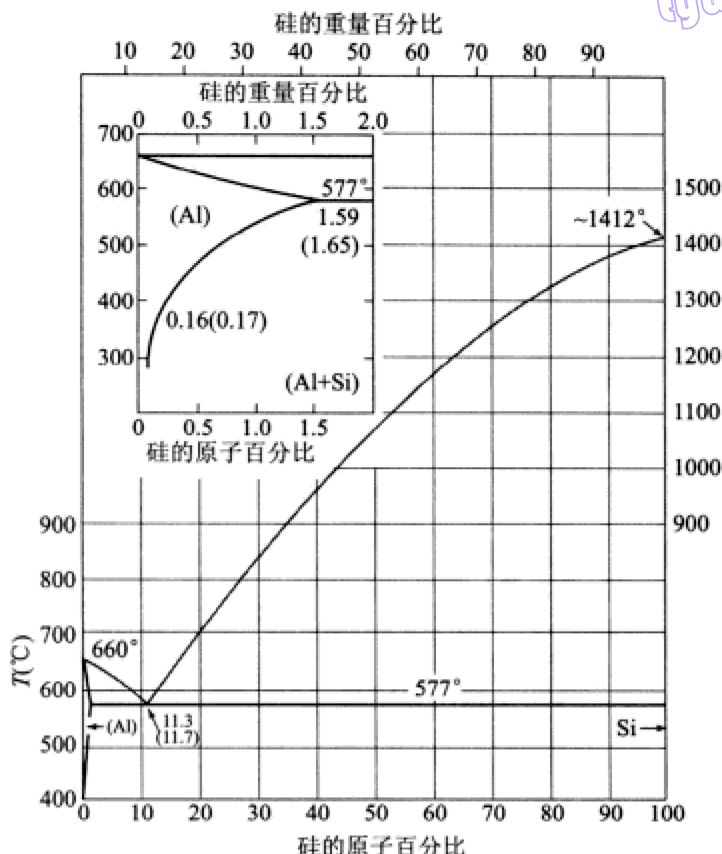


图 8-19 Al-Si 系相图[19]

$(-0.92/kT)$。假设这段铝膜中的硅含量达到饱和，则所消耗的硅的体积为：

170

$$\mathrm{Vol} \cong 2\sqrt{Dt}(HZ)S\left(\frac{\rho_{Al}}{\rho_{Si}}\right) \tag{8-26}$$

式中 ρ_{Al} 和 ρ_{Si} 分别为铝和硅的密度，S 为退火温度下硅在铝中的固溶度[20]。如果接触面积 A（均匀溶解时 $A=ZL$）下面的硅均匀溶解，则硅被消耗的深度为：

$$b \cong 2\sqrt{Dt}\left(\frac{HZ}{A}\right)S\left(\frac{\rho_{Al}}{\rho_{Si}}\right) \tag{8-27}$$

【例 5】 在 $T=500$℃，$t=30\text{min}$，$ZL=16\mu\text{m}^2$，$Z=5\mu\text{m}$，$H=1\mu\text{m}$ 的条件下，假设溶解是均匀的，求深度 b。

解：500℃时硅在铝中的扩散系数约为 $2\times10^{-8}\text{cm}^2/\text{s}$，因此 $\sqrt{Dt}$ 为 60μm，密度比为 2.7/2.33=1.16。500℃时 S 为 0.8%。从公式

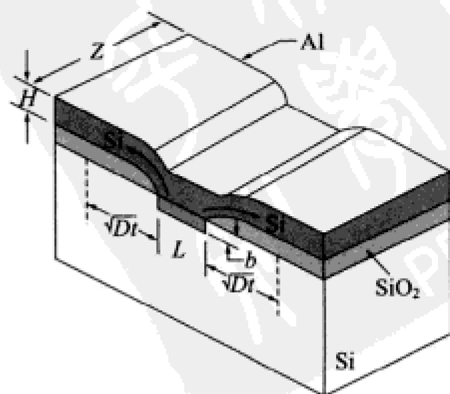


图 8-20 铝金属化过程中硅的扩散[20]

(8-27) 得到：

$$b = 2 \times 60\left(\frac{1 \times 5}{16}\right)0.8\% \times 1.16 = 0.35\mu m$$

由于硅被消耗，铝填入硅的深度也将是 0.35μm。如果接触处是浅结，结深小于 b，则由于硅向铝中扩散会使结短路。

实际上，硅的溶解并不是均匀的，只是集中在几个点，这使公式（8-27）中的有效面积比实际接触面积小，因此 b 要大得多。图 8-21 说明 PN 结的实际清况，铝在几 [171] 个点渗入硅，形成尖锲。减少铝尖锲的一种方法是采用共蒸发方法，蒸铝时同时加入硅，使合金中的含硅量满足固溶度要求。另一种方法是在铝和硅衬底之间加一层金属阻挡层（如图 8-22 所示），阻挡层金属必须满足下列要求：(1) 和硅形成低接触电阻；(2) 和铝不起反应；(3) 淀积及形成过程与整个工艺相容。已对诸如氮化铁 (TiN) 等金属阻挡层作过研究，发现在温度高达 550℃时退火 30 分钟，接触仍然稳定。

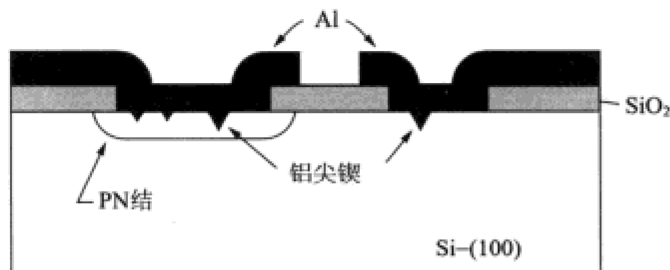


图 8-21　铝膜和轨接触的示意图，注意硅中的铝尖锲

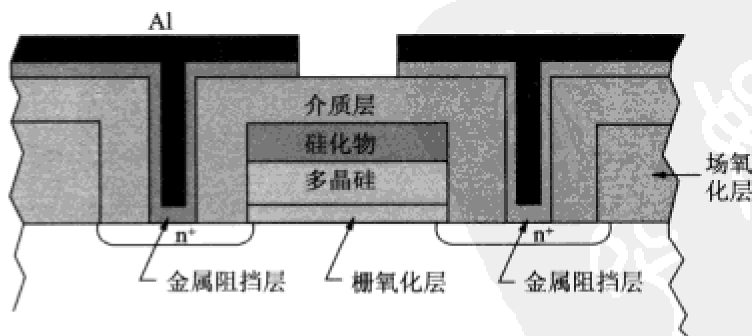


图 8-22　铝硅之间有金属阻挡层的 MOSFET 界面图，
栅极是硅化物和多晶硅组成的复合栅

2. 电迁移

随着器件尺寸变小，相应的电流密度增大，大电流情况下引起的电迁移能使器件失效。电迁移是指在电流作用下的金属质量（例如原子）转移现象，这是由于电子动量转移给金属正离子而产生的。当大电流通过集成电路中的薄金属导体层时，

某些区域将产生金属离子堆积，而另一些区域则形成空洞，金属堆积能使邻近的导体短路，而空洞则引起开路。

电迁移引起的导体平均失效时间（MTF）与电流密度（J）及激活能有关：

$$\mathrm{MTF} \sim \frac{1}{J^2}\exp\left(\frac{E_a}{kT}\right) \tag{8-28}$$

实验上测得的淀积铝膜的激活能 $E_a \cong 0.5\mathrm{eV}$，这表明低温晶粒间界扩散是材料迁移的主要形式，因为表征单晶铝自扩散特性的激活能 $E_a \cong 1.4\mathrm{eV}$。有几种可以降低铝膜导体电迁移的方法，其中包括利用铝铜合金（例如铝中加 0.5%的铜），铝膜上覆盖电介质，或在铝膜淀积过程中加入一些氧。

8.5.4 铜的金属化

众所周知，要降低互连网络的 RC 时延需要既有高电导率的引线又有低介质常数的绝缘层。由于铜比铝具备更高的导电率和更强的抗电迁徙性能，在新的互连金属化中铜是显然易见的选择。可以用 PVD、CVD 和电化学的方法淀积铜，但在 ULSI 电路中替代铝的铜材料存在一些缺点，例如在标准的芯片制造条件下铜有受侵蚀的趋向，缺少对铜切实可行的干法刻蚀方法，没有像 Al_2O_3 那样在铝上形成稳定的钝化氧化物，并且对二氧化硅和低 k 值聚合物等介质材料的粘附性差。本节将讨论铜的金属化工艺。

几种制备多层铜互连的不同工艺已有报道[21,22]。第一种方法是先把金属膜制成图形的常规方法，接着再进行介质淀积；第二种是先把介质层制成沟渠图形，并在沟渠中填充铜，接下来进行随后要讨论的化学机械抛光，去除介质表面上多余的金属，把铜留在孔和沟渠内，这种方法也称为**镶嵌工艺**。

1. **镶嵌技术**

镶嵌或是双嵌工艺是制备铜与低 k 值介质互连结构的方法。图 8-23 所示为在现有铜互连结构中双嵌工艺实现的步骤顺序。在典型的镶嵌工艺中，确定出金属线用的沟渠并在夹层介质（ILD）上刻蚀出来，接着淀积金属 TaN/Cu。其中 TaN 用作金属阻挡层，防止铜渗入到低 k 值介质中。去除掉介质表面上铜多余出来的部分，就能得到金属包在介质内的叠层结构。

在双嵌工艺中，淀积铜膜之前，采用两道光刻和反应离子刻蚀（RIE）工艺步骤确定介质层上的穿孔和沟渠图形（如图 8-23a～c 所示）。接着采用化学机械抛光去掉介质表面上的金属膜层，留下平整的引线和穿孔镶嵌在绝缘层中[23]。双嵌工艺非常有利的一面是孔插塞，与金属线一样的材料，减小了电迁移失效的风险。

【例 6】 如果用铜线和低 k 值介质（$k=2.6$）代替铝线和二氧化硅层，那么 RC 常数减小的百分比是多少？铝的电阻率为 $2.7\mu\Omega/\mathrm{cm}$，铜的电阻率为 $1.7\mu\Omega/\mathrm{cm}$。

解：

$$\frac{1.7}{2.7}\times\frac{2.6}{3.9}\times 100\% = 42\%$$

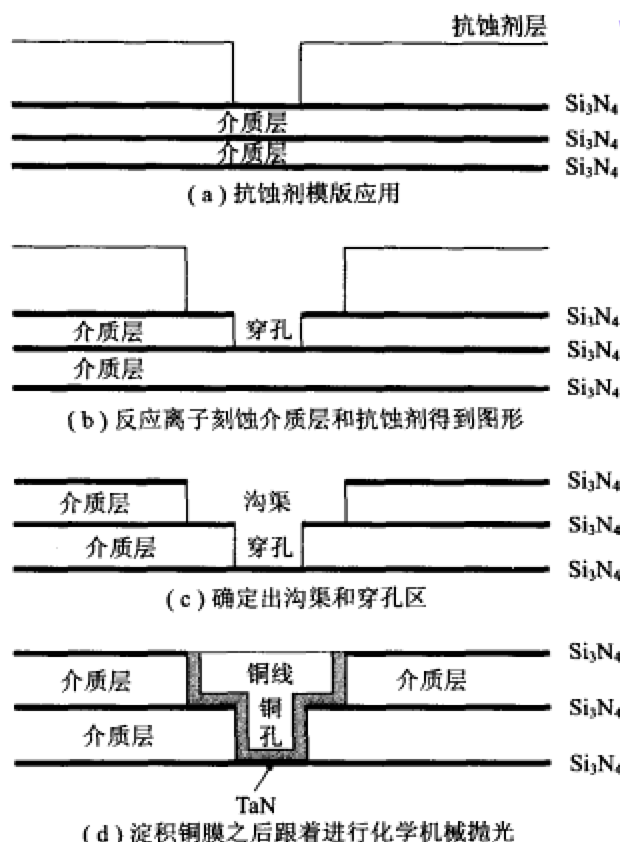


图 8-23 采用双嵌工艺制备铜引线塞钉结构的工艺顺序

2. 化学机械抛光

近几年，化学机械抛光（CMP）的发展对多层互连而言显得越来越重要，因为这是唯一能进行全局平整（即使整个晶片表面平坦化）的技术。与其他技术相比 CMP 拥有很多优势，这包括对或大或小的结构皆有良好的全局整平性，降低了缺陷密度，以及避免了等离子体损伤等。三种 CMP 方法总结列于表 8-4 中。

173

表 8-4 三种化学机械抛光方法

方　法	晶片表面朝向	整平运动方式	研浆供给方式
旋转 CMP	向下	逆着旋转的晶片卡盘旋转	滴到盘面
环绕 CMP	向下	逆着旋转的晶片卡盘绕行	渗入盘面
线性 CMP	向下	逆着旋转的晶片卡盘直行	滴到盘面

样品表面紧贴圆盘运动，而在样品表面与圆盘之间盛有研浆，这些就构成了 CMP 工艺。研浆中的研磨微粒对样品表面产生机械破损作用，疏松样品材料能增强化学侵蚀作用，或者破碎表层屑块，使其融入研浆，在研浆中溶解或随研浆冲走。由于大多数的化学反应作用是同向性的，CMP 工艺给出了去掉高出表面部分的速率，正是这些高出部分影响着平整度。理论上单靠机械研磨可能获得理想的平整度，但

174

扩大了对材料表面的损伤因而并不可取。工艺的三个主要部分是：

(1) 被抛光的表面；

(2) 圆盘，能把机械运动传递到抛光面的主要媒介；

(3) 研浆，同时产生出机械和化学的作用效果。

图 8-24 所示为 CMP 设备的结构简图。



图 8-24 一种 CMP 抛光机简图

【例 7】 氧化层去除速率和氧化物下一层（称阻挡层）的去除速率分别是 $1r$ 和 $0.1r$。要去除 1μm 厚的氧化层和 0.01μm 厚的阻挡层共用时间 5.5 分钟，求氧化物去除速率。

解：

$$\frac{1}{1r}+\frac{0.01}{0.1r}=5.5$$

$$r=0.2\mu m/min$$

8.5.5 硅化物

硅与金属形成多种稳定的金属性和半导体性的化合物。几种金属硅化物表现出低电阻率和高热稳定性，非常适合 ULSI 的应用。$TiSi_2$ 和 $CoSi_2$ 等硅化物的电阻率相当低，工艺上也和集成电路相容，随着器件尺寸的变小，硅化物成了越来越重要的金属化材料。硅化物的一个重要应用是做 MOSFET 栅极氧化层上的栅电极，它既可以单独淀积在栅氧化层上，也可以与掺杂多晶硅（多晶金属硅化物）一起淀积在栅氧化层上。表 8-5 列出了硅化钛和硅化钴的比较。

表 8-5 $TiSi_2$ 膜和 $CoSi_2$ 膜的比较

属　　性	$TiSi_2$	$CoSi_2$
电阻率	13～16	22～28
硅化物/金属的比例	2.37	3.56
硅化物/硅的比例	1.04	0.97
对原始氧化物的反应	能	不能
硅化温度（℃）	800～850	550～900
膜层应力（达因/cm^2）	1.5×1010	1.2×10^{10}

金属硅化物已被用来减小栅电极、互连线和源漏的接触电阻。在提高亚微米器件和电路方面，已证实自对准金属硅化物技术（*Salicide*）是一种非常有吸引力的工艺。自对准工艺使用硅化物栅电极作掩模来形成 MOSFET 的源漏电极（比如第 7 章中讨论过的使用离子注入）。这种工艺减小了电极间的交叠也就减小了寄生电容。

图 8-25 所示为多晶金属硅化物和自对准金属硅化物的工艺制程。典型的多晶金属硅化物制成步骤次序如图 8-25a 所示，在溅射淀积过程中，高温高纯度的化合物靶用来保证获得高质量的硅化物，多晶金属硅化物制备工艺中最常见的硅化物是 WSi_2、

$TaSi_2$和$MoSi_2$，它们都是难熔的、热稳定的以及抗化学处理的材料。自对准金属硅化物工艺制程如图8-25b所说明，在这个工艺过程中，把没有任何硅化物的多晶硅栅制备成图形，在硅化工艺中形成侧壁衬垫（氧化硅或者氮化硅）防止栅与源漏区短路，Ti或者Co金属层溅射覆盖在整个结构上，接着进行硅化烧结。从理论上讲，硅化物只出现在金属与硅相接触的地方。然后进行湿法化学清洗，漂净未反应的金属，仅留下硅化物。这种工艺省去了把复合多晶金属硅化物栅结构形成图形的需要，在源/漏区加入的硅化物减小了接触电阻。

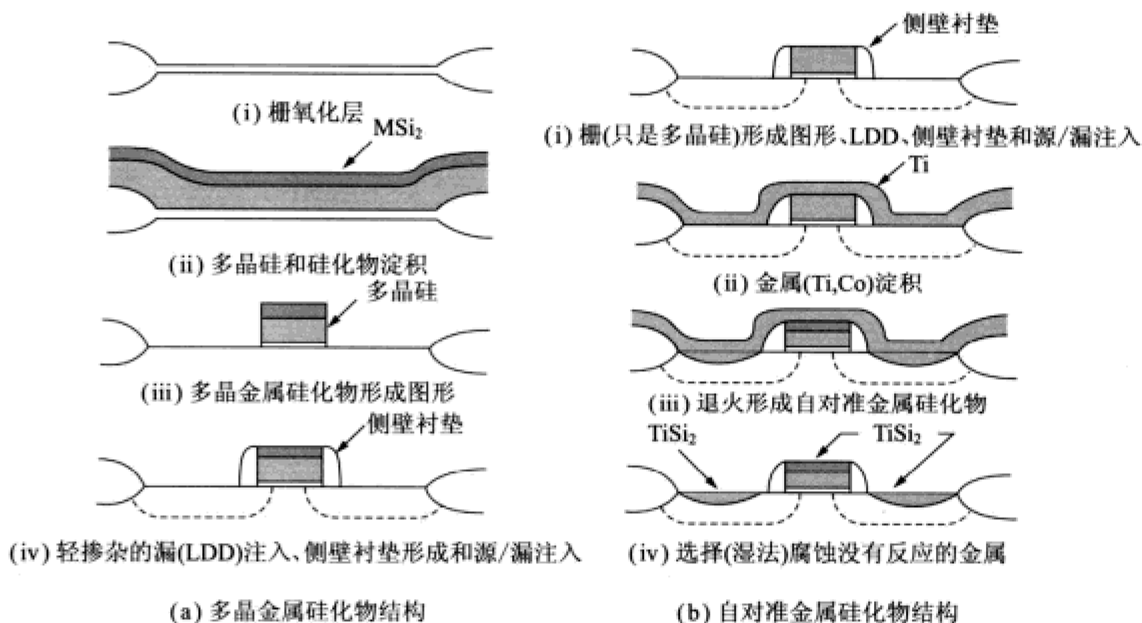


图8-25　多晶金属硅化物和自对准金属硅化物的工艺制程

硅化物因为自身具有低的电阻率和极好的热稳定性，是ULSI电路中有前途的材料。硅化钴因为低电阻率和高温下的热稳定性而受广泛研究，但是，钴对原始氧化物以及含氧的环境敏感，并且在硅化过程中消耗大量的硅。

176

【例8】 求方块电阻为0.6Ω/□的硅化钴的厚度。已知电阻率为18μΩ/cm。

解：电阻率等于方块电阻与薄膜厚度之积：

$$\rho = R_s \times t$$

即：

$$t = \frac{\rho}{R_s} = \frac{18 \times 10^{-6}}{0.6} = 3 \times 10^{-5}\text{cm} = 300\text{nm}$$

8.6　淀积模拟

SUPREM可以用来模拟淀积工艺制程。像刻蚀模拟一样，淀积模拟建模非常直

观。用 DEPOSITION 命令执行模拟，即在当前结构层上淀积用户设定的众多材料。淀积的材料可能是没有掺杂或者均匀掺杂的，如果淀积单晶硅必须规定晶向，如果淀积多晶硅必须设定温度以便于 SUPREM 确定合适的多晶硅晶粒尺寸。

【例 9】 假设要模拟在厚约 400Å 的干氧氧化层上淀积 800Å 的 CVD 氮化硅。如果 P 型硅衬底掺杂的硼在 $10^{15}\mathrm{cm}^{-3}$ 量级，用 SUPREM 确定最终氧化层和氮化层的厚度，以及硼在氧化层和氮化层中的分布。

解：SUPREM 的输入指令行如下：

```
TITLE          Deposition Example
COMMENT        Initialize silicon substrate
INITIALIZE     <100> Silicon Boron Concentration=1e15
COMMENT        Grow 400A oxide
DIFFUSION      Time=40 Temperature=1000 DryO2
COMMENT        Deposit 800A CVD nitride
DEPOSITION     Nitride Thickness=0.08
PRINT          Layers
PLOT           Chemical Boron Net
STOP           End Deposition Example
```

模拟完成之后，结果如图 8-26 所示，图中表明最终氧化层和氮化层的厚度分别为 379Å 和 800Å，并描绘出氧化层中相应的硼分布。

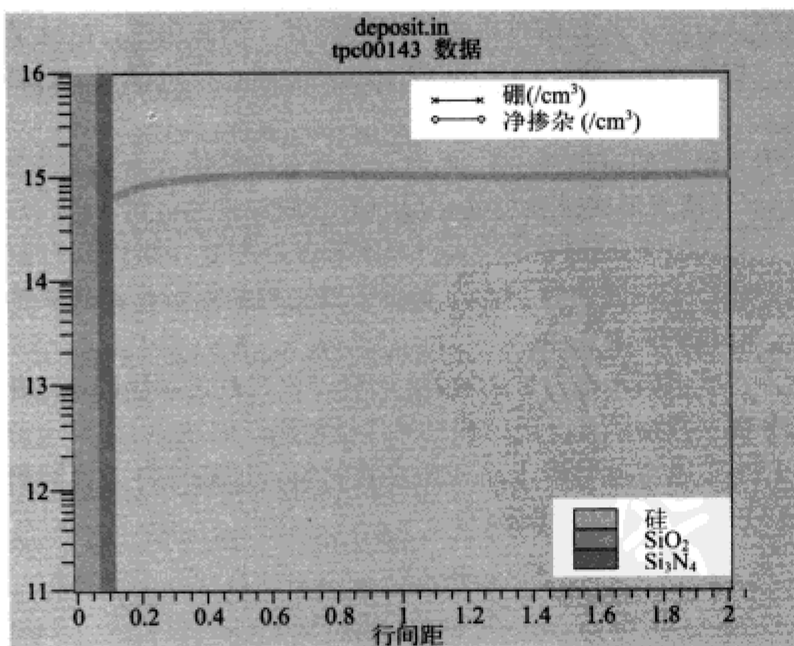


图 8-26 用 SUPREM 绘制出氧化层中相应的硼分布

8.7 小结

现代半导体器件制造要求使用薄型膜层。在外延生长工艺中，衬底晶片是籽晶。可以在比熔点低30%到50%的温度下生长高质量单晶膜层。外延生长的常用技术是化学气相淀积、金属有机化合物CVD和分子束外延。CVD和MOCVD都是化学淀积工艺，反应气体和掺杂剂以气态形式输送到衬底，并在衬底上发生化学反应产生外延层淀积，无机化合物用在CVD中，而金属有机化合物用在MOCVD中。另一方面MBE是一种物理淀积工艺过程，它在超高真空系统中通过核素蒸发实现。由于MBE属于低生长速率的低温工艺，它能以原子层厚的尺寸生长单晶硅和多层结构。

本章除了讨论N^+型硅衬底上的N型硅等常规的同质外延以外，还涉及异质外延，异质外延包括晶格匹配和应变层结构。在应变层外延中，存在一个临界层厚度，超过临界层厚度刃型位错将集中释放应变能。

在外延层中除了有刃型位错的缺陷，还有源于衬底的缺陷、源于界面的缺陷、沉淀物和低角度的晶界晶孪存在。这些缺陷削弱了器件的性能。很多手段方法可用以最小化甚至消除这些缺陷，这样就能够生长出同质外延或者异质外延的无缺陷半导体。

除了外延膜层以外，还有四种重要类型的薄膜：热氧化膜、电介质膜、多晶态硅膜和金属膜。相关薄膜成形的主要问题是低温处理、台阶覆盖、选择淀积、均匀性、薄膜质量、平整性、生产量和大尺寸晶片的可用性。

热氧化产生了最好质量的$Si\text{-}SiO_2$界面，并具有最低的界面陷阱密度（参见第3章）。因此，热氧化用来形成栅和场氧化层。电介质和多晶硅的LPCVD产生出一致性的台阶覆盖，相比之下，PVD和常压CVD通常带来非一致性的台阶覆盖。CMP产生全局整平并减小了缺陷密度。在深亚微米级光刻的图形精确转移的过程中，一致性的台阶覆盖和整平是必须的。

要最小化由寄生电阻和电容带来的*RC*时延，实现欧姆接触的规范化工艺，互连线用铜金属化和夹层膜用的低介质常数材料广泛使用，以迎合ULSI电路中多层互连结构的需要。此外，本章还讨论了高介质常数材料，这些材料能提高栅绝缘层的性能，提高DRAM中单位面积的电容量。

177 178

参考文献

1. A. S. Grove, *Physics and Technology of Semiconductor Devices*, Wiley, New York, 1967.

2. R. Reif, T. I. Kamins, and K. C. Saraswat, "A Model for Dopant Incorporation into Growing Silicon Epitaxial Films," *J. Electrochem. Soc.*, **126**, 644, 653 (1979).

3. R. D. Dupuis, "Metalorganic Chemical Vapor Deposition of III-V Semiconductors," *Science*, **226**, 623 (1984).

4. M. A. Herman and H. Sitter, *Molecular Beam Epitaxy*, Springer-Verlag, Berlin, 1996.

5. A. Roth, *Vacuum Technology*, North-Holland, Amsterdam, 1976.

6. M. Ohring, *The Materials Science of Thin Films*, Academic Press, New York, 1992.

7. J. C. Bean, "The Growth of Novel Silicon Materials," *Physics Today*, **39**, 10, 36 (1986).

8. For a discussion on film deposition, see, for example, A. C. Adams, "Dielectric and Polysilicon Film Deposition," in S. M. Sze, Ed., *VLSI Technology*, McGraw-Hill, New York, 1983.

9. K. Eujino, et al., "Doped Silicon Oxide Deposition by Atmospheric Pressure and Low Temperature Chemical Vapor Deposition Using Tetraethoxysilane and Ozone," *J. Electrochem. Soc.*, **138**, 3019 (1991).

10. A. C. Adams and C. D. Capio, "Planarization of Phosphorus-Doped Silicon Dioxide," *J. Electrochem. Soc.*, **127**, 2222 (1980).

11. T. Yamamoto, et al., "An Advanced 2.5nm Oxidized Nitride Gate Dielectric for Highly Reliable 0.25 μm MOSFETs," *Symp. VLSI Technol. Dig. Tech. Pap.*, p. 45 (1997).

12. K. Kumar, et al., "Optimization of Some 3 nm Gate Dielectrics Grown by Rapid Thermal Oxidation in a Nitric Oxide Ambient," *Appl. Phys. Lett.*, **70**, 384 (1997).

13. T. Homma, "Low Dielectric Constant Materials and Methods for Interlayer Dielectric Films in Ultralarge-Scale Integrated Circuit Multilevel Interconnects," *Mater. Sci. Eng.*, **23**, 243 (1998).

14. H. N. Yu, et al., "1 μm MOSFET VLSI Technology. Part I—An Overview," *IEEE Trans. Electron Devices*, *ED-26*, 318 (1979).

15. J. M. Andrews, "Electrical Conduction in Implanted Polycrystalline Sillicon," *J. Electron. Mater.*, **8**, 3, 227 (1979).

16. M. J. Buiting, A. F. Otterloo, and A. H. Montree, "Kinetical Aspects of the LPCVD of Titanium Nitride from Titanium Tetrachloride and Ammonia," *J. Electrochem. Soc.*, **138**, 500 (1991).

17. R. Tobe, et al., "Plasma-Enhanced CVD of TiN and Ti Using Low-Pressure and High-Density Helicon Plasma," *Thin Solid Film*, **281–282**, 155 (1996).

18. J. Hu, et al., "Electrical Properties of Ti/TiN Films Prepared by Chemical Vapor Deposition and Their Applications in Submicron Structures as Contact and Barrier Materials," *Thin Solid Film*, **308**, 589 (1997).

19. M. Hansen and A. Anderko, *Constitution of Binary Alloys*, McGraw-Hill, New York, 1958.

20. D. Pramanik and A. N. Saxena, "VLSI Metallization Using Aluminum and Its Alloys," *Solid State Tech.*, **26**(1), 127 (1983); **26**(3), 131 (1983).

21. C. L. Hu and J. M. E. Harper, "Copper Interconnections and Reliability," *Mater. Chem. Phys.*, **52**, 5 (1998).

22. P. C. Andricacos, et al., "Damascene Copper Electroplating for Chip Interconnects," *193rd Meet. Electrochem. Soc.*, p. 3 (1998).

23. J. M. Steigerwald, et al., *Chemical Mechanical Planarization of Microelectronic Materials*, Wiley, New York, 1997.

24. L. M. Cook, et al., "Theoretical and Practical Aspects of Dielectric and Metal CMP," *Semicond. Int.*, p. 141 (1995).

习题

*1. 求 300K 时空气的平均分子速率（空气的分子量是 29）。

2. 在淀积腔室内源与晶片之间的距离是 15cm，要使该距离是源分子自由程的 10%，求压强？

*3. 要在密堆积（即 1 个原子与 6 个相邻原子相连结）的条件下形成单层原子，求单位面积上的原子数 N_s。假设原子直径 4.68Å。

*4. 假设喷射炉的几何尺寸为 $A=5\text{cm}^2$ 和 $L=12\text{cm}$。(a) 求镓的到达率，和在 970℃下喷射炉充满砷化镓时 MBE 的生长速率。(b) 对于相同尺寸工作在 700℃下的锡喷射炉，求掺杂浓度（假设锡原子完全与按照前面速率生长的砷化镓接合成一体）。锡的分子量是 118.69，700℃下锡的压强是 2.66×10^{-6} Pa。

5. 如果 $Ga_xIn_{1-x}As$ 的最终膜层厚 10nm，在 GaAs 衬底上生长无失配位错 $Ga_xIn_{1-x}As$ 薄膜中 In 的最高百分比（即 $Ga_xIn_{1-x}As$ 中的 x 值）。

6. 薄膜的晶格失配数 f 定义为 $f+[a_0(s)-a_0(f)]/a_0(f)=\Delta a_0/a_0$，其中 $a_0(s)$ 和 $a_0(f)$ 分别是衬底和薄膜的非应变晶格常数。求 InAs-GaAs 系和 Ge-Si 系的 f 值。

7. (a) 用等离子淀积的氮化硅中含氢 20 at%，且硅—氮比（Si/N）为 1.2 的，求经验式 SiN_xH_y 中的 x 值和 y 值。(b) 如果薄膜电阻率随 Si/N 比的变化关系在 $2>\gamma>0.8$ 时可由 $5\times10^{28}\exp(-33.3\gamma)$ 表示，其中 γ 为 Si/N 的比值，求 a 问题中的薄膜电阻率。

8. SiO_2、Si_3N_4 和 Ta_2O_5 的介质常数分别为 3.9、7.6 和 25。在相同介质厚度的情况下，用 Ta_2O_5 作的电容器与用氧化物/氮化物/氧化物作的电容器之间的电容比？说提供的氧化物/氮化物/氧化物厚度比为 1∶1∶1。

9. 在习题 8 中，如果用介质常数为 500 的 BST 代替 Ta_2O_5，在厚度相同保持电容不变时，求面积缩小的比例。

10. 在习题 8 中，求相同电容量时与 Ta_2O_5 等效的 SiO_2 厚度，假设 Ta_2O_5 实际厚度 3μm。

11. 用硅烷—氧反应淀积未掺杂的 SiO_2 薄膜，温度为 425℃时淀积速率是 15nm/min。能加倍淀积速率的温度是多少？

12. 磷硅玻璃回流工艺要求温度高于 1000℃。随着 ULSI 中器件尺寸变小，温度必须降低。要求在温度低于 900℃时淀积获得可以用作金属间绝缘层的表面平滑二氧化硅，请提出解决方案。

13. 为什么硅烷比氯化硅更常用在多晶硅淀积中？

14. 解释为什么多晶硅淀积温度要适当低，通常在 600℃至 650℃之间？

15. 用电子束蒸发系统常淀积铝膜形成 MOS 电容器。如果由于电子束辐照使电容平带电压平移 0.5V，求固定的氧化物电荷数（二氧化硅厚度 50nm）。如何消除这些固定电荷？

16. 金属线（$L=20\mu\text{m}$，$W=0.25\mu\text{m}$）的方块电阻为 5Ω/□，求其电阻率。

17. 原始 Ti 和 Co 膜的厚度为 30nm，求 $TiSi_2$ 和 $CoSi_2$ 的厚度。

18. 比较 $TiSi_2$ 和 $CoSi_2$ 在对准金属硅化物应用的优势和劣势。

19. 一种介质材料放置在两条平行金属线之间，已知：长度 $L=1\text{cm}$，宽度 $W=0.28\mu\text{m}$，厚度 $T=0.3\mu\text{m}$，间距 $S=0.36\mu\text{m}$。(a) 求 RC 时延。金属 Al 的电阻率为 2.67μΩ/cm，用介质

常数为 3.9 的氧化层作绝缘。(b) 求 RC 时延。金属 Cu 的电阻率为 1.7μΩ/cm，用介质常数为 2.8 的有机聚合物作绝缘。(c) 比较 a 和 b 的结果，RC 时延能降低多少？

20. 如果电容的杂散因子是 3，重做习题 19 中的 a 和 b。杂散因子是由于电场作用线分布超过了金属线的长度和宽度。

*21. 为了避免电迁移，铝条的最大允许电流密度约为 5×10^5 A/cm²，若铝条长 2mm，宽 1μm，厚 1μm，铝条长度的 20%跨过台阶，在台阶处铝条只有 0.5μm 厚。如果铝条的电阻率为 3×10^{-6} Ω/cm，求铝条的总电阻以及允许加在此铝条上的最大电压。

*22. 要用 Cu 作引线，必须克服以下几个问题：Cu 透过 SiO_2 的扩散，Cu 和 SiO_2 的粘附性，以及 Cu 的侵蚀。解决这些问题的方法之一是使用包镀/粘附层（如 Ta 或 TiN）来保护 Cu 线。考虑一种截面为 0.5μm×0.5μm 的铜线，与同样规格的 TiN/Al/TiN 线相比，其中 TiN 上下层的厚度分别为 40nm 和 60nm。如果要求包镀 Cu 线与 TiN/Al/TiN 引线的电阻相等，那么包镀层最厚为多少？

181

第 9 章　工艺集成

通常分立器件使用在微波、光电、功率器件等的应用场合。例如，IMPATT 二极管用作微波发生器，注入激光器用作光源，可控硅用作大功率开关。但是大多数电子系统是由集成电路构成的，集成电路把有源元件(例如晶体管)和无源元件(例如电阻器、电容器和电感器)都制作在一块单晶半导体衬底上，用金属化布线互相连接[1]。集成电路比通过引线焊接相连的分立器件具备如下一些无与伦比的优势：

(1) 互连寄生效应降低，这是因为配置多层金属布线的 IC 极大地减小了总的连线长度；

(2) 半导体晶片面积全面利用，这是因为器件能被紧密集成在 IC 芯片中；

(3) 工艺成本大幅度减少，焊接引线属于既耗时又易出错的工艺操作。

本章把前几章所述的基本工艺综合起来，介绍集成电路中有源和无源元件的制造过程。由于集成电路的关键元件是晶体管，所以发展出了一系列特定的工艺过程以使它们的性能最佳化。本章将讨论三种主要的 IC 工艺，这三种工艺分别和双极型晶体管、MOSFET、MESFET 等三类晶体管相联系。另外，还将讨论利用微机械工艺进行微机电系统的制备。本章主要涉及以下一些内容：

- ☐ 集成电路电阻器、电容器和电感器的设计与制造；
- ☐ 标准双极晶体管和先进双极晶体管的工艺顺序；
- ☐ MOSFET 的工艺顺序及其在 CMOS 和存储器件上的加强点；
- ☐ 高性能 MESFET 和单块微波集成电路的工艺顺序；
- ☐ 未来微电子学的主要挑战，即包括超浅结、超薄氧化层、新的互连材料、低功耗和绝缘；
- ☐ 利用定向刻蚀、牺牲刻蚀、LIGA(光刻，电镀和成型)等工艺而形成微机电系统；
- ☐ 运用 SUPREM 进行 IC 制造工艺的模拟。

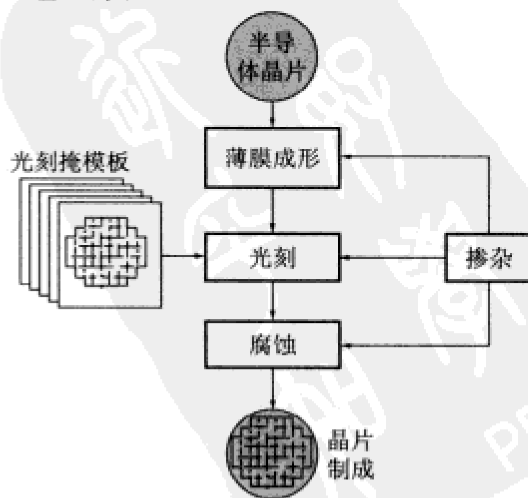


图 9-1　集成电路制造工艺流程简图

图 9-1 所示为制造 IC 的主要工艺过程

之间的相互关系。原始材料是具有一定电阻率及晶向的抛光晶片。薄膜形成工艺包括：热生长氧化膜（第 3 章）和淀积多晶硅、介质和金属膜（第 8 章）。薄膜形成后常常接着进行光刻（第 4 章），或在薄膜形成后进行掺杂（第 6 章和第 7 章）。光刻后通常进行刻蚀（第 5 章），接着常常再进行另一次掺杂或再形成薄膜。将各个掩模版上的图形逐次地转移到半导体晶片表面层上后，获得最终的 IC 器件。

182

经过上述工艺过程后，每个晶片上含有几百只同样的矩形或方形芯片，芯片边长一般为 1mm～20mm，如图 9-2a 所示。再用划片或激光切割将芯片分开；图 9-2b 表示一个分割出来的芯片。图 9-2c 为单个 MOSFET 及双极晶体管的顶视图，它可以使我们对 IC 芯片中元件的相对大小有一些概念。划片前，要对每个芯片进行电学参数测试（参见第 10 章），坏管芯通常用黑墨水打点标出，选出好的管芯进行封装，为实际电子学上应用提供合适的散热、电气和引线连接条件。[2]

183

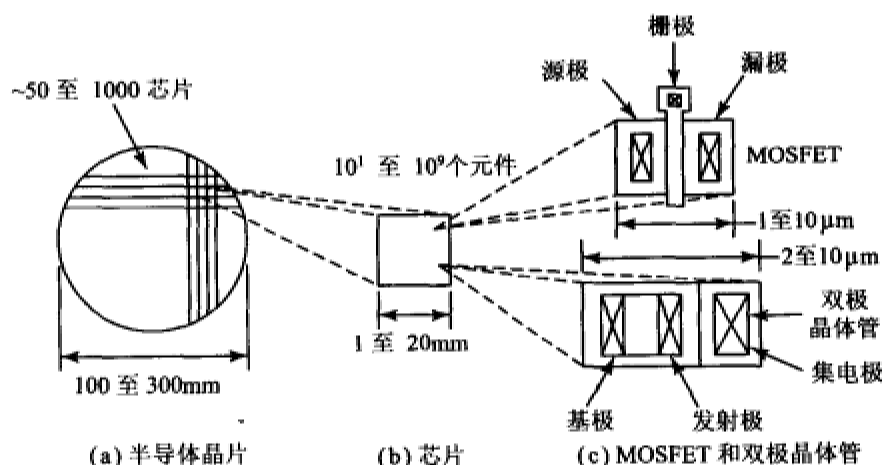


图 9-2 晶片与单个元件的尺寸比较

集成电路芯片内包含的元件（如晶体管、二极管、电阻、电容等等）可以从几个，到多至上亿个甚至更多。自 1959 年发明集成电路以来，芯片内的元件数呈指数增加，我们通常按一片 IC 的复杂程度来划分其集成度：每个芯片内的元件数在 100 个以内的称为小规模集成（SSI），1000 个以内的称中规模集成（MSI），100 000 个以内的称大规模集成（LSI），10^7个以内的称超大规模集成（VLSI），元件数更多的称特大规模集成（ULSI）。9.3 节将给出两个 ULSI 芯片：超过 420 万个元件的 32 位微处理器芯片，以及含 20 亿个以上元件的 1G 位动态随机存储器（DRAM）芯片。

9.1 无源元件

9.1.1 集成电路电阻器

在硅衬底上淀积一个有阻抗作用的膜层，然后运用光刻和刻蚀工艺把该膜层制成

图形，就形成了集成电路电阻器；也可以在硅衬底上热生长一层二氧化硅，在氧化层上开窗口，然后用离子注入（或扩散）掺进与硅衬底导电类型相反的杂质，就制成了集成电路电阻器。图 9-3 所示为两个用后一种方法制备的电阻器的顶视图与截面图，一个是曲折形的，一个是直条形的。

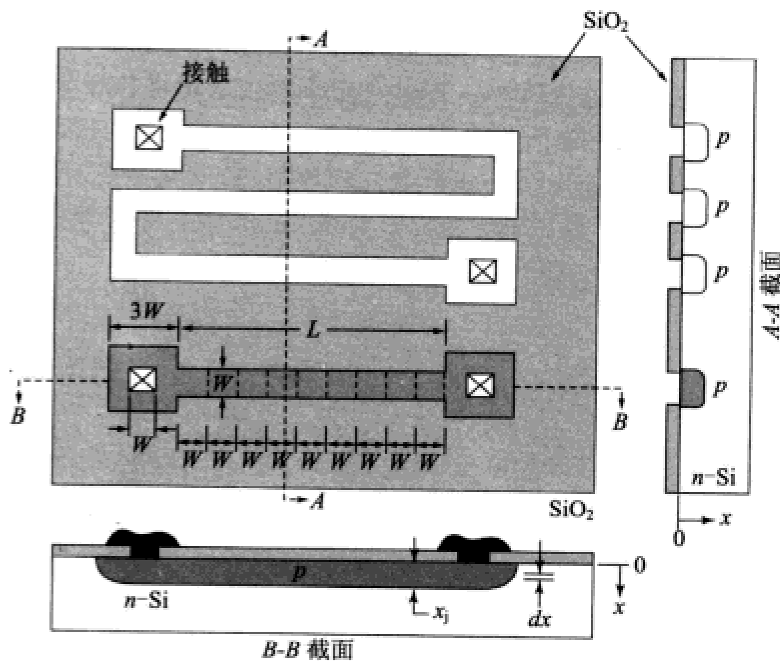


图 9-3　集成电路电阻器，电阻器条宽 W 相同，端头接触的大小也相同

首先考虑直条形电阻器。在深度 x 处厚度为 dx，与表面平行的一个 P 型材料薄层（参见图中的 B-B 截面图）的微分电导 dG 为：

$$dG = q\mu_p p(x)\frac{W}{L}dx \tag{9-1}$$

式中的 W 为条形电阻器的宽度，L 为条形电阻器的长度（暂且忽略端头接触面积），μ_p 是空穴的迁移率，$p(x)$ 是掺杂浓度。整个条形注入区的总电导为：

$$G = \int_0^{x_j} dG = q\frac{W}{L}\int_0^{x_j} u_p p(x)dx \tag{9-2}$$

其中 x_j 为结深。如果已知 $p(x)$ 的分布和 μ_p 值（μ_p 是空穴浓度的函数），则可由公式（9-2）算出总电导。公式（9-2）可写成：

$$G = g\frac{W}{L} \tag{9-3}$$

式中 $g = q\int_0^{x_j}\mu_p(x)dx$ 是一个方形电阻的电导，即当 $L = W$ 时，$G = g$。

因此电阻可由下式给出：

$$R = \frac{1}{G} = \frac{L}{W}\left(\frac{1}{g}\right) \quad (9\text{-}4)$$

其中 $1/g$ 通常用符号只 $R_{\square}$ 表示，称为方块电阻。方块电阻的单位为欧姆，但一般用欧姆每方(Ω/□)表示。

集成电路内的多个电阻是同时制成的，只要在掩模版上确定不同的几何图形即可，正如图 9-3 所示那样。由于所有电阻用同样的工艺过程制造，因此可把电阻值分为两部分来考虑：由注入(或扩散)工艺决定的方块电阻 $R_{\square}$ 以及由图形尺寸决定比值 L/W。一旦 $R_{\square}$ 值已知，电阻值即由比值 L/W，即电阻图形的方块数决定(每个方块的面积为 $W \times W$)。集成电路电阻器端头接触面积会引进附加电阻，在图 9-3 的情况下，一个端头接触近似等于 0.65 方。在曲折形电阻器的拐角处，电力线通过电阻器不是沿宽度均匀分布而是密集在内角处，因此拐角处的 1 方不是正好的 1 方而是 0.65 方。

【例 1】 求 90μm 长 10μm 宽电阻器的电阻值，如图 9-3 中的条形电阻，已知方块电阻等于 1kΩ/□。

解：电阻器有 9 方，两个端头接触相当于 1.3□，电阻值等于 $(9 + 1.3) \times 1\text{k}\Omega/\square = 10.3\ \text{k}\Omega$

9.1.2 集成电路电容器

集成电路中的电容器基本上有两类：MOS 电容器和 PN 结电容器。MOS 电容器用重掺杂区(如发射区)作为一个极板，顶层金属作为另一个极板，中间的氧化层作为介质层，图 9-4a 为 MOS 电容器的顶视图和截面图。MOS 电容器的制法如下：在硅衬底上热生长一层厚氧化层，接着在氧化层上光刻和刻蚀形成窗口，在窗口内用离子注入或杂质扩散形成 P^+ 区，窗口外的厚氧化层作为掩模层。再在窗口内热生长薄氧化层，接着进行金属化电极连接。单位面积的电容量为：

185

$$C = \frac{\varepsilon_{ox}}{d} \quad (9\text{-}5)$$

其中 e_{ox} 为二氧化硅的介电常数(介质常数 e_{ox}/e_0 为 3.9)，d 为氧化层厚度。为进一步增大电容量，正在研究采用介电常数较大的绝缘体，例如 Si_3N_4 和 Ta_2O_5 的介电常数分别为 7 和 25。由于电容器的下电极用重掺杂材料制成，因此 MOS 电容量基本上与外加电压无关，而且与它有关的串联电阻也减少了。

集成电路中有时也用 PN 结做电容器，N^+-P 结电容器的顶视图与截面图如图 9-4b 所示。由于电容结构与双极晶体管的一部分结构相同，因此详细制造过程将在 9.2 节讨论。电容器一般被反向偏置，即 P 区相对 N^+ 区加反向偏压。电容量不是常数，而是随 $(V_R + V_{bi})^{-1/2}$ 变化，其中 V_R 为外加电压，V_{bi} 为内建电势。电容器的串联电阻比 MOS 电容器的高得多，这是由于 P 区的电阻率比 P^+ 区大的缘故。

【例 2】 MOS 电容器的面积为 $4\mu m^2$，电介质情况如下，求存储电荷和电子数各是多少？(a)10nm 厚的 SiO_2，(b)5nm 厚的 Ta_2O_5。两种情况下供给电压都是 5V。

186

解：

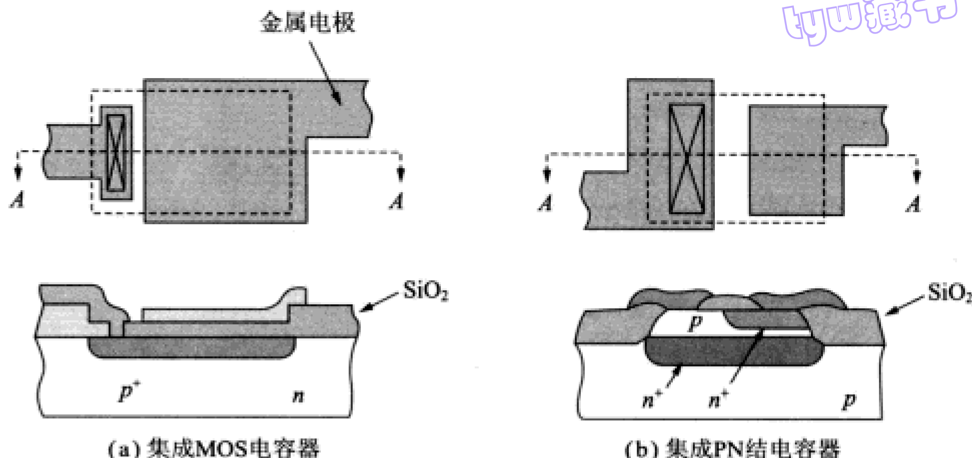


图 9-4　两种电容器的顶视图和截面图

(a)

$$Q = \varepsilon_{ox} \times A \times \frac{V_s}{d}$$

$$= 3.9 \times 8.85 \times 10^{-14}\,\mathrm{F/cm} \times 4 \times 10^{-8}\ \mathrm{cm^2} \times \frac{5\mathrm{V}}{10^{-6}\,\mathrm{cm}}$$

$$= 6.9 \times 10^{-14}\,\mathrm{C}$$

$$\text{电子数} = 6.9 \times 10^{-14}\,\mathrm{C}/q = 4.3 \times 10^5$$

(b) 介质常数从 3.9 变成 25，厚度从 10nm 变成 5nm，于是得到 $Q_s = 8.85 \times 10^{-13}$ C，相应的电子数 $= 8.85 \times 10^{-13}\mathrm{C}/q = 5.53 \times 10^6$。

9.1.3　集成电路电感器

集成电路电感器已经广泛用在基于 III-V 族元素的单片微波集成电路（MMIC）中[3]。随着硅器件的工作速度提高，和多层互连线的进步，IC 电感器在硅基射频和高频应用方面开始越来越受到重视。运用 IC 工艺可以制备很多种电感器，最常见的方法是薄膜螺旋电感器。图 9-5a 与 b 所示为硅基两层金属螺旋电感器的顶视图与截面图。首先在硅衬底上淀积或者热生长一层厚氧化层才能制备螺旋电感器，然后淀积第 1 层金属并确定出电感器的一端，接下来在第 1 层金属上淀积氧化介质层，在该氧化层上进行光刻与刻蚀确定出所需穿孔，淀积第 2 层金属同时填充了穿孔。在用作电感器另一端的第 2 层金属上确定出螺旋状图形并刻蚀出来。

计算电感器时，一个重要的特征参数是品质因子 Q，品质因子定义为 $L\omega/R$，其中 L、R 和 ω 分别是电感、电阻和频率。Q 值越高阻抗损失越低，电感器的性能也就越好。图 9-5c 给出了集成电路电感器的等效电路模型，其中 R_1 是金属的固有电阻，C_{p1} 和 C_{p2} 是金属线与衬底之间的耦合电容，R_{sub1} 和 R_{sub2} 是与金属线相连的硅衬底电阻。开始的时候 Q 值与频率呈线性关系增加，但在高频的时由于寄生电阻和电容的影响将会下降。

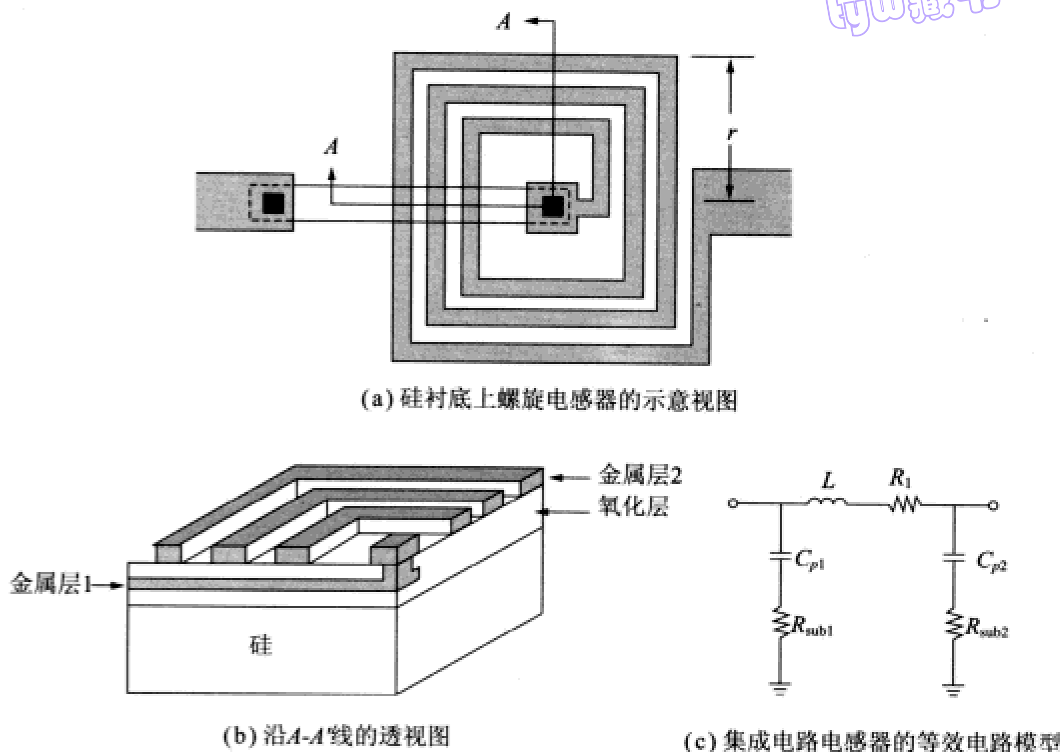


图 9-5 硅基两层金属螺旋电感器的顶视图、截面图以及集成电路电感器等效电路模型

现有一些方法用来提高 Q 值。第一种方法是使用低介质常数材料（<3.9）来减小 C_p；第二种方法是使用厚膜金属或者低电阻率金属（比如用 Cu 和 Au 代替 Al）来减小 R_1；第三种方法是使用绝缘衬底（比如蓝宝石上的硅，玻璃或者石英上的硅）来减小 R_{sub}。

对于薄膜电感器来说，必须使用复杂的模拟工具既进行电路模拟又进行电感器优化，这样才能得到薄膜电感器的精确值。薄膜电感器的模型应该计入金属电阻、氧化层电容、金属线间电容、衬底电阻、衬底电容、金属线电感和互感。因此，与计算集成电路电容和电阻相比，计算集成电路电感是更加困难的。方块平板型螺旋电感器的简单等效估算如下[3]：

$$L \approx \mu_0 n^2 r \approx 1.2 \times 10^{-6} n^2 r \tag{9-6}$$

式中 μ_0 是真空磁导率（$4\pi \times 10^{-7}$ H/m），L 是以亨利为单位的电感量，n 是旋转圈数，r 是以米为单位的螺旋半径。

187

【例 3】 电感量为 10nH 的集成电路电感器，如果旋转圈数为 20，那么要求螺旋半径多少？

解：根据公式(9-6)：

$$r = \frac{10 \times 10^{-9}}{1.2 \times 10^{-6} \times 20^2} = 2.08 \times 10^{-5}\text{m} = 20.8\mu\text{m}$$

9.2　双极晶体管技术

在IC中，尤其是在VLSI和ULSI中，双极晶体管必须减小尺寸以适应高密度要求，图9-6所示为近年来双极晶体管尺寸缩小的情况[4]。IC中双极晶体管与分立晶体管相比的主要区别在于前者的所有电极接触都做在IC片子的上表面，而且每个晶体管必须进行电气隔离以防止器件之间的相互作用。在1970年以前，横向和纵向都用PN结隔离（如图9-6a所示），并且横向P隔离区与N型集电区始终加有反偏电压。1971年，热氧化物用于横向隔离，由于基极及集电极接触能紧靠隔离区，使器件尺寸显著缩小（如图9-6b所示）。70年代中期，把发射极延伸到氧化隔离墙上，使面积进一步减小（如图9-6c所示）。目前，所有横向和纵向尺寸均已按比例缩小，发射极条宽已为亚微米量级（如图9-6d所示）。

188

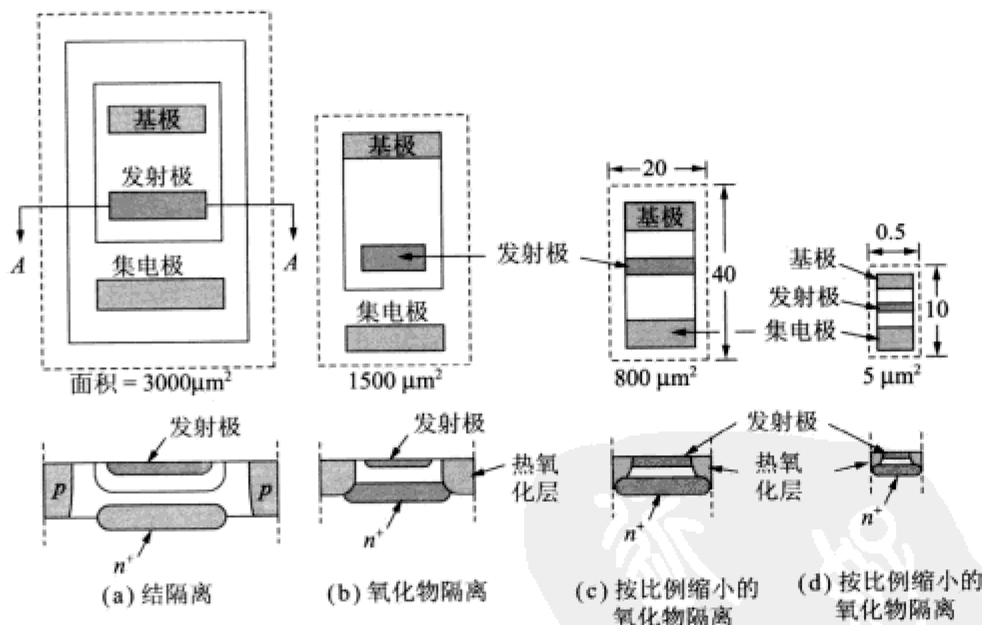


图9-6　双极晶体管横向和纵向尺寸的缩小[4]

9.2.1　基本制造过程

IC中的双极晶体管大多数用NPN型，因为少数载流子（电子）在基区有较高的迁移率，所以NPN型晶体管可以获得比PNP型晶体管高的速度性能。图9-7为NPN双极晶体管透视图，其中横向用氧化物墙隔离，纵向用N^+P结隔离，横向氧化物隔离不仅可以缩小器件尺寸，而且能减小寄生电容，这是因为二氧化硅的介电常数较小（二氧化硅的介电常数为3.9，相对照的是硅的为11.9）。本节现将图9-7所示晶体管的主要制造工艺叙述如下。

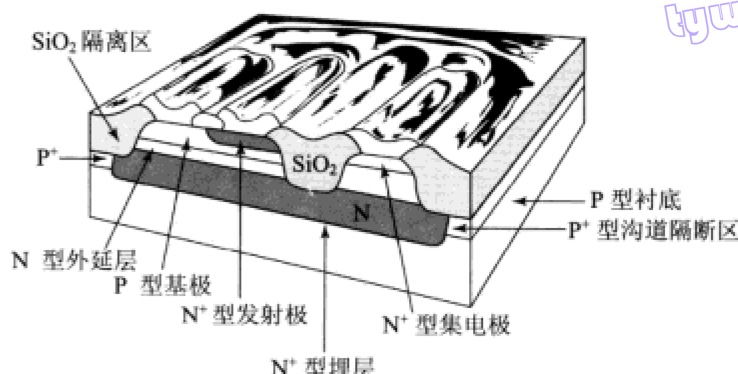


图 9-7 氧化物隔离双极晶体管透视图

NPN 型双极晶体管的原材料是 P 型轻掺杂($\sim10^{15}cm^{-3}$),〈111〉或〈100〉。晶向的抛光硅片,由于结做在半导体内,所以晶向选择不如 MOS 器件(参见 9.3 节)那么严格。第一步是形成埋层,埋层的主要目的是减少集电极串联电阻。在硅片上热生长一层厚氧化层(0.5μm～1μm),在氧化层上开窗口,窗口区内注入低能砷离子作为预淀积,注入量是精确控制的(～30keV,$\sim10^{15}cm^{-3}$)(图 9-8a 所示),接着进行高温(～1100℃)主扩散形成 N^+ 埋层,其方块电阻典型值为 20Ω/□。

第二步生长 N 型外延层。除去硅片的氧化层,置于外延炉中进行外延生长,根据器件的用途决定外延层的厚度和掺杂浓度。模拟电路在作放大应用时使用电压较高,因而要求外延层较厚(～10μm)、掺杂浓度较低($\sim5\times10^{15}cm^{-3}$),而数字电路在作开关应用时电压较低,要求外延层较薄(～3μm)、掺杂浓度较高($\sim2\times10^{16}cm^{-3}$)。图 9-8b 为外延后的器件截面图,可见,埋层有向外延层扩散的现象。为了使外扩散减到最少,应该采用低温外延工艺,并且埋层应使用扩散系数低的杂质(如砷)。

第三步是形成横向氧化物隔离区。在外延层上热生长一薄氧化衬垫层(～50nm),接着淀积一层氮化硅(～100nm),如果没有薄氧化衬垫层而把氮化硅直接淀积在硅上,则在随后的高温过程中氮化硅

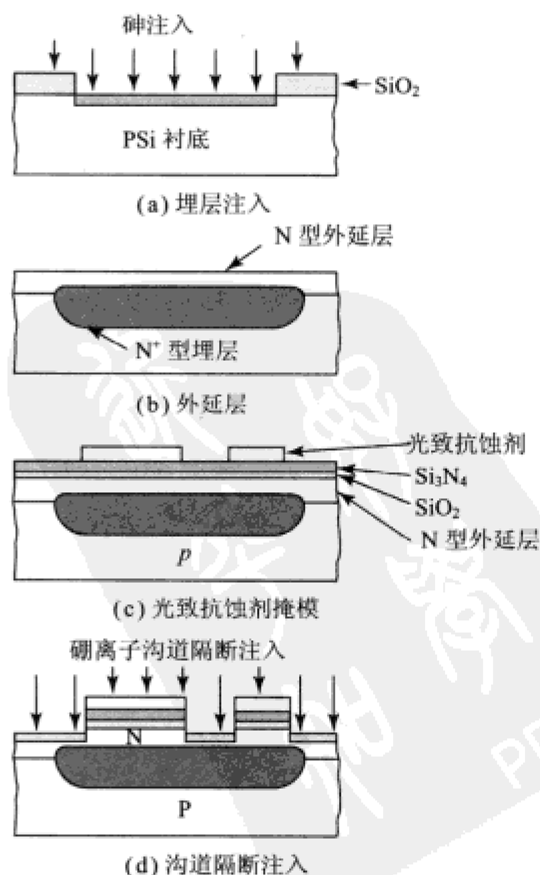


图 9-8 双极晶体管制造过程截面图

会使硅表面造成损伤。然后用光致抗蚀剂作掩模，将设定区域的氮化硅—氧化硅层以及外延层的一半腐蚀掉（如图 9-8c 及 d 所示），接着向暴露的硅区注入硼离子（如图 9-8d所示）。

去掉光致抗蚀剂层，并把硅片置于氧化炉内，由于氮化硅的氧化速率很低，厚氧化层只在没有氮化硅保护的区域内生长，隔离氧化层一般生长到其顶面与原始硅表面一样平时为止，以尽量减少表面的凹凸不平。这种氧化隔离工艺称为*局部硅氧化*（LOCOS）。图 9-9a 表示做完隔离氧化去掉氮化硅层后的横截面。由于分凝作用，大部分的注入硼离子被推挤到隔离氧化层底下，形成 P^+ 层。由于高浓度 P 型半导体可以防止表面反型，排除了邻近埋层之间出现高电导通道的可能性，所以称 P^+ 区为*沟道隔断区*。

191

第四步是形成基区。用光致抗蚀剂作掩模层保护器件右半部，注入硼离子（$\sim10^{12}\,cm^{-2}$）形成基区，如图 9-9b 所示。再进行一次光刻，除基区中央部分留下一小块薄氧化层外，把其余的薄氧化层全部去掉（如图 9-9c 所示）。

第五步是形成发射区。如图 9-9d 所示，基极接触孔用光致抗蚀剂掩模保护，进行低能量高剂量砷离子注入（$\sim10^{16}\,cm^{-2}$）以形成 N^+ 发射区及 N^+ 集电极接触区。去除光致抗蚀剂层后，最后用金属化工艺形成基极、发射极、集电极接触，获得如图 9-7 所示的器件结构。

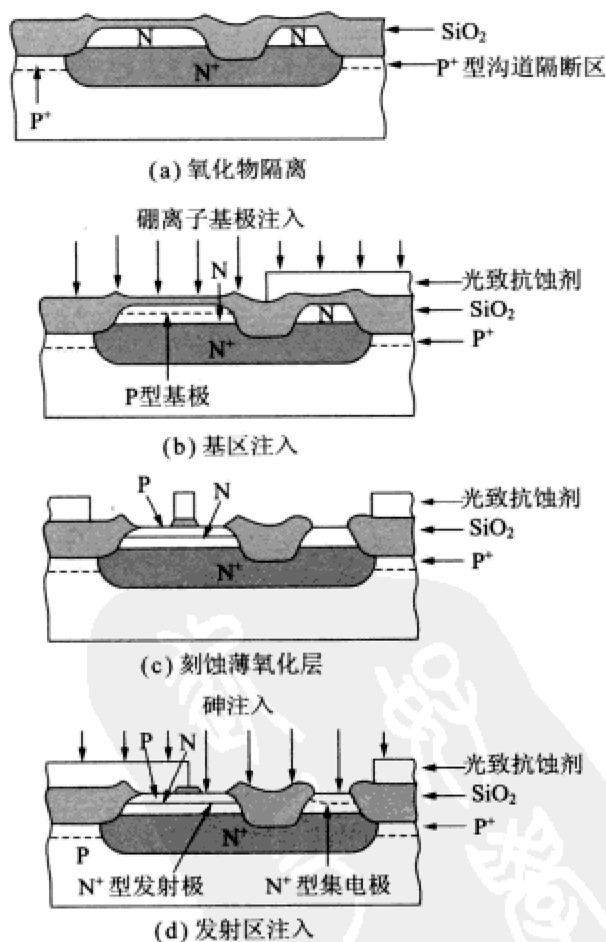


图 9-9 双极晶体管制造过程截面图

在上述基本双极工艺中，进行六次薄膜成形、六次图形曝光、四次刻蚀、四次离子注入，每次操作都需要精确控制和监测，任何一次操作失败，都将很可能导致芯片报废。

整个晶体管发射区、基区、集电区在垂直于表面的轴向杂质分布如图 9-10 所示。由于砷的扩散系数与浓度有关，使发射区的杂质分布非常陡；发射区下面的基区杂质分布，可以近似用有限源扩散的高斯分布来描述；集电区掺杂浓度由典型的开关晶体管外延掺杂量（$\sim2\times10^{16}\,cm^{-3}$）决定。当然在集电区较深处，由于埋层杂质的外扩散，使集电区掺杂浓度变大。

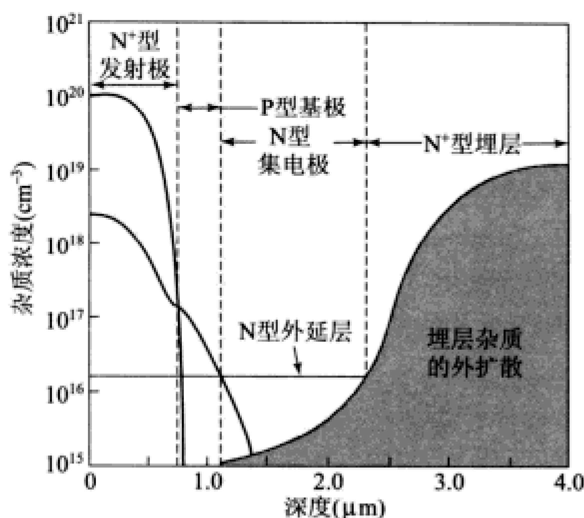


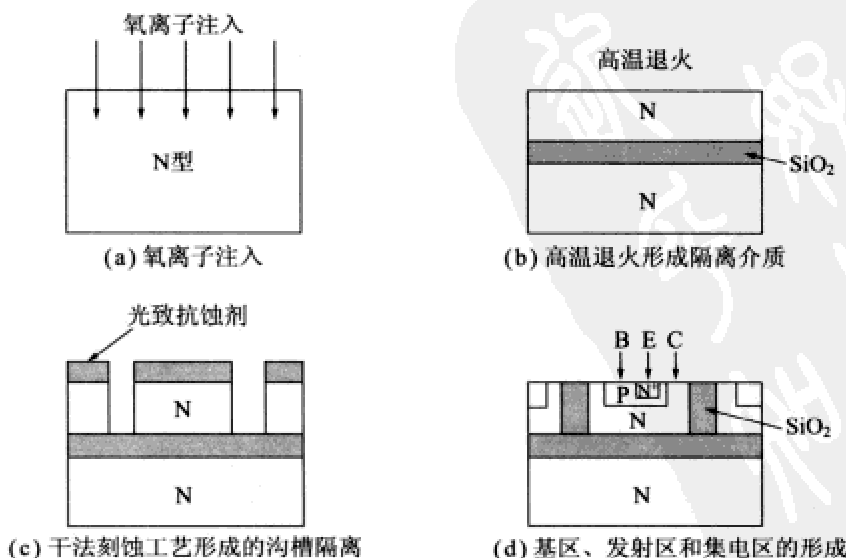
图 9-10 NPN 型晶体管杂质分布

9.2.2 介质隔离

上述双极晶体管的隔离方式是，四周用氧化层与其他器件隔离，底部用 N^+ P 结(埋层)使之和公共衬底隔离。在高电压应用场合下，采用另一种叫做介质隔离的方法，把单晶半导体分成许多小岛，彼此用绝缘介质隔开，这种方法使器件的底部和四周都用介质层与其他器件隔开。

192

介质隔离的工艺步骤如图 9-11a 所示。用高能氧离子注入在〈100〉晶向硅片内部形成一层氧化层，接着硅片进行高温退火处理，这样注入的氧就与硅反应形成氧化层，



(a) 氧离子注入 (b) 高温退火形成隔离介质 (c) 干法刻蚀工艺形成的沟槽隔离 (d) 基区、发射区和集电区的形成

图 9-11 高压应用中使用绝缘体硅的双极晶体管介质隔离工艺顺序

这道工艺中同时对注入导致的损伤进行退火处理如图 9-11b 所示。完成这一切之后，我们得到一个完全被氧化层隔离开的 N 型层(即，绝缘体硅层或称 SOI)。这道工艺称为 SIMOX(注氧隔离)。由于顶层硅非常薄，采用如图 9-8c 所示的 LOCOS 很容易就形成隔离区，或者采取先刻出沟槽(如图 9-11c 所示)再填满氧化物(如图 9-11d 所示)的方法也能形成隔离区。其他形成 P 型基区、N^+ 型发射区和 N 型集电区的工艺与图 9-8c～图 9-9所示的一样。

这种技术的主要优点是发射区与集电区有很高的击穿电压，能超过几百伏，该技术能够与现代 CMOS 集成(9.3.3 节)相兼容，这种 CMOS 兼容工艺非常有利于混合高压高密度集成电路制造。

9.2.3　自对准双层多晶硅双极晶体管结构

在图 9-9c 所示的工艺中，需要多做一道光刻确定出一个氧化区把基极和发射极的接触区分隔开。这样做就在隔离区中出现一个较大的无源器件区域，该区域增大了寄生电容和电阻，从而减损了器件性能。减小这类效应的最有效方法是自对准结构。

193

广泛使用的自对准器件结构是双层多晶硅结构，该结构中采用了由多晶硅填充的沟槽而形成的先进绝缘技术[5]，如图 9-12 所示。图 9-13 所示为自对准双层多晶硅(NPN)双极器件结构的详细工艺步骤[6]，这类晶体管制备在 N 型外延层上，用反应离子刻蚀出深约 5.0μm 的槽，该槽穿过 N^+ 亚集电极区进到 P^- 衬底区域。接着生长一薄层热氧化物，该氧化层同时兼作槽的掩模膜，阻挡硼注入到槽底。然后用未掺杂的多晶硅填充槽，并覆盖上一层平坦厚实的场氧化层。

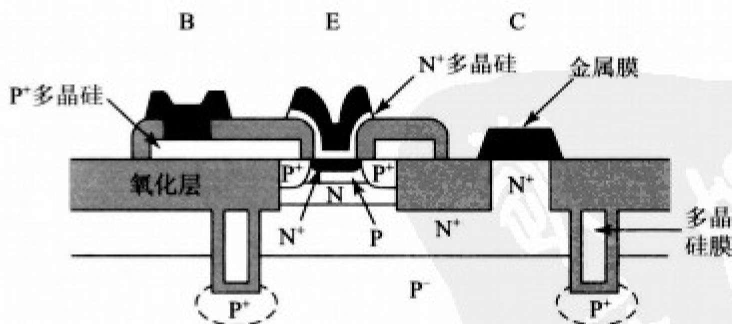


图 9-12　采用了先进绝缘技术的自对准双层多晶硅双极晶体管的横截面图[5]

第一层多晶硅进行重掺杂硼的淀积，将把 P^+ 多晶硅(称为 poly1)当作能形成非本征基区和基极的固相扩散源使用，用化学气相淀积的氧化物和氮化物来覆盖 poly1(如图 9-13a 所示)。用发射极掩模板制备发射区图形，并用干法刻蚀工艺在 CVD 氧化层和 poly1 层上开出窗口(如图 9-13b 所示)。接着在刻蚀过的结构上生长热氧化层，在重掺杂多晶硅的垂直侧面生长了相当厚度的氧化层(约 0.1～0.4μm)，这层氧化物的厚度确定了基极接触区边缘到发射极接触区边缘的距离。在热氧化工艺步骤中，poly1

中的硼向衬底外扩散的结果是形成了非本征 P^+ 基区（如图 9-13c 所示）。由于硼既有横向扩散又有纵向扩散，所以在发射极接触区下面，非本征基区能够与随后形成的本征基区接触在一起。

紧接着氧化生长工艺步骤，用硼离子注入形成本征基区（如图 9-13d 所示），这就完成了本征基区与非本征基区的自对准。去掉多余的氧化层清理出本征基区与非本征基区的接触区后，淀积第二层多晶硅，并注入 As 或者 P，把 N^+ 多晶硅（称为 poly2）当作能形成发射区和发射极的固相扩散源使用。接着通过 poly2 的掺杂剂外扩散形成浅发射区，对基极和发射极外扩散步骤进行快速热退火处理，便于形成浅发射极—基极结和集电极—基极结。最后，淀积 Pt 膜并烧结形成 PtSi 覆盖在 N^+ 多晶硅发射极和 P^+ 多晶硅基极接触区之上（如图 9-13e 所示）。

这种自对准结构可以使得所制造的发射区小于最小光刻尺寸。当生长侧壁衬垫氧化硅时，由于热氧化硅体积要比初始的多晶硅体积要大一些，接触孔就会有一定程度的填充。于是，如果在每边都生长厚 0.2μm 的侧壁氧化硅，那么 0.8μm 宽的开口就将会缩减成 0.4μm。

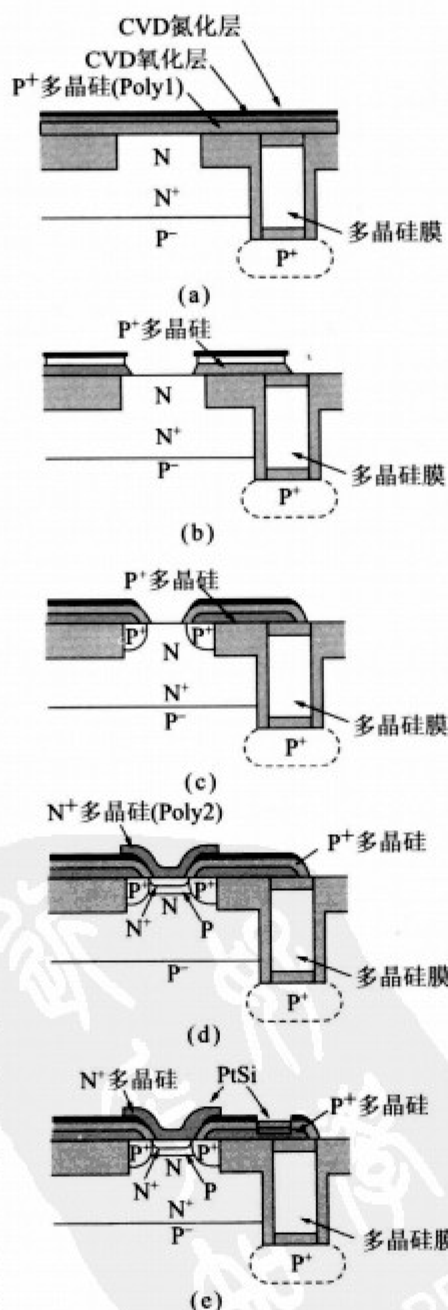


图 9-13　自对准双层多晶硅(NPN)双极器件结构的工艺步骤[6]

194

9.3　MOS 场效应晶体管技术

由于 MOSFET 的尺寸比其他类型器件能缩得更小，所以目前在 ULSI 中 MOSFET 是最主要的器件。CMOS(互补 MOSFET)技术是 MOSFET 中的主流技术，CMOS 工艺是把 P 沟和 N 沟 MOSFET(分别称为 PMOS 和 NMOS)做在同一个芯片上。在所有 IC 技术中 CMOS 功耗最低，因此 CMOS 工艺特别受到 ULSI 电路的青睐。

图 9-14 所示为近年来 MOSFET 尺寸的减小情况。在 20 世纪 70 年代初，栅长为 7.5μm，相应的器件面积约为 $6000\mu m^2$。当器件按比例缩小后，器件面积大幅度缩小，栅长为 0.5μm 的 MOSFET，器件面积减少到不足早期 MOSFET 的 1%。

器件面积缩小的趋势预计还将继续下去，在 21 世纪早期栅的长度将会缩减到 0.10μm，在 9-7 节将会简要讨论 MOSFET 器件的未来发展趋势。

9.3.1　基本制造工艺

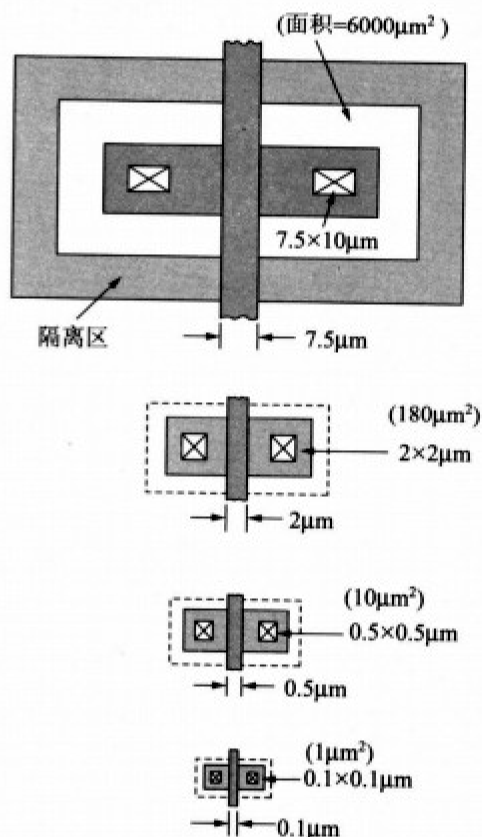


图 9-14　MOSFET 面积随栅长(最小特征长度)的减小而缩小

图 9-15 所示为一个未经金属化的 N 沟 MOSFET 的透视图[7]。顶层是掺磷二氧化硅(磷硅玻璃)，它用作多晶硅栅与栅金属引线之间的绝缘层，也是可动离子的吸除层。将图 9-15 与图 9-7 的双极晶体管相比较，可以看到，MOSFET 的基本结构极为简单。虽然这两种器件都用横向氧化层隔离，但是 MOSFET 不需要纵向隔离，而双极晶体管需要用埋层与衬底之间的 N^+P 结隔离。MOSFET 的掺杂分布不如双极晶体管复杂，控制也不要求那么严格。现将制造图 9-15 所示器件的主要工艺步骤介绍如下。

N 沟 MOSFET (NMOS)工艺所用的原材料为 P 型轻掺杂(～10^{15} cm^{-3})〈100〉晶向抛光硅片。〈100〉晶向优于〈111〉的原因是前者的界面陷阱密度约为后者的十分之一。第一步是采用 LOCOS 技术形成氧化物隔离区，它的工艺步骤与双极晶体管相似：热生长薄二氧化硅衬垫层(～35nm)，接着淀积氮化硅(～150nm)(如图 9-16a 所示)，用光致抗蚀剂作器件有源区的掩模，通过复合的氮化硅-氧化硅层注入硼，形成沟道隔断区(如图 9-16b 所示)，然后刻蚀掉没有被抗蚀剂覆盖的氮化硅层，去除抗蚀剂后，把硅片放在氧化炉中进行氧化，在已去掉氮化硅的区域内生长氧化层(称为场氧化层)，并使注入的硼驱进再分布，场氧化层的厚度一般为 0.5μm 到 1μm。

195～196

第二步是生长栅氧化层和调整阈值电压。去掉有源区上的氮化硅—氧化硅复合膜，生长一层薄的栅氧化层(小于 10nm)。对增强型 N 沟器件，如图 9-16c 所示在沟道区内注入硼离子，使阈值电压增加到某一预定值(例如＋0.5V)。对耗尽型 N 沟器件，在沟道区内注入砷离子以减小阈值电压(例如－0.5V)。

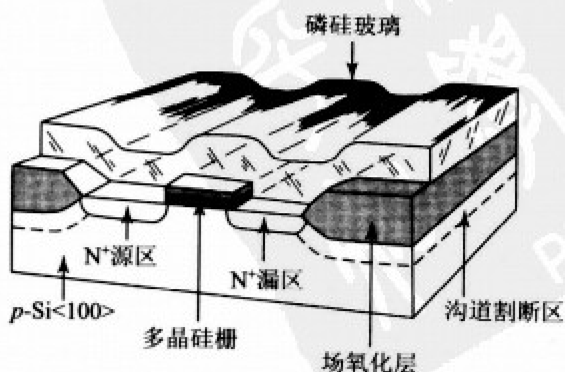


图 9-15　N 沟 MOSFET 的透视图[7]

第三步是形成栅极。淀积多晶硅

层，用扩散或注入法进行重掺杂磷，从而形成20至30Ω/□的方块电阻。这样的方块电阻值对于栅长大于3μm的MOSFET是合适的。当器件更小时，可以用多晶金属硅化物（多晶硅与金属硅化物的复合层，例如多晶硅化钨）作栅材料，使方块电阻降到约1Ω/□。

第四步是形成源区与漏区。在刻出栅图形后（如图9-16d所示），以此为掩模注入砷离子（~30keV，~$5\times10^{15}cm^{-2}$）以形成源区与漏区（如图9-17a所示），因此源区与漏区相对于栅极是自对准的[7]。这时只有注入离子的横向偏差部分与栅有重叠（对30keV注入，$\sigma_{\perp}$只有5nm）。如果随后的各道工序都在低温下进行，以尽可能减少横向扩散，则栅—漏与栅—源耦合的寄生电容可比栅—沟道电容小得多。

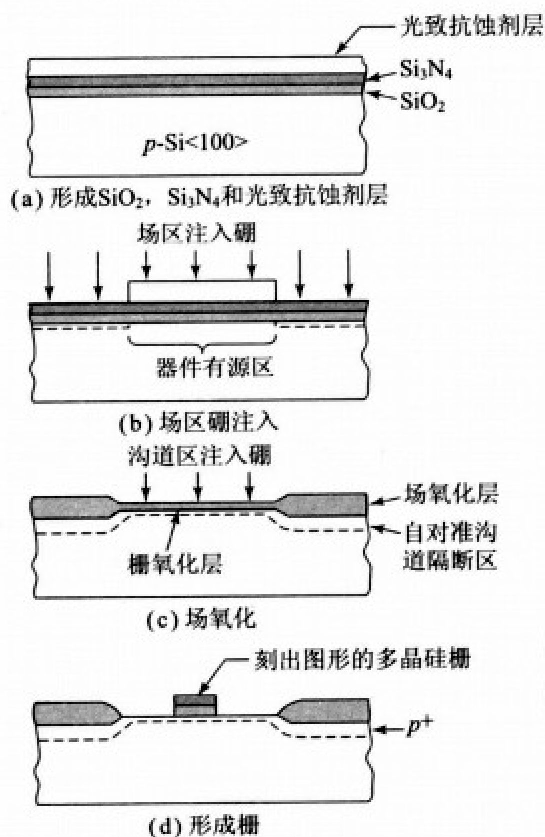


图9-16 NMOS制造步骤截面图[7]

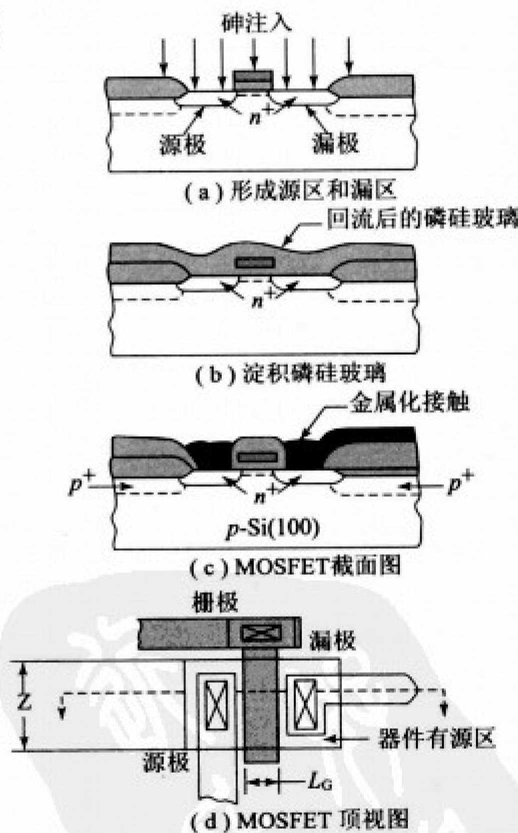


图9-17 NMOS制造步骤顺序[7]

最后一步是金属化。在整个硅片上淀积掺磷的氧化层（磷硅玻璃），加热硅片使磷硅玻璃回流，得到平滑的表面形貌（如图9-17b所示）。在磷硅玻璃上刻出接触孔，淀积金属层（例如铝），并刻出金属引线图形。制成的MOSFET截面图如图9-17c所示，相应的顶视图如图9-17d所示。栅极接触通常做在器件的有源区外面，以避免对薄栅氧化层可能引起的损伤。

【例4】 栅氧化层厚5nm的MOSFET能承受的最大栅—源电压是多少？假设衬

底电压为零时氧化层的击穿场强为8MV/cm。

解：

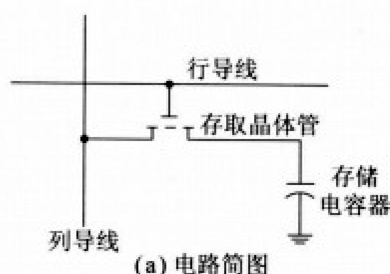
$$V = \xi \times d = 8\times10^6\times5\times10^{-7} = 4V$$

9.3.2 存储器件

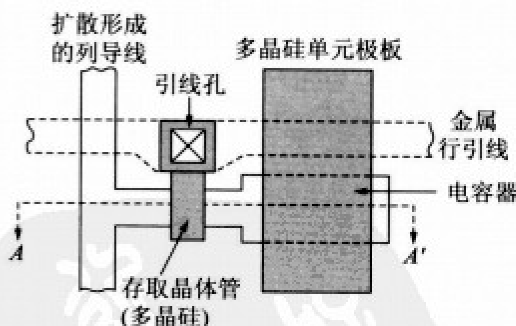
存储器是能按位（bit，二进制数位）存储数字信息（或数据）的器件。可以利用NMOS工艺设计制造各种存储器芯片，对大多数大容量存储器，最好采用随机存取存储器（RAM）结构形式，在RAM中，存储单元是以矩阵结构组织的，能按随机命令存取随机存入（写）或取出（读）数据，而与存储单元的物理位置无关。只要电源开着，静态随机存取存储器（SRAM）可以长期保留所存数据。SRAM可以用触发器电路组成，一个触发器存储1位信息。一个SRAM存储单元有四只增强型MOSFET和两只耗尽型MOSFET，这两只耗尽型MOSFET可以用不掺杂的多晶硅电阻来替代，以减小功耗[8]。

为了进一步减小面积，降低功耗，开发了动态随机存取存储器（DRAM）。图9-18a为单管DRAM存储单元电路图，其中晶体管作开关用，存储电容器中可以存储1位信息，电容器上的电平决定存储单元的状态。例如+1.5V可定义为逻辑1，0V定义为逻辑0。存储的电荷会因电容器的漏电而在几毫秒内消失，因此动态存储器要求周期性地刷新存储电荷。

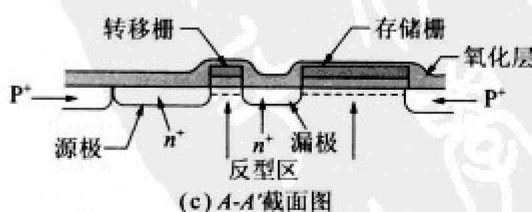
图9-18b所示为DRAM存储单元的版图，对应的A-A'截面如图9-18c所示。存储电容器用沟道区作一个极板，多晶硅栅作另一个极板，栅氧化层为电介质层；行导线是金属条以便最小化延迟，这是由寄生电阻（R）和寄生电容（C）带来的RC延迟所致；列导线用N^+扩散形成，用MOSFET的内部漏区作存储栅下的反型层与转移栅下反型层之间的导线连接，利用图9-18d所示的双层多晶硅方法可以省掉这个漏区，第二层多晶硅电板和第一个多晶硅极板用氧化层隔离开来，这个氧化层是在做第二层多晶硅电极之前用热氧



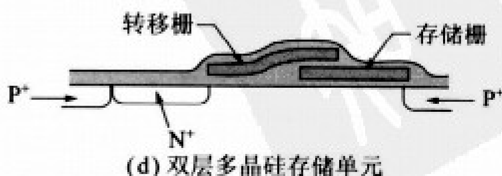
(a) 电路简图



(b) 存储单元版图



(c) A-A'截面图

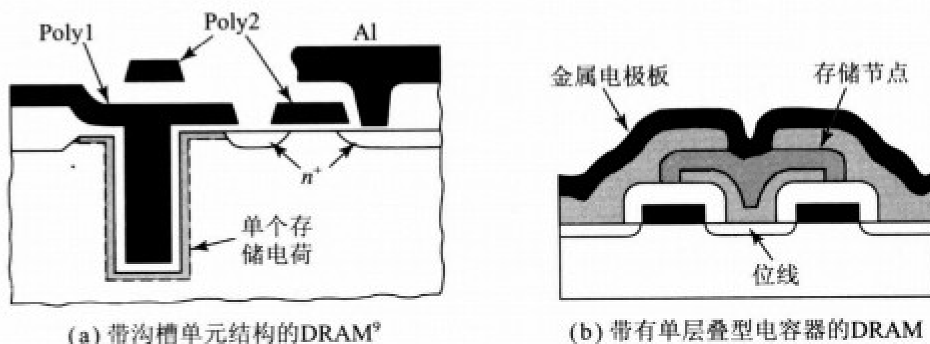


(d) 双层多晶硅存储单元

图9-18 带存储电容器的单管DRAM单元[8]

化方法生长在第一层多晶硅电极上的。这样,列导线上的电荷可以通过转移栅和存储栅下面连通的反型层直接传输到存储栅下面的区域。

面对高密度 DRAM 的要求,DRAM 的结构已经扩展到具有叠层或者槽型电容的三维空间。图 9-19a 所示为一种简单的沟槽单元结构[9],沟槽型的优势在于单元的电容值可以随着加深沟槽而增大,不必增宽单元占用的硅表面。制造沟槽型单元的主要困难在于深沟槽的刻蚀,这需要圆形底角和在沟槽侧壁均匀生长的介质膜。图 9-19b 所示为一种叠层单元结构,存储电容值随着取存晶体管上方叠加的存储电容器增多而增大。在两个多晶硅平板之间使用热氧化层或者 CVD 氮化层的方法形成介质层。因此,叠层单元工艺比沟槽型工艺容易进行。



(a) 带沟槽单元结构的DRAM[9]　　(b) 带有单层叠型电容器的DRAM

图 9-19　两种 DRAM 单元结构示意图

图 9-20 所示为一枚 1Gb 的 DRAM 芯片。这枚存储芯片采用 0.18μm 设计规则,槽型电容器和周边电路用 CMOS,这将在 9.3.3 节中讨论。存储器芯片面积是 390mm²(14.3mm×27.3mm),所含元件超过 20 亿,工作在 2.5V 电压下。这枚 1Gb 的 DRAM 固定在 88 针脚的陶瓷封装之中,该封装能保证合适的散热。

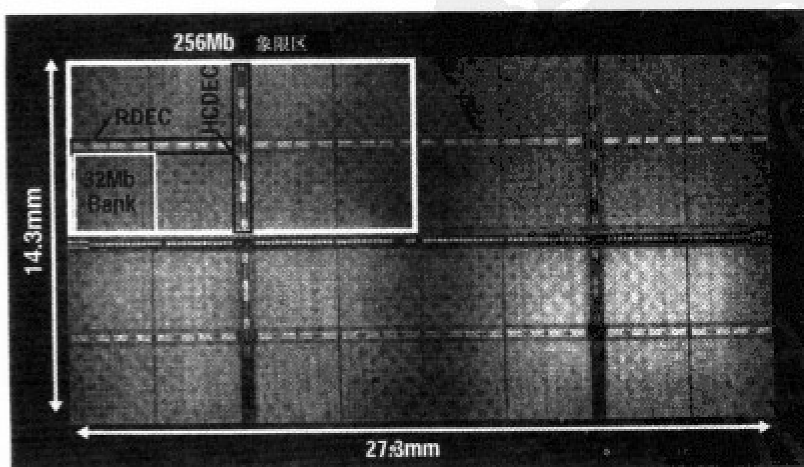
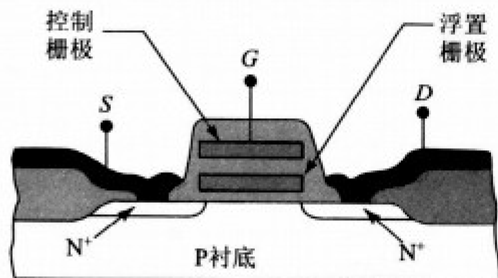


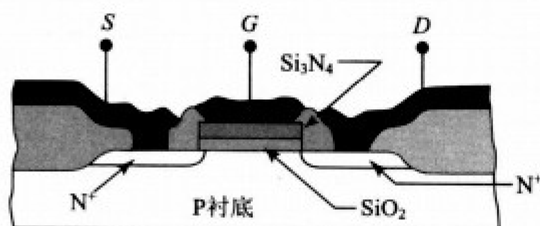
图 9-20　一枚 1Gb 的 DRAM 芯片,所含元件超过 20 亿(照片使用得到 IBM/西门子惠允,1999 IEEE 国际固态电路会议)

SRAM 和 DRAM 都是可挥发存储器，即关掉电源时，就会失去存储的数据。另一方面，非挥发性存储器可以保留数据。图 9-21a 为浮栅非挥发性存储器，它基本上是一个通常的 MOSFET，但栅极有改变，复合册由常规(控制)栅和浮栅组成，浮栅四周由绝缘层隔离。当控制栅加大的正电压时，电荷将从沟道区通过栅氧层注入浮栅，当外加电压切断后，注入电荷可在浮栅上存储很长时间，要消除这些存储电荷，必须在控制栅上加大的负电压，使电荷注入回到沟道区。

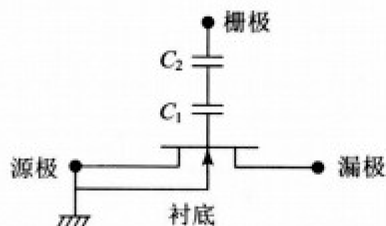


(a) 浮栅非挥发性存储器

另一种非挥发性存储器是金属—氮化物—氧化物—半导体(MNOS)存储器，如图 9-21b 所示。当加正栅压时，电子可以隧道穿过薄氧化层(～2 nm)，被氧化物—氮化物界面的陷阱俘获，成为存储电荷。这两种非挥发性存储器的等效电路可以用两个串联电容器来表示栅极结构，如图 9-21c 所示。存储在电容器(C_1)上的电荷引起阈值电压漂移，器件保持在较高的阈值电压状态(逻辑 1)。如果存储器设计优良，电荷的保存时间可以超过 100 年。要擦去记忆(即存储电荷)，使器件回到较低的阈值电压状态(逻辑 0)，可用加栅压或使用其他方法(比如紫外光照射)。



(b) MNOS非挥发性存储器



(c) 这两种非挥发性存储器的等效电路

图 9-21 非挥发性存储器

非挥发性半导体存储器(NVSM)已经广泛应用在手机、数码相机等便携式电子产品中。另一种令人瞩目的应用是在芯片卡也称为 IC 卡之中。图 9-22 中的照片就是一张 IC 卡，图 9-22 下边则图示说明存贮数据的非挥发性存储器，能通过连接到中央处理器(CPU)的总线对所存贮的数据进行读写。与常规磁卡上有限的存贮空间(1kB)相比，非挥发性半导体存储器的存贮空间尺寸可根据应用需要(例如存储个人照片或者指纹)增加到 16kB、64kB，甚至更高。通过 IC 卡读/写机，数据可应用在各种场合，包括电信(卡式电话、移动无线电)，支付交易(电子钱包、信用卡)，付费电视，转账(电子票据、公用转账)，健康卡(病历卡)和访问控制。在未来全球信息和服务社会中，IC 卡很可能是中流砥柱。

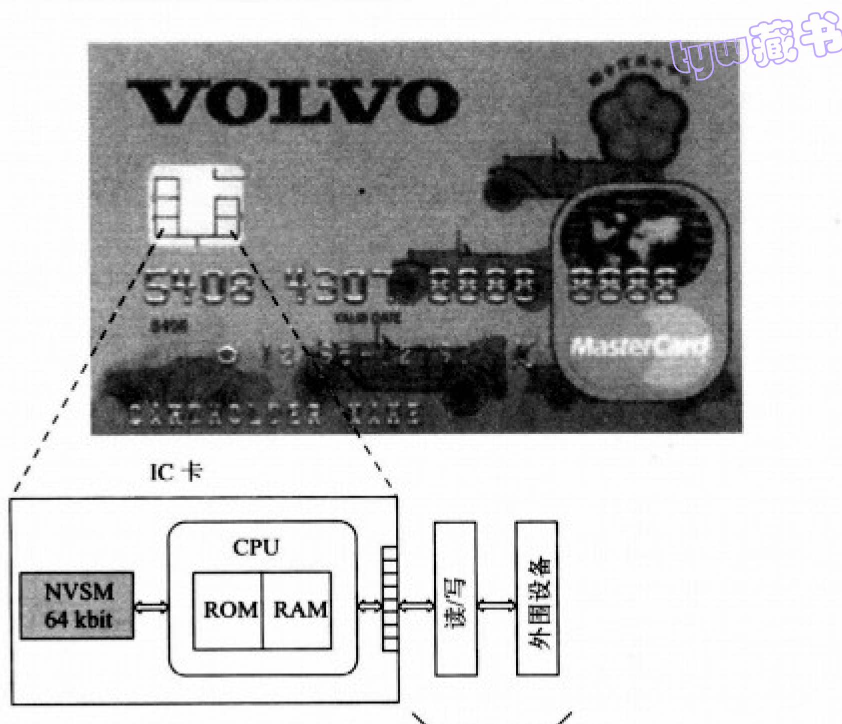


图 9-22　一张 IC 卡，能通过中央处理器(CPU)的总线访问存储在 NVSM 中的数据，有几个金属焊盘连接到读/写机(照片使用得到 Retone Information System 公司惠允)

9.3.3　CMOS 技术

图 9-23a 所示为 CMOS 反相器。上部 PMOS 管的栅极与下部 NMOS 管的栅极相连，两个管子都是增强型 MOSFET，PMOS 的阈值电压 V_{Tp} 小于 0，而 NMOS 的阈值电压 V_{Tn} 大于 0(一般阈值电压为 $1/4V_{DD}$)。当输入电压(V_i)为 0 或一个小的正值时，PMOS 管导通(PMOS 管栅—衬底电势为 $-V_{DD}$，比 V_{Tp} 更负)，而 NMOS 截止。因此输出电压(V_o)非常接近 V_{DD}(逻辑 1)；当输入为 V_{DD} 时，PMOS 管截止($V_{GS}=0$)，而 NMOS 管导通($V_i=V_{DD}>V_{Tn}$)，此时输出电压 V_o 等于 0(逻辑 0)。

CMOS 反相器有其独特之处：不论在那种逻辑状态，在 V_{DD} 和地之间串联的两个管子中，总有一个处于非导通状态，稳态时的电流是很小的漏电流，只在开关过程中两个管子都处于导通状态时，才有显著的电流流过 CMOS 反相器，因此平均功耗很小，在纳瓦数量级。当芯片的元件数增加时，功耗成为主要的限制因素，CMOS 电路的低功耗是最引人注目的特点。

图 9-23b 为 CMOS 反相器的版图，图 9-23c 为沿 $A—A'$ 线的截面图。制造步骤为：首先在 N 型衬底上进行杂质注入然后通过主扩散以形成 P 槽(也称为 P 阱)。P 型掺杂浓度必须足够高，以补偿 N 型衬底的本底浓度。在 P 阱内制造 N 沟 MOSFET 的过程与前述 NMOS 的相同。对 P 沟 MOSFET，在 N 衬底上注入 $^{11}B^+$ 或 $^{49}(BF_2)^+$ 离子以形成源、漏区，沟道注入 $^{75}As^+$ 离子以调整阈值电压，在 P 沟器件四周的场氧化层下形

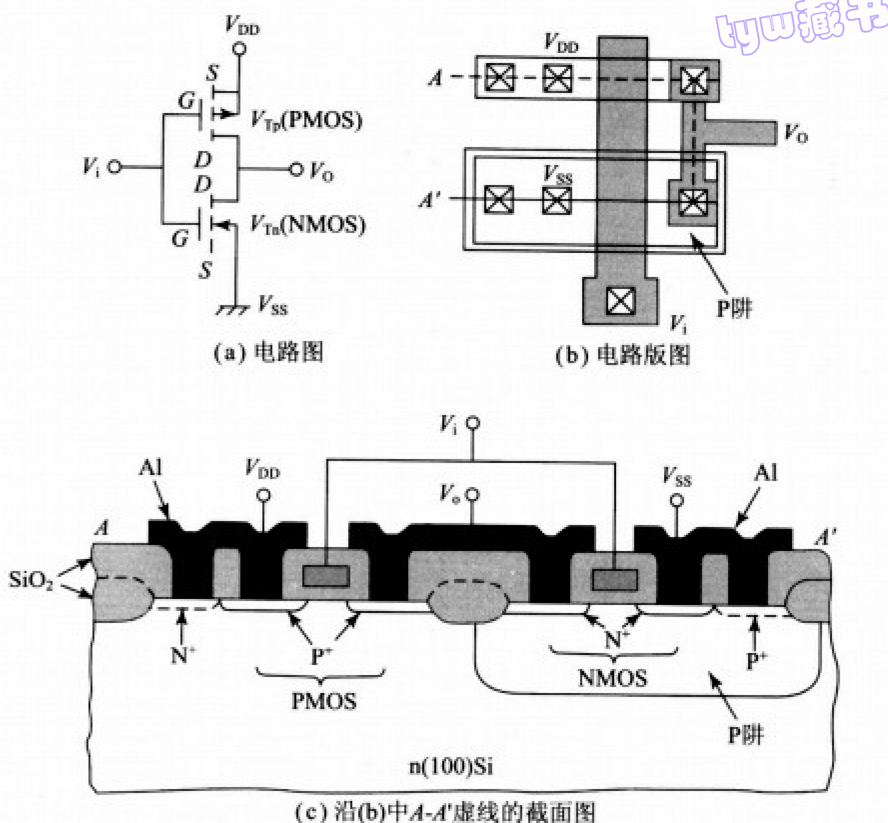


图 9-23 互补 MOS(CMOS)反相器

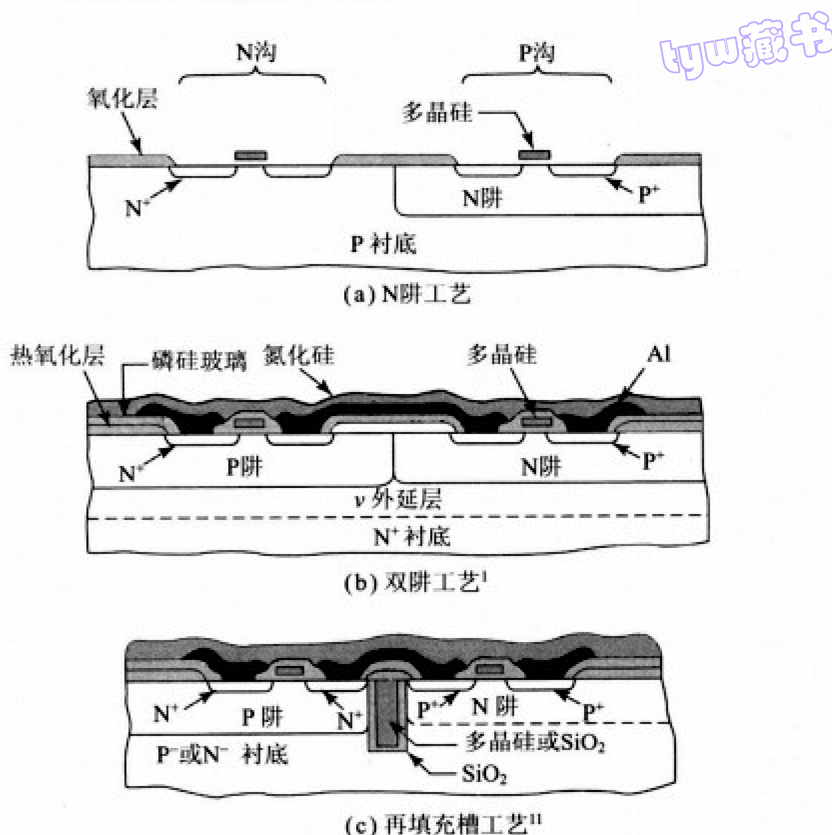
成 N^+ 沟道隔断区。由于要形成 P 阱和制造 P 沟 MOSFET，CMOS 电路的制造工序数基本上是制造 NMOS 的两倍。因此，我们应在降低功耗与工艺复杂性之间进行折中。

204

也可在 P 型衬底上形成 N 阱（如图 9-24a 所示）来代替上述的 P 阱工艺，这时 N 型掺杂浓度必须足够高，以补偿 P 型衬底的本底浓度（即 $N_D > N_A$）。不论是 P 阱还是 N 阱工艺，由于迁移率取决于杂质总浓度（$N_D + N_A$），所以沟道迁移率会降低。还有一种采用两个分开阱的方法，这些阱是在轻掺杂衬底上注入而形成的，如图 9-24b 所示，这类结构称为双阱工艺[1]，由于在双阱工艺中不存在补偿的问题，可以获得较高的沟道迁移率。

所有 CMOS 电路都可能存在着一个棘手的问题，称为*闩锁效应*，它的存在与寄生双极晶体管有关。这些寄生器件包括 NPN 晶体管和 PNP 晶体管，其中 NMOS 的源/漏区、P 阱和 N 型衬底形成 NPN 晶体管，同时还有 PMOS 的源/漏区、N 型衬底和 P 阱形成 PNP 晶体管，在适当的条件下，PNP 晶体管的集电极向 NPN 晶体管提供基极电流，正反馈情形下亦然。这种闩锁效应电流会在 CMOS 电路中引起严重的负面反应。

为了解除闩锁效应的问题，一种有效的处理工艺是使用深槽隔离，如图 9-23c 所示[11]。在这种工艺中，用各向异性的反应溅射刻蚀技术在硅片中刻出比阱还深的槽，接着在槽底和槽壁用热氧化法生长氧化层，然后再用多晶硅或二氧化硅将槽填满，由于 N



(a) N阱工艺

(b) 双阱工艺[1]

(c) 再填充槽工艺[11]

图 9-24 各种 CMOS 结构

沟和 P 沟 MOS 之间在物理上被完全隔离，因此可以消除闩锁效应。接下来将讨论沟槽隔离的详细工艺步骤和相关的 CMOS 工艺制程。

1. 阱形成技术

CMOS 的阱既可以是单阱、双阱，还可以是倒置阱。双阱工艺露出一些劣势，例如为了获得所希望的 2～3μm 的阱深，需要高温(1050℃以上)处理和长时间(超过 8 小时)的扩散。在这种工艺中，表面掺杂浓度最高，随着深度加长浓度单调下降。

为降低工艺温度、缩短工艺时间，采用了高能离子注入(即把离子注入到所希望的深度而不是从表面进行扩散)。由于注入深度是由注入能量决定的，可以用不同的注入能量设计不同的阱深。这种情形下的阱分布在硅衬底的某一确定深处有一峰值，即所谓倒置阱。图 9-25 所示为在倒置阱和常规

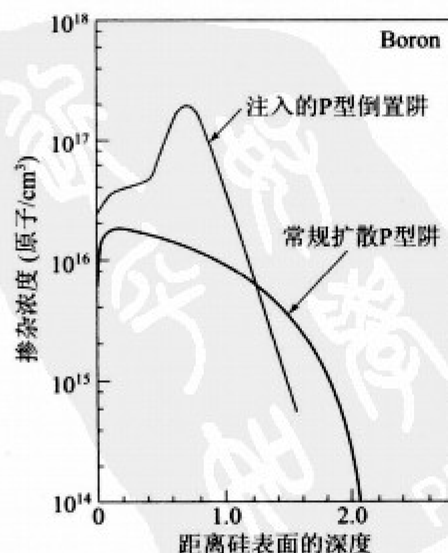


图 9-25 P 型倒置阱注入掺杂浓度分布，同时表示出了常规扩散阱的分布[12]

热扩散阱中的杂质分布的比较[12]，N型和P型倒置阱的注入能量分别是700 keV和400 keV。正如前面所指出的，高能离子注入的优点是能够在低温短时间内形成阱，因此能够减小横向扩散，提高器件密度。倒置阱比常规热扩散阱具有以下几个优点：

(1)因为阱底掺杂浓度高，所以阱电阻率比常规阱的小，闩锁效应的问题也就弱化了；

(2)在倒置阱注入形成的同时沟道隔断也形成了；

206

(3)较高阱底掺杂浓度高能够减小源极和漏极之间的击穿机会。

2. 先进的隔离技术

常规隔离工艺自身存有的一些缺点使其不适合于深亚微米(特征尺寸为0.25μm或更小)制造。硅氧化的高温度和氧化的长时间导致沟道隔断的注入杂质(通常NMOS中用硼)侵蚀有源区，从而引起V_T漂移；由于横向氧化使得有源区面积缩小；此外，亚微米级隔离间距下的场氧化厚度明显小于在较宽间距下生长的氧化层厚度。沟槽隔断技术能解决这些问题，并且已经成为主流隔断技术。

图9-26所示为形成深窄槽(深度超过3μm，宽度不足2μm)隔断结构的工艺顺序。工序分四步：形成图形区；沟槽刻蚀及氧化层生长；用氧化硅或未掺杂多晶硅等电介质进行再填充；最后整平。这种深槽技术既可用于先进的CMOS和双极器件之中，也可以用于槽型DRAM之中。由于隔断材料是用CVD的方法淀积，所以不需要进行长时间和高温度的工艺处理，消除了横向氧化和硼侵蚀的问题。

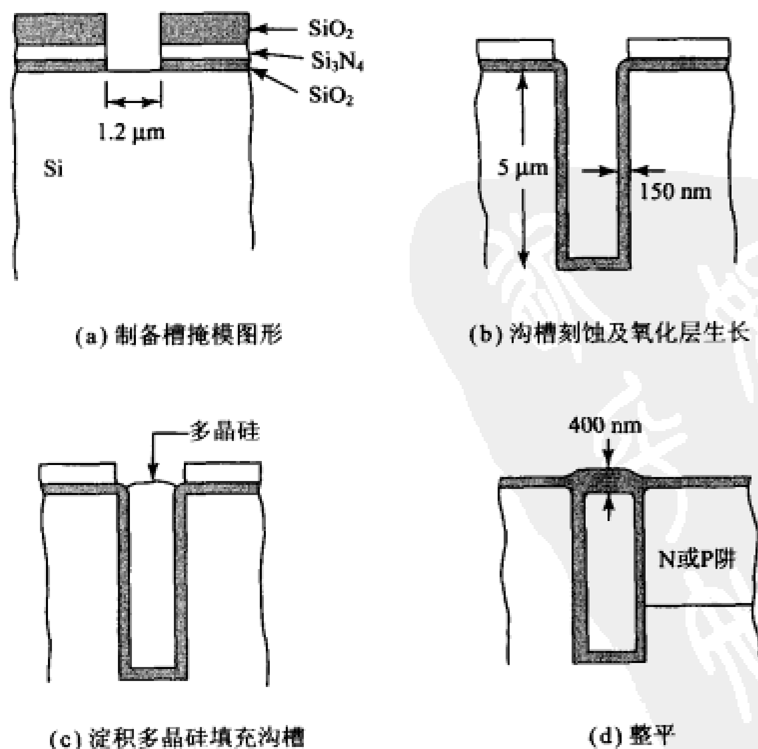


图9-26　形成深窄槽隔断结构的工艺顺序

另一个例子是如图 9-27 所示用于 CMOS 的浅槽隔断。形成图形以后(如图 9-27a 所示),刻出沟槽区域(如图 9-27b 所示)并用氧化物再填充(如图 9-27c 所示)起来。在填充之前,可以预先形成沟道隔断注入。由于氧化物填充超出了沟槽,就需要去掉氮化物上的氧化物。采用 8.5.4 节讨论过的化学机械抛光去除氮化物上的氧化物部分,从而得到一个平坦表面(如图 9-27d 所示)。但是氮化物难于抛光,却起到了 CMP 工艺阻挡层的作用。抛光之后,可用 H_3PO_4 和 HF 分别去掉氮化物层和氧化物层,起初的整平步骤有助于后续制备多晶硅图形和多层互连线工艺。

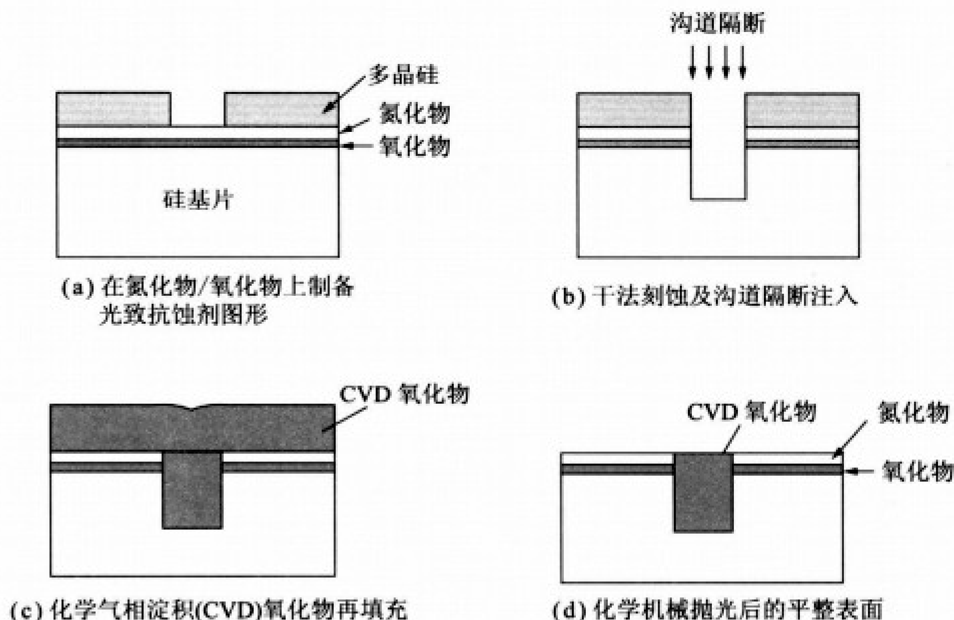
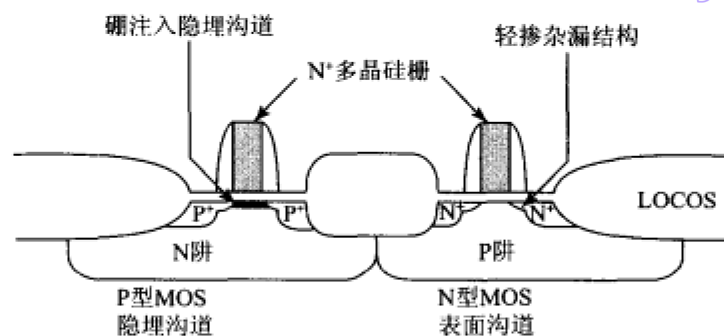


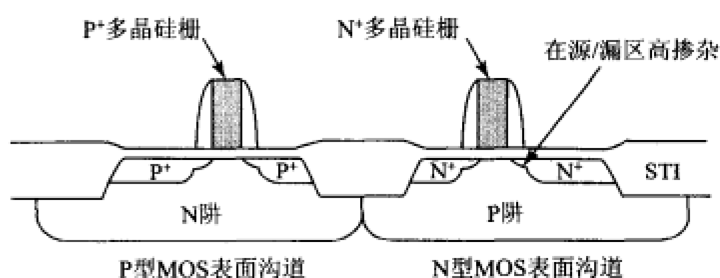
图 9-27 用于 CMOS 的浅槽隔断

3. 栅工程技术

如果 PMOS 和 NMOS 都使用 N^+ 型多晶硅,那么就不得不进行硼注入来调整 PMOS 的阈值($V_{Tp}\cong-0.5\sim-1.0V$),这会使 PMOS 沟道成为隐埋型,如图 9-28a 所示。当器件尺寸缩小到 0.25μm 以下时,隐埋型 PMOS 承受着短沟道效应,短沟道效应中最显著的现象是 V_T 漂移,漏诱导位势降低(DIBL)和断态时的较大泄漏电流,因此,即便栅电压为零,仍有泄漏电流流过源极和漏极。要缓减这个问题可把 PMOS 的 N^+ 型多晶硅变成 P^+ 型多晶硅,由于功函数不同(从 N^+ 型多晶硅到 P^+ 型多晶硅相差 1eV),我们可以得到无需经过硼注入 V_{Tp} 调整过程的表面 P 型沟道器件。所以,当工艺技术缩小到 0.25μm 及其以下时,要求采用双栅结构:PMOS 用 P^+ 型多晶硅栅,NMOS 用 N^+ 型多晶硅栅(如图 9-28b 所示)。图 9-29 所示为 V_T 在表面沟道与隐埋沟道之中的比较,可见,在深亚微米区表面沟道的 V_T 比隐埋沟道器件中的 V_T 漂移要缓慢得多。这就使得带有 P^+ 型多晶硅的表面沟道器件适合于深亚微米器件工作。



(a) 采用单层多晶硅栅(N⁺)的常规 长沟道CMOS结构



(b) 采用双层多晶硅栅的先进CMOS结构

图 9-28 两种 CMOS 结构比较示意图

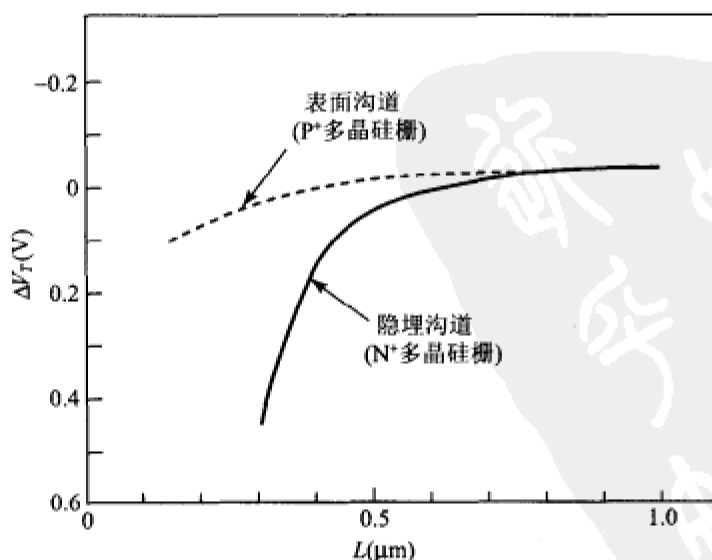


图 9-29 表面型沟道与隐埋型沟道中的 V_T漂移，当沟道长度小于 0.5μm 以后 V_T下降的非常快

一般使用BF_2^+离子注入来形成P^+型多晶硅栅，但是在高温情形下，硼容易从多晶硅穿过氧化层渗透到硅衬底，引起V_T移动。在有F原子的场合还会增强该渗透作用。有些可减轻这种效应的方法：快速热退火的应用可减少高温作用时间，当然也就降低了硼扩散；氮氧化物的应用抑制了硼渗透，这是因为硼容易与氮结合变得不可移动；制备多层多晶硅以便在两层间的界面处俘获硼原子。

图9-30所示为一枚面积约200mm²、容纳有4200万个元件的微处理器(奔腾4)芯片，这枚ULSI芯片使用具有6层铝金属布线的0.18μm CMOS技术制造。

208~209

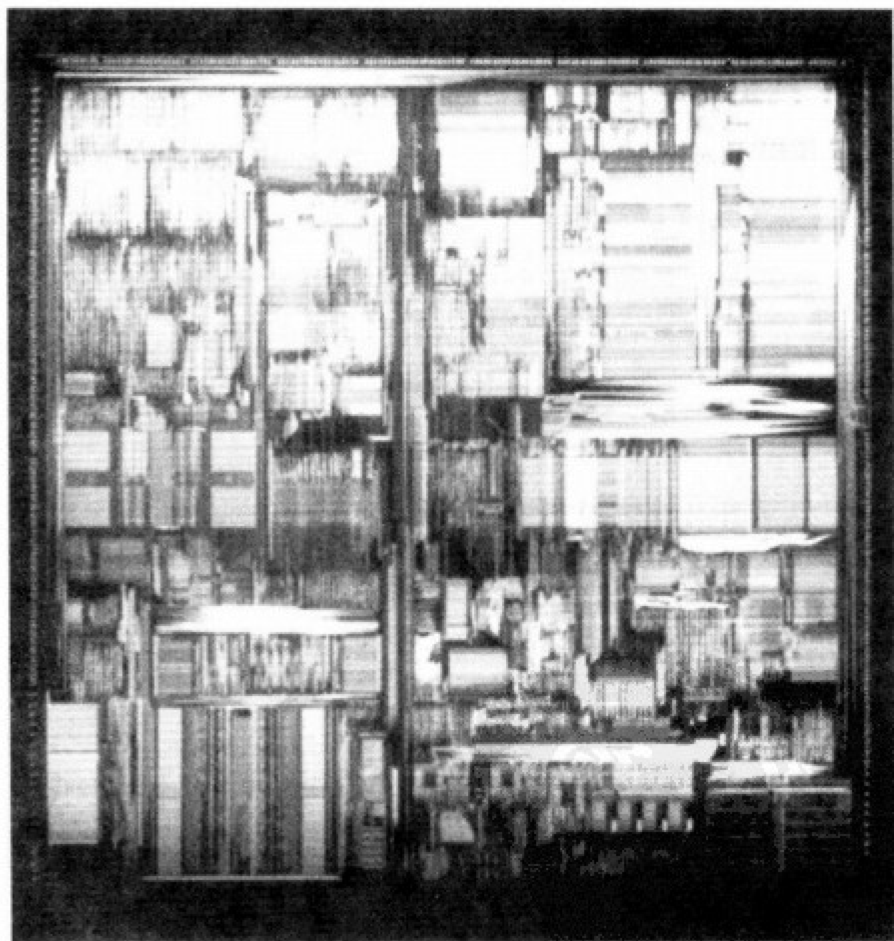


图9-30　32位奔腾4微处理器芯片的显微照片
(照片使用得到英特尔公司惠允)

9.3.4 BiCMOS技术

BiCMOS是一种在同一块芯片上兼容了CMOS和双极器件结构的技术。之所以要兼容这两种不同的技术，是为了创造出一种兼有CMOS和双极器件优点的IC芯片。CMOS的优点表现在功耗、噪声容限和集成密度方面，而双极技术展现的优势在于开

关速度、电流驱动能力和模拟性能方面。结果，对于特定设计规则而言，BiCMOS 具有比 CMOS 更高的速度，比 CMOS 更好的模拟电路性能，比双极技术低的功耗，以及比双极技术更高的器件密度。图 9-31 比较了 BiCMOS 和 CMOS 的逻辑门电路。对于 CMOS 反相器，下级负载 C_L 的驱动（或充电）电流是漏极电流 I_{DS}；对于 BiCMOS 反相器，驱动电流是 $h_{fe}I_{DS}$，其中 h_{fe} 是双极晶体管的电流增益，I_{DS} 是双极晶体管的基极电流，该电流等于 CMOS 电路中 M_2 的漏极电流。由于 h_{fe} 比 1 大很多，速度能够得到很大的增强。

210

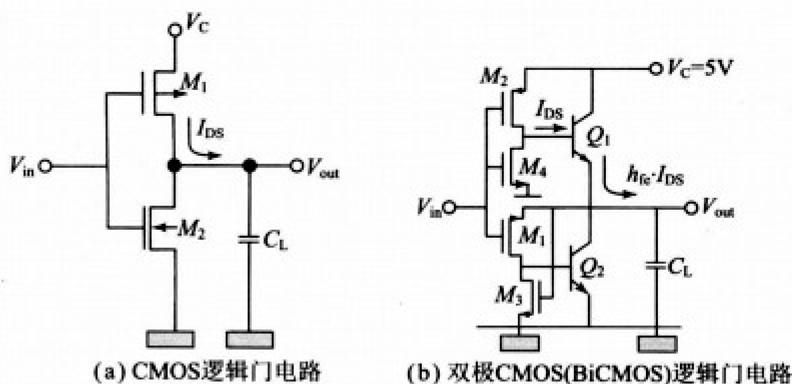


图 9-31 两种逻辑门电路比较

BiCMOS 已广泛用在很多应用中。早些时候它只用在 SRAM 电路之中，现在 BiCMOS 已经成功用于无线通讯设备中的收发器、放大器和振荡器的应用。大多数的 BiCMOS 工艺是在 CMOS 工艺的基础上有些修改，如增加几张用于双极晶体管制造的掩模。下面的例子（如图 9-32 所示）就是基于双阱 CMOS 工艺的高性能 BiCMOS 工艺[13]。

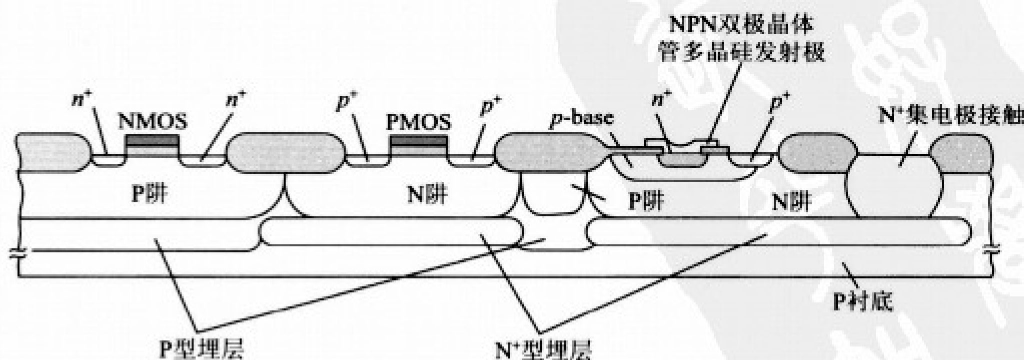


图 9-32 优化过的 BiCMOS 器件结构。关键特征结构有：为提高集成密度的自对准 P 和 N^+ 埋层，单独优化的 N 和 P 阱（双阱 CMOS），这些阱是在外延层中通过对本征衬底掺杂而形成的，以及旨在提高双极晶体管性能的多晶硅发射极[13]

该工艺的初始材料为P型硅衬底，接着形成N^+型埋层以便减小集电极电阻。通过离子注入形成P型埋层来提高掺杂量级以便防止击穿。在晶片上长出轻掺杂的N外延，实施CMOS双阱工艺。要获得高性能的双极晶体管，还必须增加4张掩模，它们是N^+型埋层掩模，集电极深N^+层掩模，基极P层掩模和多晶发射极掩模。在其他工艺步骤中，可以通过PMOS源/漏注入中的P^+注入形成基极接触的P^+区域，而用NMOS的源/漏注入形成N^+发射极。与常规CMOS技术相比，增加掩模和较长的工艺处理时间成为BiCMOS的主要缺点。可以通过增强的性能来弥补额外附加成本。

9.4 MESFET 技术

砷化镓工艺技术的新发展，连同新的制造和电路方法的出现，使我们有可能建立“类硅”的砷化镓IC工艺。与硅相比，砷化镓本身有三个优点：

(1) 电子迁移率较高，因此，在给定器件尺寸情况下，串联电阻较低；

(2) 对给定的电场强度，有较高的漂移速度，这可以改善器件速度；

(3) 可制成半绝缘层，这能提供一晶格匹配的介质绝缘的衬底。

但是，砷化镓也有三个缺点：

(1) 少数载流子寿命很短；

(2) 没有稳定的起钝化保护作用的自然氧化层；

(3) 晶体缺陷比硅高几个数量级。

少数载流子寿命短，以及没有高质量的绝缘膜，阻碍了砷化镓双极器件的研制，推迟了砷化镓MOS工艺的发展。因此，砷化镓IC工艺的重点是在MESFET领域，这时所关注的是多数载流子的传输和金属—半导体接触。

高性能MESFET的典型制造工艺顺序[14]如图9-33所示。在半绝缘GaAs衬底上外延生长一层GaAs，紧接着制备N^+接触层(如图9-33a所示)，然后台面刻蚀工艺步骤实现隔断(如图9-33b所示)，蒸镀一层用作欧姆接触的金属层(如图9-33c所示)，沟道凹槽刻蚀之后跟着进行栅槽刻蚀和栅蒸镀(如图9-33d和图9-33e所示)，经过浮脱工艺去除如图9-33e所示的光致抗蚀剂之后，完成了MESFET的制备(如图9-33f所示)。

N^+接触层减小了源和漏的欧姆接触电阻。可以看到栅偏移靠近源使得源电阻最小化，外延层足够厚，以便使得在源上表面耗尽的影响以及漏电阻最小化。栅电极拥有最小接触面的最大截面面积，这种截面能提供低栅电阻和最小的栅长度。另外，长度(L_{GD})设计超过栅—漏击穿时耗尽区的宽度。

典型的MESFET集成电路制造工序如图9-34所示[15]。在这种工艺过程中，N^+源区和漏区自对准每个MESFET的栅。在增强型开关器件中采用相当轻的沟道掺杂注入，而在耗尽型器件中采用重掺杂注入。通常数字IC制造中不使用栅槽，因为各边深度的均匀性很难控制，会在阈值电压中引起无法接受的差异。这种工序也可以用于单片微波集成电路(MMIC)。可见，砷化镓MESFET工艺技术类似于硅基MOSFET工

艺技术。

已经制得复杂程度达到大规模集成水平(每个芯片～10000个元件)的砷化镓IC。由于砷化镓有较高的漂移速度(比硅约高20%),按相同设计规则设计的砷化镓IC的速度要比硅快20%。当然,砷化镓只有在晶体质量与工艺技术有显著改进之后,才可能在ULSI领域中挑战领先地位的硅。

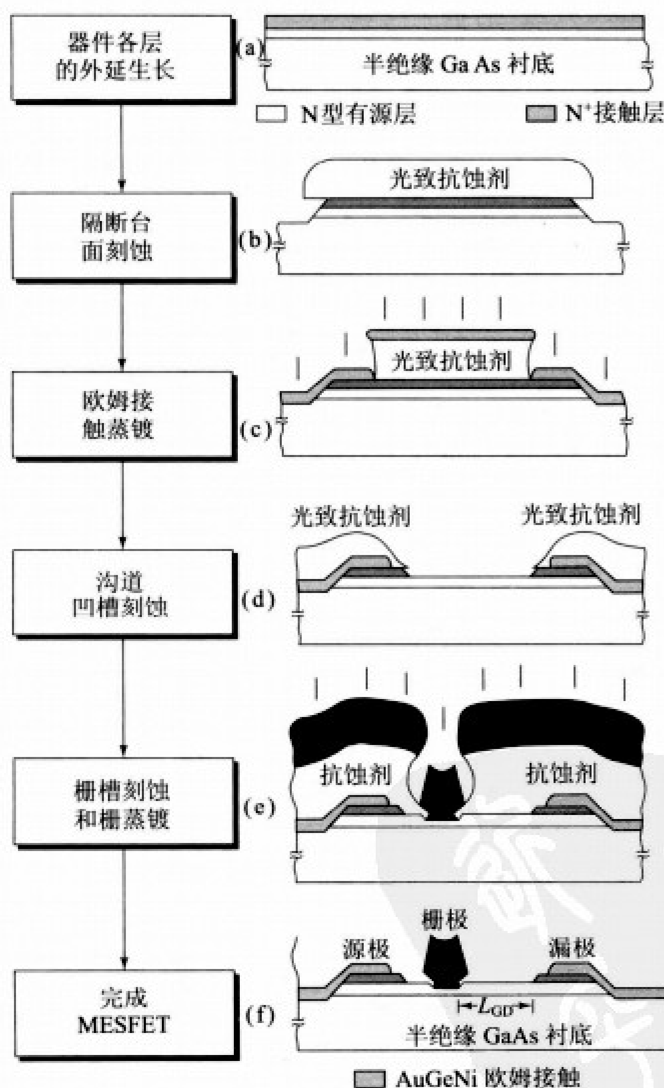


图9-33　GaAs MESFET的制造工序[14]

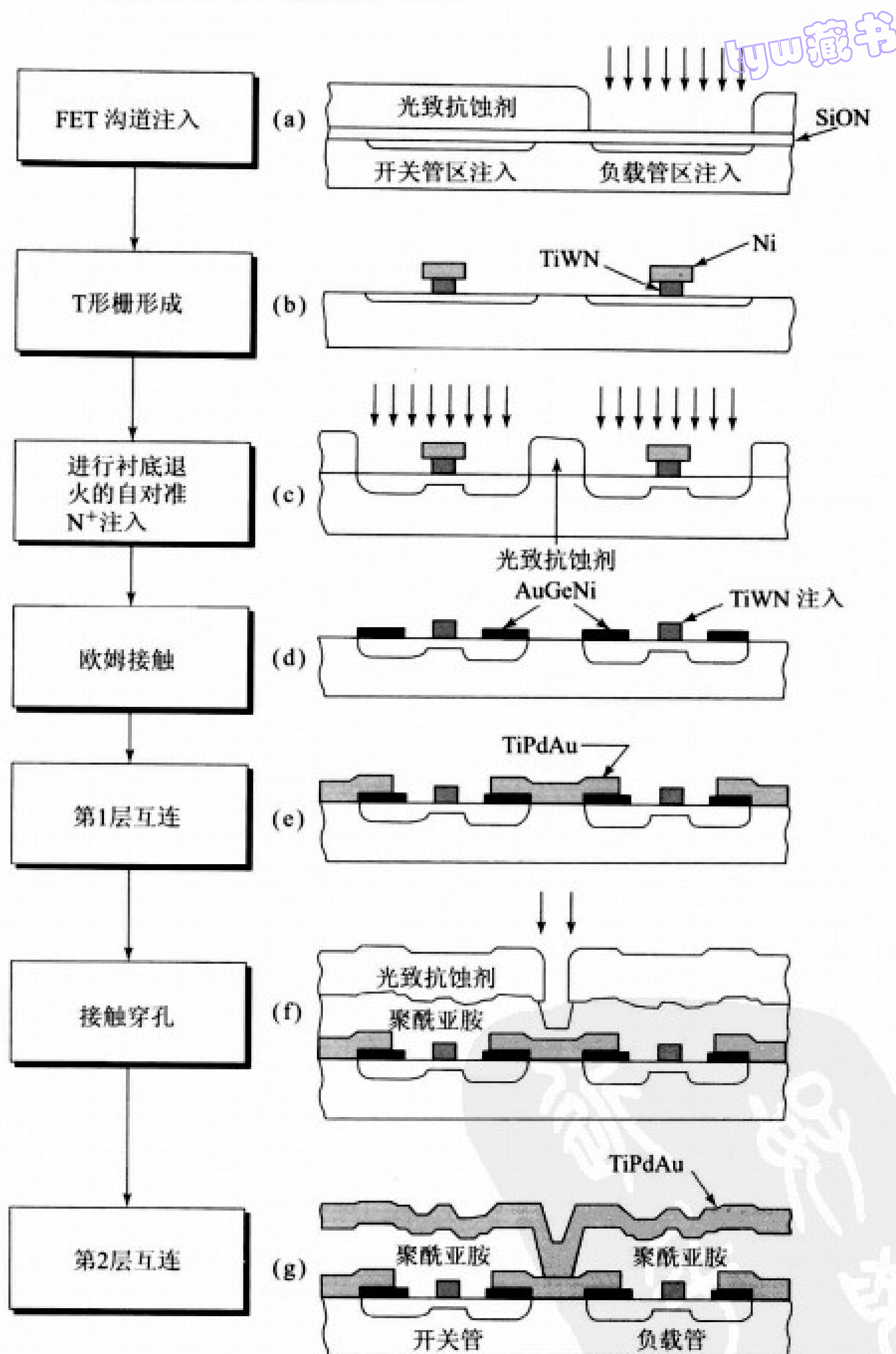


图 9-34　带有源负载直接耦合 FET 逻辑电路的 MESFET 制造工序，可以看到，N^+ 源区和漏区自对准各自的栅[15]

9.5　MEMS 技术

从 20 世纪 80 年代以来，当在硅芯片上制造出来用多晶硅作的旋转式微型电机时，

人们迅速激发起对微机电系统(MEMS)的兴趣[16,17]。硅 MEMS 的加工采取了很多开212发出来的硅集成电路高技术,这些技术方法使得 MEMS 产品能够象 IC 芯片那样进行低成本的批量生产。除了 IC 制造工艺之外,还为 MEMS 开发了一些专用工艺。本节讨论 3 种专用刻蚀技术:体形微加工,表面微加工和 LIGA 工艺。

9.5.1 体形微加工

在体形微加工工艺中,通过刻蚀较大的单晶衬底制作器件(例如传感器和制动器)。在体衬底上制出薄膜图形来确定绝缘部分和换能作用部分。定向湿法化学腐蚀工艺提供了高分辨率刻蚀和严格的尺寸控制。通常,体形微加工器件使用双面处理,构建自隔断结构,其间一个面暴露承受机械或化学信号等可测变量,而另一个面封闭在洁净的封装之中,双面结构都非常结实能够在不适宜微电子器件的环境中工作。如振动膜压力传感器、隔膜和悬臂压电电阻加速传感器等简单的机械器件均是采用这种技术进行商业制造。图 9-35 所示为一种简单的硅橡胶膜的制造工艺[18]。

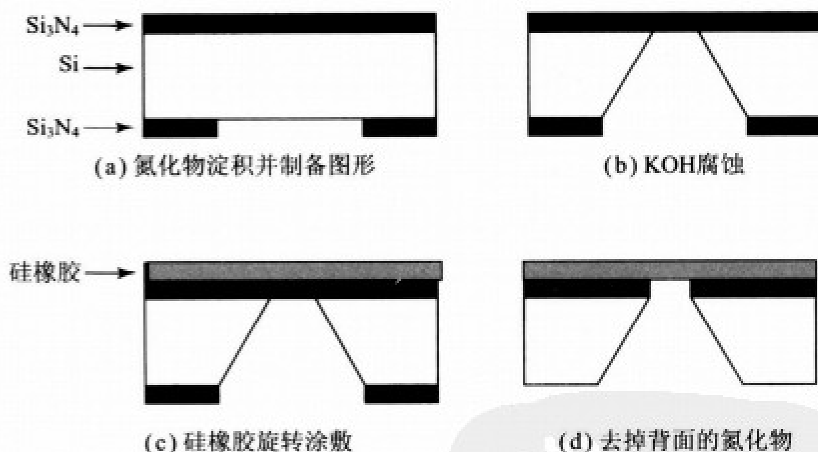


图 9-35 简单硅橡胶膜的制造工艺[18]

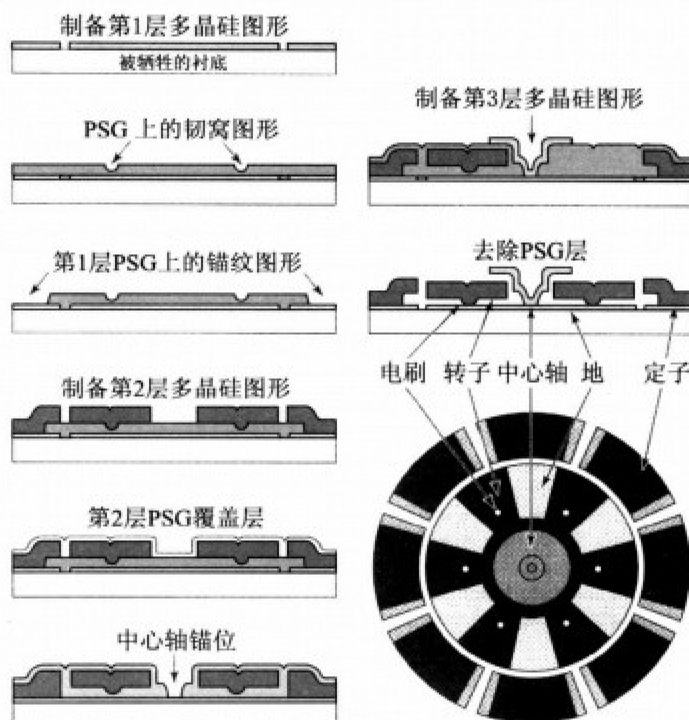
9.5.2 表面微加工

表面微加工的器件全部是用薄的膜层构建。在用体型和薄膜形材料构建的结构之间存在一些差别和相通的地方。一般体型微机械传感器的尺寸处于毫米量级,而表面微机械器件处于微米尺度。表面微加工可以运用叠层和图形化膜层,或者建造块型膜层的方式进行复杂结构器件的制造;而构建多层体器件是非常困难的。采用牺牲层可以制备出自立可动的部件,图 9-36 所示为如何使用牺牲刻蚀技术制成一个静电微型电机,电机置于阱中,转子与中心轴存在亚微米容限[17]。

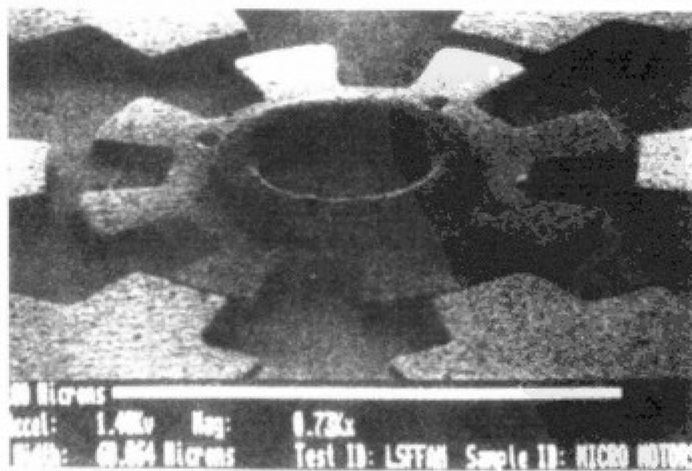
9.5.3 LIGA 工艺

LIGA 是德文单词 *lithographic*(光刻),*galvanoformung*(电铸),*abformung*(成

型)首字母的缩写词[19]，它由 3 个基本的工艺步骤组成：光刻，电铸和成型。LIGA 工艺是建立在来自同步加速器的 X 射线辐照的基础之上，该工艺能够制成微型结构，微结构的横向尺寸在微米量级，而结构高度根据不同材料在几百微米范围，其潜在应用涵盖了微电子学、传感器学、微光学、微机械学和应用生物学。



(a) 静电微型电机的牺牲工艺流程。图中PSG为磷硅玻璃



(b) 微型电机照片[17]

图 9-36 使用牺牲刻蚀技术制成静电微型电机示意图

如图 9-37 所示就是一个 LIGA 工艺的例子。厚度从 300μm 到 500μm 以上的 X 射

线抗蚀剂淀积在表面导电的衬底上，用穿过X射线掩模的高准直X射线辐照曝光制备光刻图形，如图9-37a所示。经过显影处理以后，在厚抗蚀剂膜上形成一个花朵形状的槽结构（如图9-37b所示），接着把金属膜电镀在暴露出来的导电衬底上，这将填满槽并覆盖着抗蚀剂的上表面（如图9-37c所示），去掉抗蚀剂后就形成了金属结构件（如图9-37d所示），该金属结构件可以当作模子框架反复使用，用该模子框架进行喷射模塑以便形成有机电镀基区的塑胶复制品（如图9-37e所示），而反过来，电镀基区的复制品可以用来电镀很多最终的金属构件，如图9-37f～图9-37g所示。

217

LIGA工艺最独到的优势是能制备与体型微加工器件一样厚的三维结构件，同时保持与表面微加工一致的设计灵活性。但是，基本的同步加速器辐照却是非常昂贵的工艺步骤，并且模子分离步骤可能会磨损原始模子框架。

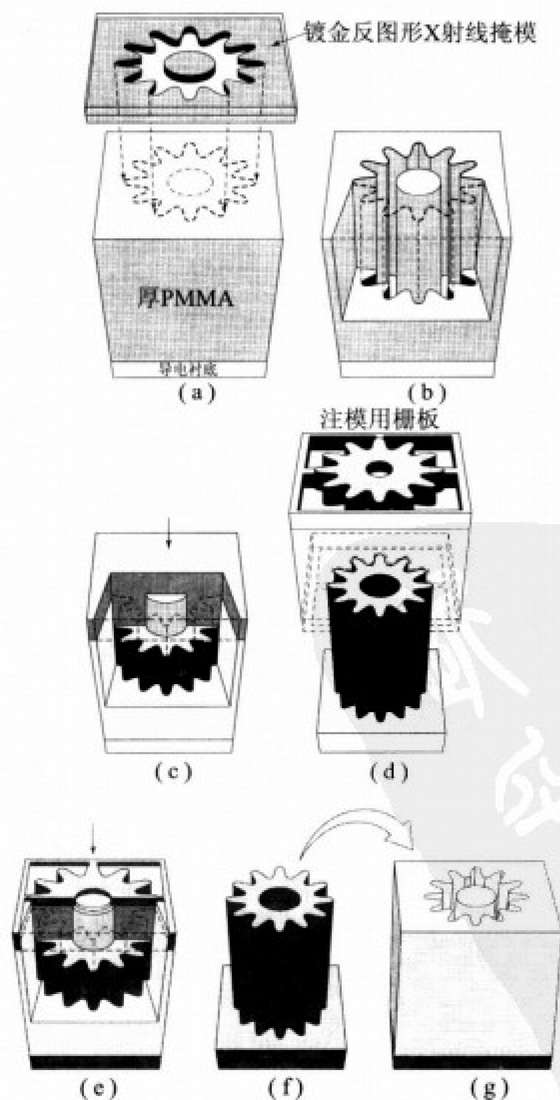


图9-37　LIGA工艺[19]

9.6 工艺模拟

SUPREM 非常适合用来模拟整个 IC 制造工序。作为一个例子，我们考虑模拟 9.3.1 节所讨论的 NMOS 多晶硅栅工艺。所要模拟器件的横截面图最初示意在图 9-17c中，现在这里再一次表示如图 9-38 所示。模拟了器件上由划分线表示为A-A′，B-B′，C-C′的 3 个垂向区域，这 3 个模拟分别代表着器件的中央部分、源/漏区域和场区。

用了总共 5 个 SUPREM 输入脚本（deck）来模拟结构。第 1 个脚本模拟器件有源区的工艺过程，这个过程延续至工艺偏离到栅和源/漏区域为止。第 2 和第 3 个脚本从第 1 个脚本的结果开始，分别完成栅和源/漏区域的工艺过程。在第 1 个脚本的结尾通过使用 SAVEFILE 声明来完成结构保存，并在第 2 个和第 3 个脚本的 INITIALIZE 声明中使用所保存的结构。第 4 个脚本除了是在模拟场区工艺过程外，与第 1 个脚本相似。第 5 个脚本结束场区工艺处理。 218

完整的工序如下：

(1) 始于高电阻率的〈100〉P 型硅衬底；

(2) 生长 400Å 的 SiO_2 衬垫层；

(3) 在氧化硅衬垫上淀积 800Å 的氮化硅；

(4) 剥离掉有源区外的氮化硅；

(5) 在场区注入硼离子；

(6) 1000℃湿 O_2 中氧化场区 3 小时；

(7) 在有源区向下刻蚀到硅；

(8) 注入硼设置 MOSFET 的阈值电压；

(9) 生长 400Å 的栅氧化层；

(10) 淀积 0.5μm 的多晶硅；

(11) 用 $POCl_3$ 对多晶硅掺磷；

(12) 刻蚀栅以外的多晶硅部分；

(13) 注入砷形成源/漏区；

(14) 在 1000℃干 O_2 中驱使（再分布）10 分钟源/漏注入的 As；

(15) 在栅、源和漏区开出接触孔；

(16) 在晶片表面淀积掺磷 SiO_2（磷硅玻璃）；

(17) 1000℃下磷硅玻璃回流 30 分钟；

(18) 再次开出接触孔，然后淀积铝膜。

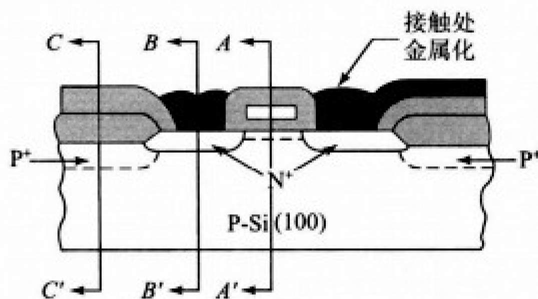


图 9-38 模拟器件横截面示意图

如图 9-39、图 9-40 和图 9-41 所示分别绘制出了栅区(A-A′截面)、源/漏区(B-B′截面)和场区(C-C′截面)的杂质分布。SUPERM 的输入指令行如下：

219

```
TITLE          NMOS Polysilicon Gate-Deck 1
COMMENT        Active device region initial processing
COMMENT        Initialize silicon substrate
INITIALIZE     <100> Silicon Boron Concentration=1e15
COMMENT        Grow 400A pad oxide
DIFFUSION      Time=40 Temperature=1000 DryO2
COMMENT        Deposit 800A CVD nitride
DEPOSITION     Nitride Thickness=0.08
COMMENT        Grow field oxide
DIFFUSION      Time=180 Temperature=1000 WetO2
COMMENT        Etch to silicon surface
ETCH           Oxide all
ETCH           Nitride all
ETCH           Oxide all
COMMENT        Implant boron to shift threshold voltage
IMPLANT        Boron Dose=4e11 Energy=50
COMMENT        Grow gate oxide
DIFFUSION      Time=30 Temperature=1050 DryO2 HCl%=3
COMMENT        Deposit polysilicon
DEPOSITION     Polysilicon Thickness=0.5 Temperature=600
COMMENT        Dope the polysilicon using POCl3
DIFFUSION      Time=25 Temperature=1000 Phosphorus solidsol
PRINT          Layers
PLOT           Chemical Boron Phosphor Net
SAVEFILE       Structur Filename=nmosactiveinit.str
STOP           End Deck 1

TITLE          NMOS Polysilicon Gate-Deck 2
COMMENT        Gate region
COMMENT        Initialize silicon substrate
INITIALIZE     Structur=nmosactiveinit.str
COMMENT        Implant arsenic for source/drain regions
IMPLANT        Arsenic Dose=5e15 Energy=150
COMMENT        Drive-in arsenic and re-oxidize source/drain regions
DIFFUSION      Time=30 Temperature=1000 DryO2
COMMENT        Etch contact holes to gate, source, and drain regior
ETCH           Oxide
COMMENT        Deposit phosphorus-doped SiO2 using CVD
DEPOSITION     Oxide Thickness=0.75 C.phosphor=1e21
COMMENT        Reopen contact holes
ETCH           Oxide
COMMENT        Deposit Aluminum
DEPOSITION     Aluminum Thickness=1.2
PRINT          Layers
PLOT           Chemical Boron Arsenic Phosphor Net
STOP           End Deck 2
```

```
TITLE         NMOS Polysilicon Gate-Deck 3
COMMENT       Source/drain regions
COMMENT       Initialize silicon substrate
INITIALIZE    Structur=nmosactiveinit.str
COMMENT       Etch polysilicon and oxide over source/drain regions
ETCH          Polysilicon
ETCH          Oxide
COMMENT       Implant arsenic for source/drain regions
IMPLANT       Arsenic Dose=5e15 Energy=150
COMMENT       Drive-in arsenic and re-oxidize source/drain regions
DIFFUSION     Time=30 Temperature=1000 DryO2
COMMENT       Etch contact holes to gate, source, and drain regions
ETCH          Oxide
COMMENT       Deposit phosphorus-doped SiO2 using CVD
DEPOSITION    Oxide Thickness=0.75 C.phosphor=1e21
COMMENT       Reflow glass to smooth surface and dope contact holes
DIFFUSION     Time=30 Temperature=1000
COMMENT       Reopen contact holes
ETCH          Oxide
COMMENT       Deposit Aluminum
DEPOSITION    Aluminum Thickness=1.2
PRINT         Layers
PLOT          Chemical Boron Arsenic Phosphor Net
STOP          End Deck 3
```

220

```
TITLE         NMOS Polysilicon Gate-Deck 4
COMMENT       Isolation region initial processing
COMMENT       Initialize silicon substrate
INITIALIZE    <100> Silicon Boron Concentration=1e15
COMMENT       Grow 400A pad oxide
DIFFUSION     Time=40 Temperature=1000 DryO2
COMMENT       Implant boron to increase field doping
IMPLANT       Boron Dose=1e13 Energy=150
COMMENT       Grow field oxide
DIFFUSION     Time=180 Temperature=1000 WetO2
COMMENT       Implant boron to shift threshold voltage
IMPLANT       Boron Dose=4e11 Energy=50
COMMENT       Grow gate oxide
DIFFUSION     Time=30 Temperature=1050 DryO2 HCl%=3
COMMENT       Deposit polysilicon
DEPOSITION    Polysilicon Thickness=0.5 Temperature=600
COMMENT       Dope the polysilicon using POCl3
DIFFUSION     Time=25 Temperature=1000 Phosphorus solidsol
PRINT         Layers
PLOT          Chemical Boron Phosphor Net
SAVEFILE      Structur Filename=nmosfieldinit.str
STOP          End Deck 4
```

```
TITLE          NMOS Polysilicon Gate-Deck 5
COMMENT        Isolation region final processing
COMMENT        Initialize silicon substrate
INITIALIZE     Structur=nmosfieldinit.str
COMMENT        Etch polysilicon and oxide over source/drain regions
ETCH           Polysilicon
ETCH           Oxide Thickness=0.07
COMMENT        Implant arsenic for source/drain regions
IMPLANT        Arsenic Dose=5e15 Energy=150
COMMENT        Drive-in arsenic and re-oxidize source/drain regions
DIFFUSION      Time=30 Temperature=1000 DryO2
COMMENT        Deposit phosphorus-doped SiO2 using CVD
DEPOSITION     Oxide Thickness=0.75 C.phosphor=1e21
COMMENT        Reflow glass to smooth surface and dope contact holes
DIFFUSION      Time=30 Temperature=1000
COMMENT        Deposit Aluminum
DEPOSITION     Aluminum Thickness=1.2
PRINT          Layers
PLOT           Chemical Boron Arsenic Phosphor Net
STOP           End Deck 5
```

221

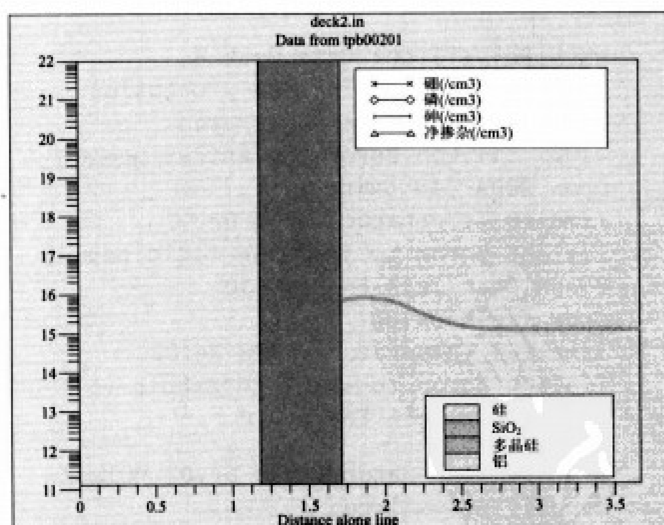


图 9-39　绘制出的栅区杂质分布图

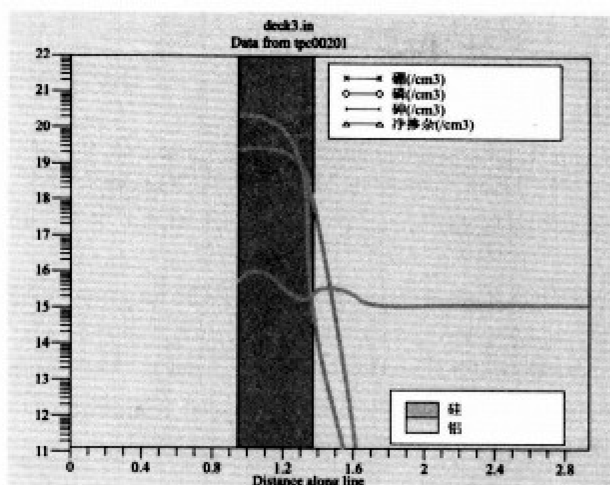


图 9-40 绘制出的源/漏区杂质分布图

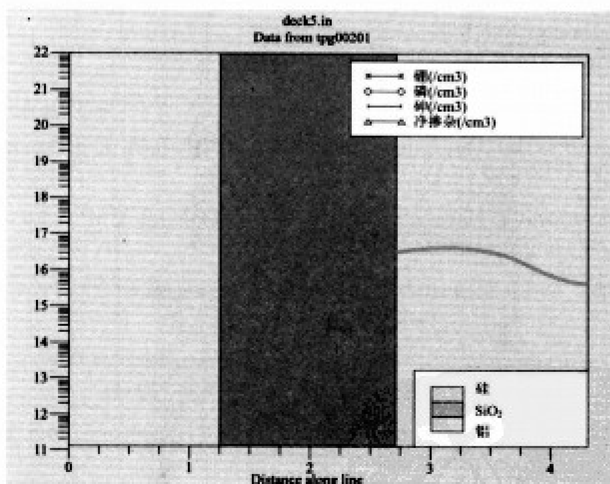


图 9-41 绘制出的场区杂质分布图

9.7 小结

本章涉及无源元件、有源器件、IC 芯片和 MEMS 芯片的工艺技术。详细讨论了基于双极晶体管、MOSFET 和 MESFET 的主流技术。显示出至少到 2014 年 MOSFET 将是主导技术，因为与双极晶体管相比 MOSFET 具有超强的性能。对于 100nm 的 CMOS 技术，一种好的选择方案是 SOI 衬底连同 Cu 互连及低 k 值材料一起使用。

MEMS 还依旧是一种新生事物，它采用了 IC 制造中的光刻和刻蚀技术。针对 MEMS 也已开发出专门的刻蚀技术：使用定向腐蚀工艺的体型微加工，使用牺牲层的表面微加工和使用具备高准直辐照 X 射线光刻的 LIGA 工艺。

参考文献

1. For a detailed discussion on IC process integration, see C. Y. Liu and W. Y. Lee, "Process Integration," in C. Y. Chang and S. M. Sze, Eds., *ULSI Technology*, McGraw-Hill, New York, 1996.

2. T. Tachikawa, "Assembly and Packaging," in C. Y. Chang and S. M. Sze, Eds., *ULSI Technology*, McGraw-Hill, New York, 1996.

3. T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press, Cambridge, U.K., 1998, Ch. 2.

4. D. Rise, "Isoplanar-S Scales Down for New Heights in Performance," *Electronics*, **53**, 137 (1979).

5. T. C. Chen, et al., "A Submicrometer High-Performance Bipolar Technology," *IEEE Electron. Device Lett.*, **10**(8), 364 (1989).

222 ~ 223

6. G. P. Li et al., "An Advanced High-Performance Trench-Isolated Self-Aligned Bipolar Technology," *IEEE Trans. Electron Devices*, **34**(10), 2246 (1987).

7. W. E. Beasle, J. C. C. Tsai, and R. D. Plummer, Eds., *Quick Reference Manual for Semiconductor Engineering*, Wiley, New York, 1985.

8. R. W. Hunt, "Memory Design and Technology," in M. J. Howes and D. V. Morgan, Eds., *Large Scale Integration*, Wiley, New York, 1981.

9. A. K. Sharma, *Semiconductor Memories—Technology, Testing, and Reliability*, IEEE, New York, 1997.

10. U. Hamann, "Chip Cards—The Application Revolution," *IEEE Tech. Dig. Int. Electron Devices Meet.*, p. 15 (1997).

11. R. D. Rung, H. Momose, and Y. Nagakubo, "Deep Trench Isolation CMOS Devices," *IEEE Tech. Dig. Int. Electron. Devices Meet.*, p. 237 (1982).

12. D. M. Bron, M. Ghezzo, and J. M. Primbley, "Trends in Advanced CMOS Process Technology," *Proc. IEEE*, p. 1646 (1986).

13. H. Higuchi, et al., "Performance and Structure of Scaled-Down Bipolar Devices Merge with CMOSFETs," *IEEE Tech. Dig. Int. Electron. Devices Meet.*, p. 694 (1984).

14. M. A. Hollis and R. A. Murphy, "Homogeneous Field-Effect Transistors," in S. M. Sze, Ed., *High-Speed Semiconductor Devices*, Wiley, New York, 1990.

15. H. P. Singh, et al., "GaAs Low Power Integrated Circuits for a High Speed Digital Signal Processor," *IEEE Trans. Electron Devices*, **36**, 240 (1989).

16. C. H. Mastrangelo and W. C. Tang, "Semiconductor Sensor Technology," in S. M. Sze, Ed., *Semiconductor Sensors*, Wiley, New York, 1994.

17. L. S. Fan, Y. C. Tai, and R. S. Muller, "IC-Processed Electrostatic Micromotors," in *IEEE Int. Electron Devices Meet*, p. 666 (1988).

18. X. Yang, et al., "A MEMS Thermopneumatic Silicone Rubber Membrane Valve," *Sens. Actuators*, **A64**, 101 (1998).

19. W. Ehrfeld, et al. "Fabrication of Microstructures Using the LIGA Process," *Proc. IEEE Micro Robots and Teleoperators Workshop*, Hyannis, MA, Nov. 1987.

20. C. P. Ho and S. E. Hansen, *SUPREM III User's Manual*, Stanford University, 1983.

习题

1. 求 2.5mm×2.5mm 的芯片上能制取的电阻最大值是多少？设方块电阻为 1kΩ/□，电阻条线宽为 2μm，电阻条与电阻条的中心间距为 4μm。

2. 设计一套制造 5pF MOS 电容器的掩模版。设氧化层厚度为 30nm 且最小窗口尺寸为 2μm×10μm，最大套刻误差为 2μm。

3. 按顺序画出完整的一套在衬底上绕转 3 圈的螺旋式电感器的掩模版。

4. 设计一个 10 nH 的螺旋式电感器，其中连线总长度 350μm，每个绕圈之间距离 2μm。

5. 请画出箝位晶体管的电路图与器件截面图。

6. 在自对准双层多晶硅双极器件结构中，请明确下列情况的目的所在：(a)图 9-13a 中沟槽内的未掺杂多晶硅，(b)图 9-13b 中的 poly 1，(c)图 9-13c 中的 poly 2。

224

*7. NMOS 工艺的原始材料是 P 型 10Ω/cm 〈100〉晶向硅片。用 30 keV 经过 25 nm 栅氧化层注入砷离子形成源漏区，剂量为 10^{16} 离子/cm^2。(a)估计器件阈值电压的改变量。(b)画出沟道区或源区沿垂直于表面方向的杂质分布。

8. (a)为什么制造 NMOS 时要选用〈100〉晶向硅片？(b)NMOS 中的场氧化层太薄有什么缺点？(c)若多晶硅栅的栅长小于 3μm，会产生什么问题？能用什么别的材料代替多晶硅吗？(d)如何获得自对准栅，并说明其优点。(e)磷硅玻璃起什么作用？

*9. 浮栅非挥发性存贮器的浮栅下面是厚 10nm、介电常数为 4 的绝缘体，浮栅的上面是厚 100nm 介电常数为 10 的绝缘体。设下面绝缘体的电流密度 $J = \sigma E$，其中 $\sigma = 10^{-7}$S/cm，其他绝缘体内的电流可以忽略，求控制栅加 10V 电压时下列两种情况下器件阈值电压的漂移值：(a)加电压的时间为 0.25μs，(b)加电压的时间足够长，使下面绝缘体的电流 J 小到可以忽略。

10. 画出一整套图 9-23 所示的 CMOS 反相器的掩模板。在有关尺寸比例时，请参见图 9-23c 的截面图。

*11. 用 0.5μm 数字 CMOS 技术制备 5μm 宽的晶体管。最小引线宽 1μm，金属膜层由 1μm 厚的铝组成。假设 μ_n 是 400cm^2/V/s，d 是 10nm，V_{DD} 为 3.3V，阈值电压为 0.6V。最后，假设当 1μm^2 截面的铝负载着由 NMOS 晶体管供给的最大电流时，能容许的最大压降是 0.1V。能允许多长的引线？请使用简单的平方定律长沟道模型来估算 MOS 的驱动电流(铝的电阻率为 2.7×10^{-6} Ω/cm)。

12. 请画出双阱 CMOS 结构在下述工艺处理后的截面图：(a)N 阱注入，(b)P^- 阱注入，(c)双阱再扩散，(d)非选择性 P^+ 源/漏注入，(e)用光致抗蚀剂作掩模的选择性 N^+ 源/漏注入，(f)磷硅玻璃淀积。

13. 为什么在 PMOS 中使用 P^+ 多晶硅栅？

14. 在 P^+ 多晶硅 PMOS 中，什么是硼侵蚀问题？如何消除？

15. 要获得良好的界面特性，通常在衬底与高 k 值材料之间淀积一缓冲层。如果叠层栅介质结构如下情况，请计算有效氧化层厚度。(a)缓冲氮化层厚 0.5 nm，(b)缓冲层 Ta_2O_5 厚 10 nm。

16. 描述 LOCOS 技术的劣势和浅槽隔离技术的优势。

17. 图 9-34f 中的聚酰亚胺是做什么用途的？

18. 是什么原因使得在 GaAs 上难于制备双极晶体管和 MOSFET？

*19. 用 SUPREM 模拟 9.2.1 所描述的双极工艺，绘制出沿下列垂直截面的杂质分布图：(a)始于基极接触区顶部，(b)始于发射极接触区顶部，(c)始于集电极接触区顶部。

*20. 用 SUPREM 模拟图 9-23 所描述的 CMOS 工艺，绘制出沿下列垂直截面的杂质分布图：(a)穿过 PMOS 的源/漏区，(b)穿过 NMOS 的源/漏区，(c)穿过 NMOS 的栅区。

第 10 章　IC 制造

制造就是把原材料转变为最终产品的工艺过程。如图 10-1 所示，把制造过程图形化成一个系统，原材料和生产用品作为该系统的输入量，而最终的商业产品则是该系统的输出量。在集成电路制造中，输入材料包括有半导体晶片、绝缘体、杂质和金属；输出则是 IC 芯片本身。在 IC 制造中产生的各种工艺技术有：氧化和淀积工艺、光刻技术、刻蚀和掺杂（注入和/或扩散），这些工艺技术是本书前面几章的主题内容。

但是，在 IC 成品能够应用到众多商业电子系统和产品（例如计算机、手机和数码相机）之前，有几个关键工艺必须完成，这包括电学测试和封装。测试是出产高质量产品所必须的，所谓质量是要求所有产品符合一组性能规范，并且减小制造工艺中的任何差异。保持质量通常涉及统计过程控制的应用，一项设计好的实验对于探索影响质量特性规范的关键变量来说是非常有益处的工具。在系统地改变可控工艺条件并确定其对监测质量的输出参数的影响方面，统计实验设计是一种强有力的方法。



图 10-1　制造系统框图

能用来评价任何制造工艺的一项重要度量标准是成本，成本直接受到成品率的影响。所谓**成品率**是指制造出来的产品符合一组性能规范要求所占的比例。成品率反比于总制造成本，即成品率越高成本越低。最后，计算机集成制造追求的目标在于优化电子器件制造的成本效率，电子器件制造应用到了计算机硬件和软件技术上的最新发展从而加强了高成本的制造方法。

本章会逐一讨论这些概念，特别指出本章将涉及以下主题：

- ☐ 电学测试和测试结构；
- ☐ 电子器件封装工艺；
- ☐ 在 IC 制造情况中的统计过程控制和实验设计；
- ☐ IC 成品率和各种成品率模型；
- ☐ 计算机集成制造系统。

从系统级的角度来看，IC 制造交织着产品生产过程的几乎所有方面，包括设计、制备、集成、装配、测试和封装。最终形成电子系统，它满足所有专用性能、质量、成本和可靠性的要求。

10.1　电学测试

在测试装置所进行的电学测量是评估集成电路成品率(参见 10.5 节)和其他产品性能指标的主要手段。这种测量既可以在制造工艺中实施,也可以在制造工艺完成的时侯进行。此外,最终产品的电学测试是保证质量的关键,在下面的章节里会更详细地讨论这些概念。

10.1.1　测试结构

用专门设计的测试结构探查存在于半导体晶片中的缺陷的影响,而缺陷是由微粒、玷污或者其他来源引起的。这些称为工艺控制检测(PCM)的结构单元包括有单独的晶体管,单独的传导材料线,MOS 电容器和互连检测电路。产品级晶片通常带有一些分布在表面上的 PCM 结构,它们或是位于芯片处或位于芯片之间的切割线上(如图 10-2 所示)[1]。

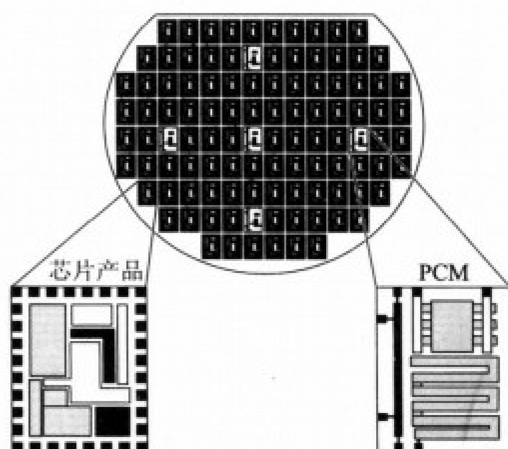


图 10-2　在典型半导体晶片上配置芯片产品和 PCM[1]

在制造过程中的各个工艺环节可以通过在线测试 PCM 结构来检查工艺质量。有三种典型的互连测试结构,如图 10-3 所示[1],应用这些测试结构所进行的测量估计出缺陷存在状况,这是由对所用简单电阻测量的短路和开路现状进行推断而来。例如,弯曲结构利用曲段两端增加的电阻值使得更容易进行开路探测;双梳状结构也能够用于短路探测,这是因为任何额外导电材料桥接这两个梳状结构,将会显著减小梳状结构之间的电阻值;梳状—弯曲—梳状结构把前面两种结构组合起来,使得能够同时进行短路和开路的探测。在这些测试结构中线条和间距的各种宽度组合,使其能够对各种尺寸缺陷进行统计收集。

227

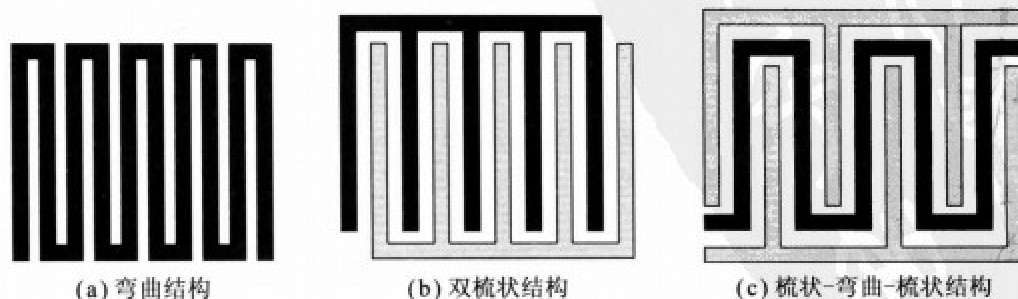

(a) 弯曲结构　(b) 双梳状结构　(c) 梳状-弯曲-梳状结构

图 10-3　互连层的基本测试结构[1]

10.1.2 终结测试

在完成制造过程后的功能测试是对工艺质量和成品率的终结裁定。终结测试的目的在于保证所有产品按照设计的规格性能实现生产。对于集成电路，测试工艺很大程度取决于所测芯片是逻辑电路还是存储器件。但在这两种情形下，都使用自动测试设备(ATE)向芯片提供激励信号并记录相应结果。ATE 的主要功能有输入模式发生、模式应用和输出结果探测。

在每项功能测试周期中，输入矢量按一定的时间顺序通过 ATE 送进芯片，读取相关反应输出并与预期结果作比较，这个程序在每次的输入模式上重复进行。针对不同供给电压和工作温度进行这样的测试常常是很必要的，这样能保证器件在所有可能的条件下正常工作。而输出信号中失效的次数和频度指示出制造工艺故障。

测试结果可以用很多种方式表达出来[2]，在图 10-4 和图 10-5 中所示为两个例子。图 10-4 所示为一种二维图形，对于假想的双极器件产品称之为什穆图。在什穆图中，阴影区的轮廓线表示在这里的器件能够工作，而阴影区之外代表失效区。另一种典型的测试输出表示是如图 10-5 所示的单元图，单元图在识别并隔离器件失效方面，尤其在存储阵列中非常有用。另外，产生于单元图的模式能够被编译、编目并随后与存在的缺陷类型库作比较，因此有助于故障诊断。

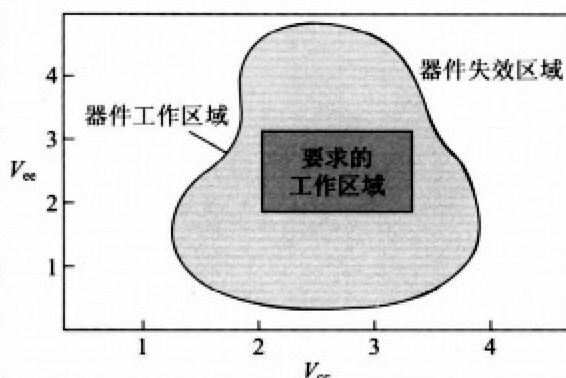


图 10-4 双极 IC 的二维什穆图示例[2]

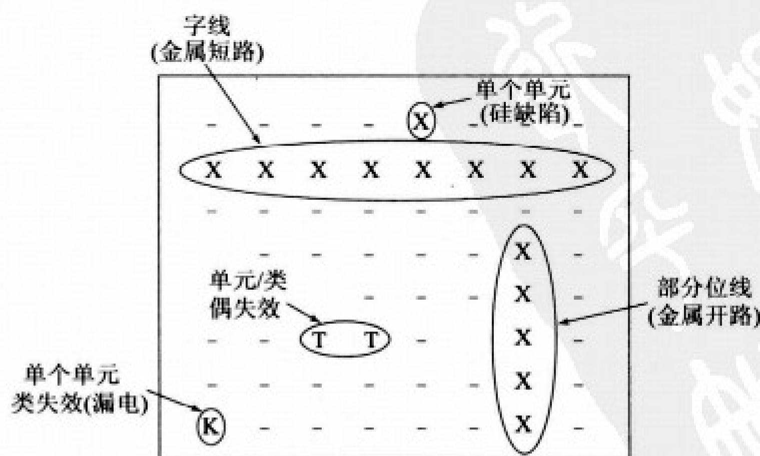


图 10-5 失效模式和缺陷类型的单元图示例[2]

10.2 封装

粗略定义的话，封装是指把IC芯片和电子系统连接起来的整套技术和工艺。有种比喻是把电子产品视为人的躯体，像人体一样，电子产品有“大脑”，可类似为IC，电子封装提供了“神经系统”和“骨骼系统”。封装承担着连接、供电、冷却和保护IC的任务[3]。这些概念的说明如图10-6所示。

228

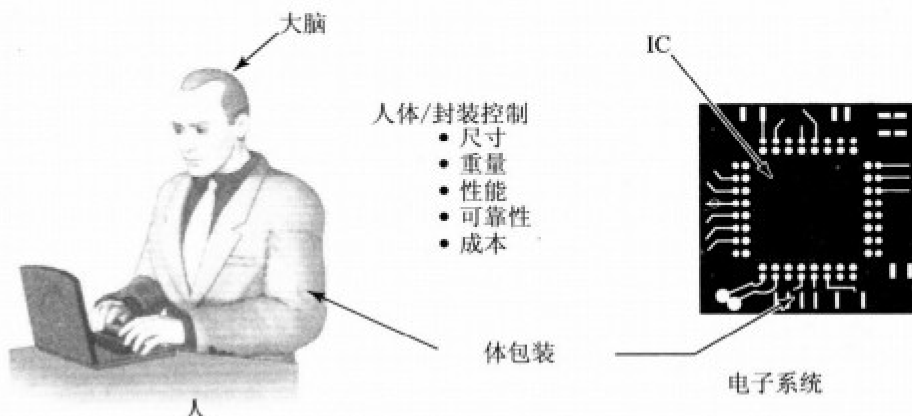


图10-6 电子封装和人体之间的比喻[3]

总的看来，电子系统由多层包装构成，而每层拥有连接器件的独特方式，图10-7描述了这种封装层次。0级由在片连接构成；片到印制电路板或者片到模块板的连接构成2级；板到板的连接构成3级；4级和5级分别由组件之间和系统之间（比如计算机到打印机）的连接构建。

10.2.1 芯片分离

功能测试之后，单块IC（或者芯片）必须从衬底上分离出来。这实质上是封装工艺的第1步。按照盛行很多年的通用方法，把衬底晶片固定在一个台面上，用金刚石划线器在x轴和y轴两个方向划片，实际上是沿75μm～250μm宽的边界线实施，边界是在制造中围绕芯片周边而形成的。如果条件允许的话，这些边界是与衬底晶面相对齐的。划片之后，从台面上取下晶片，把晶片颠倒放置在柔性支撑垫上，凭借滚筒产生压力，使得晶片沿着划线断裂。这一切必须以对单个芯片损坏最小的要求来完成。

更多现代的芯片分离工艺使用金刚石锯，而不是金刚石划片器。在这道工序中，把晶片贴在一块有粘性的聚脂膜上，接着用金刚石锯或者只划过晶片或者完全锯开晶片。完成分离以后，从聚脂膜上取下芯片。然后准备把分离出来的芯片安放进封装中。

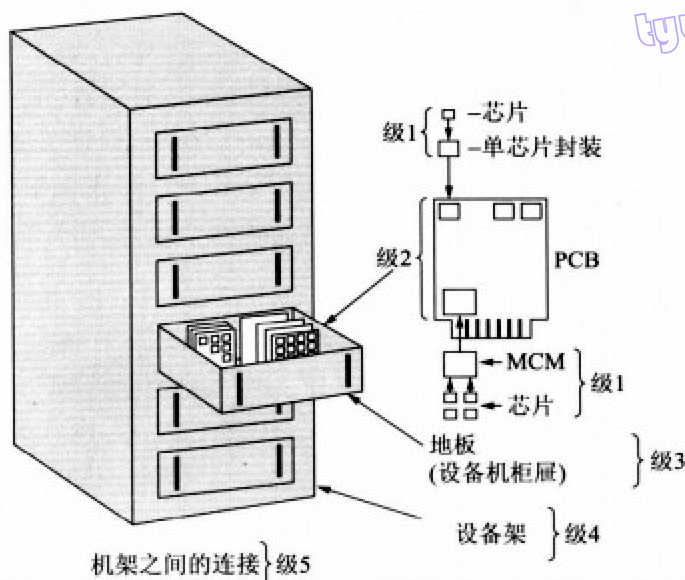


图 10-7 电子封装层次[4]。PCB:印制电路板;MCM:多芯片组装

10.2.2 封装类型

有很多种方法封装单块 IC。当人们一想到集成电路,双列直插封装或者称 DIP(如图 10-8 所示)是大多数人脑海中的封装图像。DIP 是 20 世纪 60 年代开发出来的,很快就成为 IC 的主流封装形式,长期主导着电子器件封装市场。DIP 可以用塑料制成也可以用陶瓷制成,而后者称为 CerDIP。CerDIP 是一种两片陶瓷三明治式地夹着引脚而构成的 DIP 结构,其中引脚从陶瓷片间伸出来。

229~230

在 20 世纪 70 年代和 80 年代,应比 DIP 方式所能提供的更高的连接密度之需要,表面固定封装开发出来了。与 DIP 相比,表面固定封装的引脚不用伸进所黏附着的印制电路板(PCB)内,这意味着该封装芯片可以贴装在 PCB 的两个面上,因此可以有更高的贴片密度。四方扁平封装或称 QFB(如图 10-9 所示)就是这类封装的例子之一,这里四面都有引脚,进一步增多的输入/输出(I/O)连接的端口数。

近年来,应越来越多的 I/O 连接之需要,已开发出针栅阵列(PGA)和球栅阵列(BGA)封装(分别如图 10-10 和图 10-11 所示)。PGA 封装能够有约 600 的 I/O 端口密度,BGA 封装能够有超过 1000 的端口密度,与之相对照的是 QFP 封装约为 200。根据冲压在封装底面上的焊料可以识别出 BGA 封装。对于 QFP 封装,由于引脚间隙变得越来越紧凑,生产成品率下降很快。BGA 封装可以比 QFP 封装有更高的引脚密度和更小的间隙,但其制造工艺本身就很昂贵。

231

最新开发出来的封装技术是芯片尺寸封装(CSP),如图 10-12 所示,所使用的封装最大不超过 IC 芯片本身尺寸的 20%,通常采用小型化的球栅阵列的封装形式,设计成可用常规设备和焊料回流来安置的倒装芯片(参见 10.2.3 节)。一般用如是工艺制造

出来 CSP，即该工艺制备出外电源和 I/O 信号端口，并且在分离晶片之前把最终的硅芯片包入封装套中。从根本上说，CSP 为 IC 提供了连接框架，这样，在晶片分离之前，每枚芯片就已具备了常规全封装 IC 的所有功能（如外电学接触、最终的硅包装）。这种方式有两个基本特征：一是引脚和中介层（IC 中的增加层，提供了电学功能性和机械稳定性）有足够的柔韧性，封装器件能够适应进行全套测试和燃烧用的夹具；二是在组装过程和工作期间，这种封装能够承受印制电路板潜在的垂向不平整性和热膨胀与收缩。

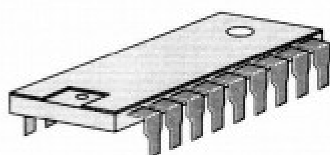


图 10-8 双列直插封装[4]

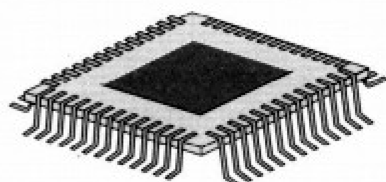


图 10-9 四方扁平封装[4]

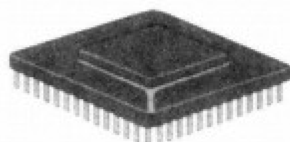


图 10-10 针栅阵列封装[4]

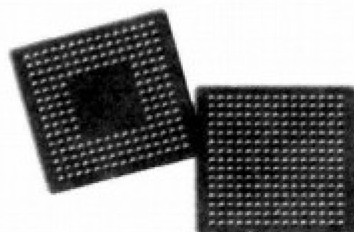


图 10-11 球栅阵列封装[4]

10.2.3 贴附方法学

IC 芯片在电子系统中使用之前，需要固定并键合在所用封装体上，再把封装体贴附到印制电路板。贴附 IC 的方法称为 1 级封装。用来将裸芯片键合到封装体上的工艺，极大地影响着所制造电子系统的最终电气、机械和热性能。芯片与封装体之间的连接一般采用引线键合，载带自动焊，或者倒装焊（如图 10-13 所示）。

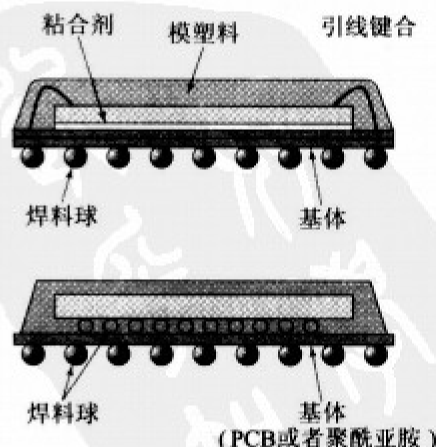


图 10-12 两种典型的 CSP 示例[3]

1. 引线键合

引线键合是最早的粘附方法，而且仍然是少于 200 个 I/O 连接端口芯片的主流连接技术。引线键合需要在芯片上的焊盘和封装体上的焊点之间用金线或者铝线进行连接。首先用导热性粘合剂把 IC 粘附在基体上，但要保持焊盘面朝上。然后使用超声波、热超声或者热压焊把金或者铝附着在焊盘和基体之间[5]。尽管

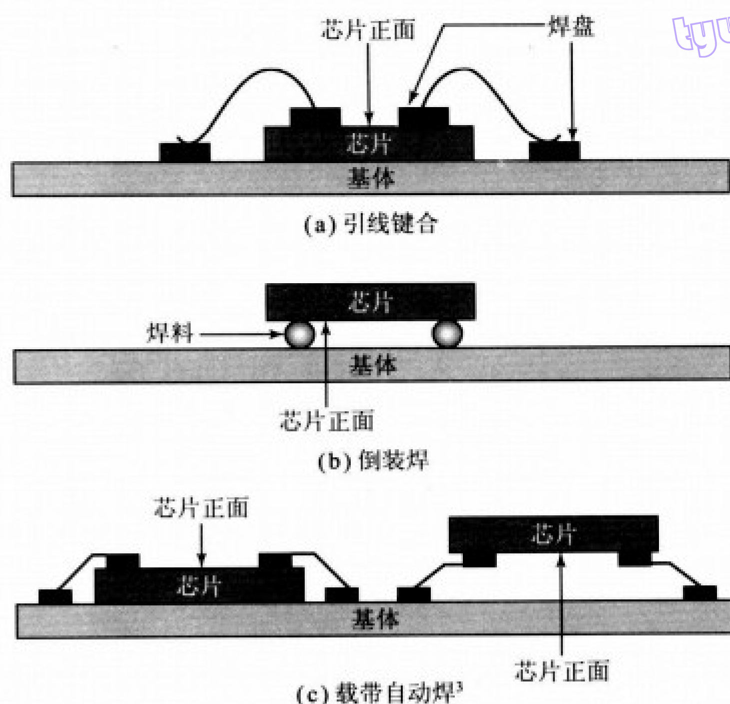


图 10-13 几种连接方式说明

该工艺过程全自动化，但因为每根线必须单独贴附，工艺过程仍旧耗时。

在热压焊工艺中（如图 10-14 所示），一根金属细丝（直径 15～75μm）从线轴输送过来后穿过加热的瓷嘴焊针，然后用小型氢焰或者电子火花熔化金属细丝末端成一个小球，再将小球定位于芯片焊盘上方，压下瓷嘴焊针，凭借着瓷嘴焊针的热压力小球形变成一个“钉头”。（基体温度维持在 150℃ 到 200℃，键合表面温度范围从 280℃ 到 350℃。）随后抬高瓷嘴焊针，金属丝从线轴送过来并定位在封装基体上方。对封装体的焊接是楔焊，即用瓷嘴焊针的边使得金属丝变形就产生了楔焊。然后抬高瓷嘴焊针，金属丝就在焊点边缘附近断开。

高温下铝氧化使其很难在金属线末端形成一个完整的球；另外，很多环氧材料承受不住热压焊合工艺中所需的温度。*超声波焊*则是一种可供选择的低温方法，该方法通过把压力和快速机械振动结合起来实现了焊接（图 10-15）。在这种方法中，金属线从线轴输送过来后穿过键合工具上的孔，然后键合工具降低到位，同时施加 20 到 60kHz 的超生振动引起金属线形变并且流动（即使在室温下）。当在封装体上形成焊接后，键合工具再抬起来时，夹具拉断金属线。

*热超生焊*是其他两种技术的组合，基体温度维持在约 150℃，使用超生振动和压力引起金属流动并在压力作用下形成焊接。热超生焊接进行得相当迅速，每秒钟可产生 5 至 10 个焊点。

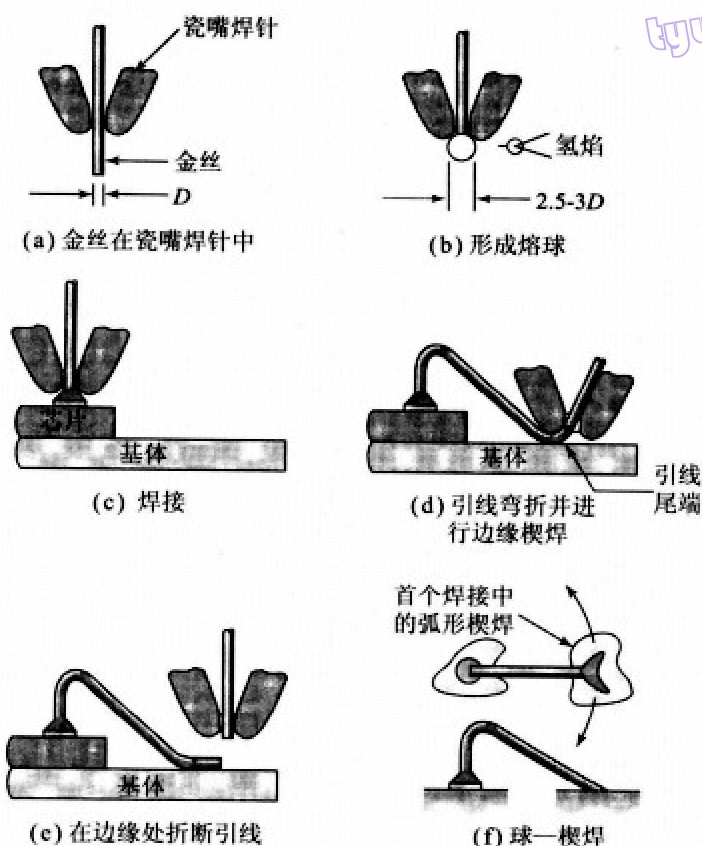


图 10-14 热压焊工艺[5]

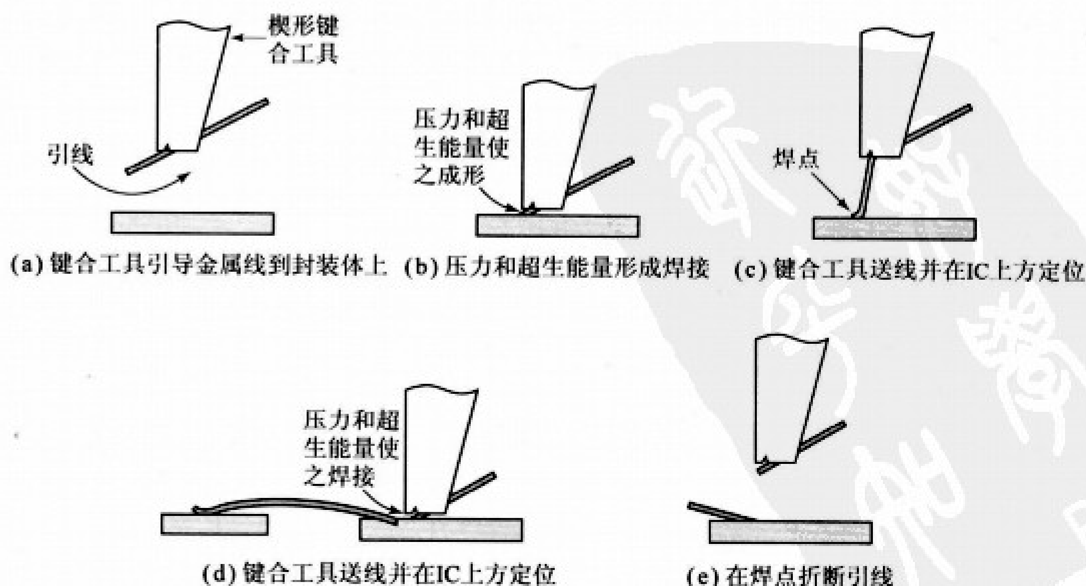


图 10-15 超生焊工艺[5]

2. 载带自动焊

载带自动焊(TAB)于 20 世纪 70 年代早期发展起来,经常用来将封装片焊接到印制电路板上。在 TAB 工艺中,首先将芯片安装在备有重复的铜互连图案(如图 10-16 所示)的柔性聚合体载带(一般是聚酰亚胺)上。铜引线采用光刻和刻蚀的方式制成,引线图案可以有几百个连接端口。把 IC 焊盘与载带上的金属互连条对准后,采用热压进行粘贴(如图 10-17 所示)。在芯片和载带边上都备有金凸块,用金凸块把芯片焊接在载带的引脚上。

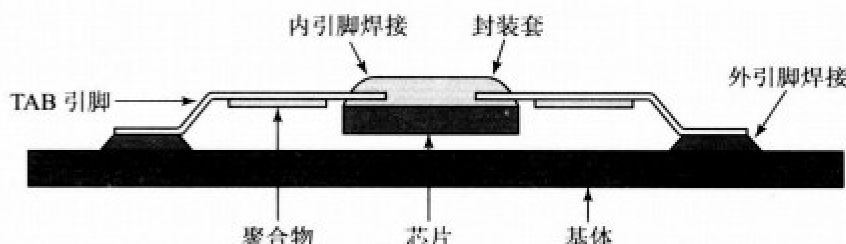


图 10-16 载带自动焊[5]

TAB 技术的优势在于所有焊接可同时形成,非常显著地提高了制造产量。当然,除非所有引脚一样平整,否则会发生可靠性问题。TAB 技术还要求采用需要复杂冶金术的多层焊料凸块。一般情况下,这些凸块以金或铜为主料,辅以钛和钨为扩散阻挡层防止合金化。此外,专门的载带只能用于专门芯片及其封装体,封装体与其连接图案相匹配,因此使得 TAB 是一种极其定制化的工艺,而相关焊接设备就相当昂贵了。

3. 倒装焊

倒装焊是一种直接把 IC 芯片面朝下地安装在模块或者印制电路板上的连接方法,它是通过定位在芯片表面上的焊料凸块(或者是无焊剂的环氧或导电粘合材料)完成电气连接。由于凸块可以定位在芯片上的任何位置,倒装焊能做到芯片和封装体之间的距离最小化,I/O 端口的密度仅受到邻近焊盘的最小距离限制。

在倒装焊工艺中,芯片面朝下地放在模块基体上,这样便于芯片上的 I/O 端口焊盘与基体上的焊盘对准(如图 10-18 所示)。采用焊料回流工艺同时形成所有要求的连接,因此与引线键合相比,生

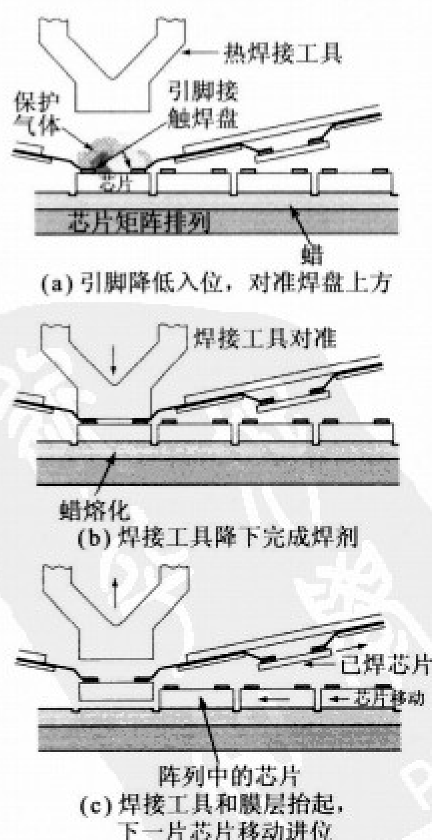


图 10-17 TAB 制程[5]

产量迅速提高。但是凸块制备工艺相当复杂而又至关重要。

无焊剂倒装焊技术涉及把有机聚合物丝网印刷到IC上，只留下不被覆盖的焊盘点。接着把高电导率的有机聚合物料丝网印刷在焊盘上，形成接着要用的无焊剂凸块。完成芯片与基体对准后，对凸块施加热压力形成最终的焊接。

234~235

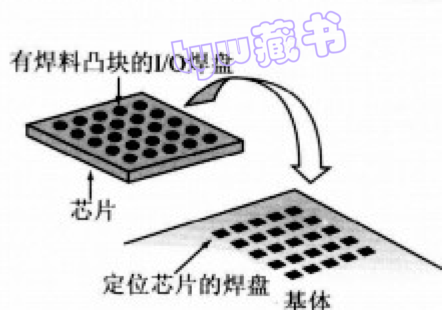


图 10-18 倒装焊[4]

10.3 统计过程控制

IC制造工艺必须能够稳定地、可重复地、高质量地生产性能可接受的产品。这就意味着进行IC制造的所有人员（包括生产者、工程师和管理层）必须不断追寻提高制造工艺产出并减少工艺可变性。很大程度上可以通过严格的工艺控制实现可变性减少。本节重点在于统计过程控制（SPC）技术，换句话说就是获得高质量产品。

SPC所指的是功能强大的解题工具集合，用这些解题工具获得工艺稳定性并减少可变性。可能最早也是最经典的这类工具堪称控制图，控制图是由贝尔电话公司的Walter Shewhart博士在20世纪70年代开发出来[6]，正是这个缘由，控制图也常被称为*Shewhart*控制图。

控制图是一种用来查明工艺性能中的漂移事件的在线SPC技术，这样，在可控的情形下有可能采取调查和进行修改以挽回不正确的制造工艺。图10-19给出了一张典型的控制图，这是一张质量特性图，图中质量特性是从样本与其数量或者生产时间的相对关系测量而得到的，图中包括：(a)中心线，代表着相对应的一种在控状态特性的平均值；(b)控制上限（UCL）和(c)控制下限（LCL）。控制界限确定以后，如果工艺处于统计控制状态之中，几乎所有的样本点将可以在控制界限之间标注出来。假设质量特性的方差为σ^2，而标准特性偏差为σ，则控制界限通常设定在离中心线$\pm 3\sigma$处。一旦在控制界限之外出现标注点，那就证明工艺失控了。

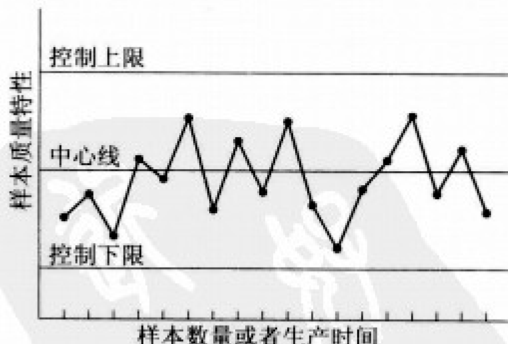


图 10-19 典型控制图[6]

10.3.1 品质控制图

一些质量特性无法简单地用数字表达。例如，我们可能关心引线键合是否有缺陷，在这种情况下，焊接就被分成或是有缺陷或是没有缺陷（相应地是有一致性或没有

一致性)，没有数字值能与焊接质量关联起来。这种类型的质量特性称为品质。

236～237

品质方面有两种常用的控制图：缺陷图(或称 c 图)和缺陷密度图(或称 u 图)。当对某种产品的规格性能不满意时，可能是出现了缺陷和不一致性，这个时候，有可能开发出对总缺陷数量和缺陷密度的控制图。这些图表假设一定量样本的缺陷近似可用泊松分布模拟[6]，其中缺陷出现的概率表示为：

$$P(x)=\frac{e^{-c}c^{x}}{x!} \tag{10-1}$$

式中 x 为缺陷数目，c 为大于 0 的常数。对于泊松分布，c 既是平均值又是差异量。因此，假设 c 已知，采用 $\pm 3\sigma$ 控制界限的 c 图表示如下：

$$\begin{aligned}\text{UCL}&=c+3\sqrt{c}\\ \text{中心线}&=c\\ \text{LCL}&=c-3\sqrt{c}\end{aligned} \tag{10-2}$$

(注：如果上述计算后 LCL 产生负值，则规范做法是将 LCL 设置等于 0)。如果 c 未知，可以从样本中估算出一个能够得到的缺陷平均值($\bar{c}$)，这时候，控制图变成为：

$$\begin{aligned}\text{UCL}&=\bar{c}+3\sqrt{\bar{c}}\\ \text{中心线}&=\bar{c}\\ \text{LCL}&=\bar{c}-3\sqrt{\bar{c}}\end{aligned} \tag{10-3}$$

【例 1】 假定检查 25 块硅晶片后发现 37 个缺陷，建立该情形的 c 图。

解：估算 c 值如下：

$$\bar{c}=\frac{37}{25}=1.48$$

这是 c 图的中心线。使用公式(10-3)可以得出控制上限和下限：

$$\text{UCL}=\bar{c}+3\sqrt{\bar{c}}=5.13$$

$$\text{LCL}=\bar{c}-3\sqrt{\bar{c}}=-2.17$$

由于 $-2.17<0$，故这种情况下设置 LCL 等于 0。

假设要对样本量为 n 个产品的缺陷平均数建立控制图，若有 n 个样本中的总缺陷 c，则每个样本上打平均缺陷数为：

$$u=\frac{c}{n} \tag{10-4}$$

238

3σ 缺陷密度图(u 图)的参数可由下式给出：

$$\begin{aligned}\text{UCL}&=\bar{u}+3\sqrt{\frac{\bar{u}}{n}}\\ \text{中心线}&=\bar{u}\\ \text{LCL}&=\bar{u}-3\sqrt{\frac{\bar{u}}{n}}\end{aligned} \tag{10-5}$$

式中 u 是各组数量为 n 的 m 组样本的平均缺陷值。

【例 2】 假定 IC 制造商想要估算缺陷密度图，数量 $n = 5$ 的 20 组不同样本进行检查，总共找到 183 个缺陷，建立该情形的 u 图。

解：估算 c 值如下：

$$\bar{u} = \frac{u}{m} = \frac{c}{mn} = \frac{183}{(20)(5)} = 1.83$$

这是 u 图的中心线，使用公式(10-5)可以得出控制上限和下限：

$$\mathrm{UCL} = \bar{u} + 3\sqrt{\frac{\bar{u}}{n}} = 3.64$$

$$\mathrm{LCL} = \bar{u} - 3\sqrt{\frac{\bar{u}}{n}} = 0.02$$

10.3.2 变量控制图

在很多情况下，希望质量特性是专门的数字测量值，而不是对缺陷出现概率的评估。例如，薄膜的厚度是一个可测可控的重要特征，对这类连续变量的控制图，比 c 图和 u 图等分布控制图能提供更多与制造工艺性能相关的信息。

当试图控制连续变量的时候，无论对质量特性的均量还是方差的控制都是重要的。这是千真万确的，因为这些参数整体漂移或单边漂移都会带来显著的工艺失误。用 $\bar{x}$ 图实现均值控制，用 s 图中的标准偏差监测方差，这两种图表的名字源于样本均值($\bar{x}$)和样本方差(s^2)，分别表示如下：

$$\bar{x} = \frac{x_1 + x_2 + \cdots + x_n}{n} = \frac{1}{n} = \sum_{i=1}^{n} x_i \tag{10-6}$$

$$s^2 = \frac{1}{n-1}\sum_{i=1}^{n}(x_i - \bar{x})^2 \tag{10-7}$$

239 式中 $x_1, x_2, \cdots, x_n$ 是从 n 个样本中获得的，样本方差的平方根命名为样本标准差(s)。

假设收集了 m 组每组数量为 n 的样本，如果 $\bar{x}_1, \bar{x}_2, \cdots, \bar{x}_m$ 是样本均值，那么对真正均值(μ)的最佳估测是总均值 $\bar{\bar{x}}$，表示如下：

$$\bar{\bar{x}} = \frac{\bar{x}_1 + \bar{x}_2 + \cdots + \bar{x}_m}{m} \tag{10-8}$$

由于 μ 是由 $\bar{\bar{x}}$ 估算出的，它就用作 $\bar{x}$ 图的中心线。这还表明如果质量特性以已知的均值 μ 和标准差 σ 作归一化，那么 $\bar{x}$ 也可以用均值 μ 和标准差 $\sigma/\sqrt{n}$ 作归一化，则 $\bar{x}$ 图中的中心线和控制界限如下：

$$\begin{aligned} \mathrm{UCL} &= \bar{\bar{x}} + 3\sqrt{\frac{\sigma}{n}} \\ \text{中心线} &= \bar{\bar{x}} \\ \mathrm{LCL} &= \bar{\bar{x}} - 3\sqrt{\frac{\sigma}{n}} \end{aligned} \tag{10-9}$$

由于 σ 未知，也必须通过分析过去的数据来估算。这样做的时候必须注意不能直接用 s 本身来估算，因为 s 不是一个 σ 的无偏估计量（在术语无偏所指的情况下，预期的估计量等于被估测参数）。代替 s 的实际估算为 $c_4 s$，其中 c_4 是与样本数量相关的统计参数（参见表 10-1）。对于 m 组每组数量为 n 的样本标准差为：

$$\bar{s} = \frac{1}{m}\sum_{i=1}^{m} s_i \tag{10-10}$$

实际表明 $\bar{s}/c_4$ 是一个 σ 的无偏估计量。

另外，s 的标准差是 $\sigma\sqrt{1-c_4^2}$，应用这些已知量可以建立 s 图的控制界限如下：

$$\begin{aligned} \text{UCL} &= \bar{s} + 3\frac{\bar{s}}{c_4}\sqrt{1-c_4^2} \\ \text{中心线} &= \bar{s} \\ \text{LCL} &= \bar{s} - 3\frac{\bar{s}}{c_4}\sqrt{1-c_4^2} \end{aligned} \tag{10-11}$$

当用 $\bar{s}/c_4$ 来估算 σ 时，$\bar{x}$ 图中相应的界限定义如下：

$$\begin{aligned} \text{UCL} &= \bar{\bar{x}} + \frac{3\bar{s}}{c_4\sqrt{n}} \\ \text{中心线} &= \bar{\bar{x}} \\ \text{LCL} &= \bar{\bar{x}} - \frac{3\bar{s}}{c_4\sqrt{n}} \end{aligned} \tag{10-12}$$

表 10-1　s 图的 c_4 参数

样本数量	c_4	样本数量	c_4
2	0.7979	15	0.9823
3	0.8862	16	0.9835
4	0.9213	17	0.9845
5	0.9400	18	0.9854
6	0.9515	19	0.9862
7	0.9594	20	0.9869
8	0.9650	21	0.9876
9	0.9693	22	0.9882
10	0.9727	23	0.9887
11	0.9754	24	0.9892
12	0.9776	25	0.9896
13	0.9794	$n>25$	$c_4 \cong \frac{4(n-1)}{4n-3}$
14	0.9810		

【例 3】　假设建立 $\bar{x}$ 图和 s 图以便控制光刻工艺的线宽。测量了 25 种不同线宽，

每种线宽的 $n=5$。设 125 条线宽的总均值是 4.01μm,如果 $\bar{s}=0.09$mm,那么 s 图的控制界限是多少?

240

解:对 $n=5$ 时 c_4 值为 0.94(查表 10-1),根据公式(10-12)可以得出 $\bar{x}$ 的控制上限和下限如下:

$$\mathrm{UCL}=\bar{\bar{x}}+\frac{3\bar{s}}{c_4\sqrt{n}}=4.14\mu\mathrm{m}$$

$$\mathrm{LCL}=\bar{\bar{x}}-\frac{3\bar{s}}{c_4\sqrt{n}}=3.88\mu\mathrm{m}$$

根据公式(10-11)可以得出 s 的控制界限如下:

$$\mathrm{UCL}=\bar{s}+3\frac{\bar{s}}{c_4}\sqrt{1-c_4^2}=0.19\mu\mathrm{m}$$

$$\mathrm{LCL}=\bar{s}-3\frac{\bar{s}}{c_4}\sqrt{1-c_4^2}\approx 0$$

241

注:由于这里 LCL 是数值很小的负值,故自动置为 0。

10.4 统计实验设计

实验能够研究确定在给定工艺或产品上的一些变化所产生的影响。设计实验是一项或者一系列的实验,该实验有目的地改变这些变量从而获得在工艺或产品上的变化所产生的影响。对于系统地变化这些可控工艺变量以及最大限度地确定它们对工艺或产品质量的影响,统计实验设计是一种有效途径,在比较各种方法、减小相互依赖性和建立预测效果模型方面,这种途径很有用处。

统计过程设计和实验设计有着很强的相互关联。两种技术都可以用来减少变化差异。但是,SPC 是一种要监测工艺和收集数据的被动方法;而实验设计要求针对不同条件下的工艺主动实施实验。实验设计还有利于进行 SPC,因为设计实验有可能有助甄别出最影响工艺的变量,以及优化其设置。

总之,实验设计是一种提高制造工艺的强有力工具。实验设计技术的应用能够引领提高成品率、降低差异、减少研发时间和降低成本。特别的是,相关成果增强了制造能力、性能和产品的可靠性。下一节阐述实验设计在 IC 制造中的使用。

10.4.1 比较分布

我们来考虑表 10-2 中所列出的从某道 IC 制造工艺获得的成品率数据,在工艺中采用标准方法(方法 A)和修正方法(方法 B)制备两批各 10 块晶片。要从实验中得到答案的问题是:所收集的数据提供了什么样的证据(如果有)表明方法 B 真的比方法 A 更优越?

表 10-2 按照某道假想 IC 制造工艺的成品率数据

晶片	方法 *A* 成品率(%)	方法 *B* 成品率(%)
1	89.7	84.7
2	81.4	86.1
3	84.5	83.2
4	84.8	91.9
5	87.3	86.3
6	79.7	79.3
7	85.1	86.2
8	81.7	89.1
9	83.7	83.7
10	84.5	88.5
平均值	84.24	85.54

要回答这个问题的话，我们来考察每道工艺的平均成品率。修正方法（方法 *B*）给出的平均成品率比标准方法高出 1.30%，但在单项试验结果中存在应该考虑的可变性，直接就得出方法 *B* 优于方法 *A* 的结论可能是不正确的。实际上，所获结果有差异可以归咎为实验错误、操作错误或者甚至是纯粹的偶然。

242

确定两种制造工艺之间的差异是否显著的正确方法是假设实验。统计假设是一种关于分布概率参数值的表述。假设实验是对根据一些规范所作出假设的有效性的评判。假设表示成如下方式：

$$\begin{aligned} H_0 &: \mu = \mu_0 \\ H_1 &: \mu \neq \mu_0 \end{aligned} \tag{10-13}$$

其中表达式 $H_0:\mu=\mu_0$ 称为*虚无假设*，表达式 $H_1:\mu\neq\mu_0$ 称为*对立假设*。为了完成假设实验，我们从母体中随机选择样本，计算一个适当的实验统计，然后或是接受或是抛弃虚无假设。对于成品率实验而言，假设实验可表示如下：

$$\begin{aligned} H_0 &: \mu_A = \mu_B \\ H_1 &: \mu A \neq \mu_B \end{aligned} \tag{10-14}$$

式中，μ_A 和 μ_B 表示前面两种方法的平均成品率。

要评价出假设的话，需要进行*实验统计*。在这种条件下合适的实验统计为[6]：

$$t_0 = \frac{(\bar{y}_A - \bar{y}_B)}{S_P\sqrt{\frac{1}{n_A} + \frac{1}{n_B}}} \tag{10-15}$$

式中，$\bar{y}_A$ 和 $\bar{y}_B$ 表示每种方法中样本平均成品率，n_A 和 n_B 是每组样本所用测试数量（这里为 10），并且：

$$s_p^2 = \frac{(n_A - 1)s_A^2 + (n_B - 1)s_B^2}{n_A + n_B - 2} \tag{10-16}$$

上式被称为两种工艺的*公共方差综合评估*。公式(10-16)中的分母称为假设实验的*自由度*。用公式(10-7)计算样本方差值得 $s_A = 2.90$，$s_B = 3.65$；用公式(10-16)和(10-15)分别得出值 $s_p = 3.30$ 和 $t_0 = 0.88$。

可以用附录K来确定计算某个给定 t 统计的概率，该统计具有一定自由度，附录图中的阴影区代表了这种概率。从附录K内推导可能性为0.195，这是从计算自由度数为 $n_A + n_B - 2 = 18$ 的 t 统计等于0.88中得出的。值0.195是假设实验的统计显著性，这意味着仅有19.5%的可能性是由于纯偶然因素带来的平均成品率之间的差异，换句话说，我们有80.5%的把握相信方法B真正优于方法A。

10.4.2 方差分析

前面的例子展示了如何用假设实验比较两种分布。但是，在IC制造应用中能够对几种分布进行比较通常是很重要的。进一步说，我们或许还更关注发现哪些工艺条件对工艺质量的影响更为显著。*方差分析*(ANOVA)是完成这些任务的优良技术。ANOVA建立在假设实验构想的基础之上，能够进行不同路线工艺条件(如处理等)间的比较，同时确定某个给定处理是否能在质量上产生明显的统计差别。

243

举例能最好地说明ANOVA过程。在下面的讨论中采用表10-3中的数据，其中数据代表着从晶片上测得的假想密度缺陷，这些晶片是使用4种不同路线工艺配方(标明1到4)制备的。通过ANOVA的应用，将确定出工艺配方(即处理)之间的差别是否真的大得超过单组穿孔工艺之中穿孔尺寸的差异，该组穿孔工艺中使用同一种配方。

表10-3 对于4种不同工艺配方的假想缺陷密度(在 cm^{-2} 上)

配方1	配方2	配方3	配方4
62	63	68	56
60	67	66	62
63	71	71	60
59	64	67	61
	65	68	63
	66	68	64
			63
			59

设 k 为处理次数(这里 $k=4$)，注意到每次处理差异($n_1=4, n_2=n_3=6$ 和 $n_4=8$)的样本数(n)。处理平均量(在 cm^{-2} 上)如下：$\bar{y}_1=61, \bar{y}_2=66, \bar{y}_3=68, \bar{y}_4=61$。总样本数($N$)为24，所有24个样本的总平均是 $\bar{y}=64cm^{-2}$。

1. *平方和*

要完成ANOVA必须计算几个重要参数。这些称作*平方和*的参数用来量化不同处理之间和内部的差别。令 y_{ti} 表示第 t 个处理中所获得的第 i 个结果，第 t 个处理的平方和如下：

$$s_t = \sum_{1}^{n_t} (y_{ti} - \bar{y}_t)^2 \tag{10-17}$$

式中 n_t 是所讨论处理的样本量，y_t 是处理平均值。所有处理的处理内平方和为：

$$s_R = s_1 + s_2 + \cdots + s_k = \sum_{t=1}^{k} \sum_{i=1}^{n_t} (y_{ti} - \bar{y}_t)^2 \tag{10-18}$$

这里采用处理间平方和来量化处理均值与总平均的差异，处理间平方和表示如下：

$$s_T = \sum_{i=1}^{k} n_i(\bar{y}_i - \bar{y})^2 \tag{10-19}$$

最后，所有平均数据的总平方和为：

$$s_D = \sum_{i=1}^{k}\sum_{i=1}^{n_i}(\bar{y}_{ii} - \bar{y})^2 \tag{10-20}$$

244

每项平方和都有一个相关联的按其计算所要求的自由度。处理内、处理间和总平方和的自由度分别为：

$$\begin{aligned} v_R &= N - k \\ v_T &= k - 1 \\ v_D &= N - 1 \end{aligned} \tag{10-21}$$

完成方差分析所要求得到最终量值，是对由各项平方和量化出的方差进行综合估算。这个最终量值称均方值，是平方和与相关自由度的比值。处理内、处理间和总均方值如下：

$$\begin{aligned} s_R^2 &= \frac{S_R}{v_R} = \frac{\sum_{i=1}^{k}\sum_{i=1}^{n_i}(y_{ii} - \bar{y}_i)^2}{N-k} \\ s_T^2 &= \frac{S_T}{v_T} = \frac{\sum_{i=1}^{k} n_i(\bar{y}_i - \bar{y})^2}{k-1} \\ s_D^2 &= \frac{S_D}{v_D} = \frac{\sum_{i=1}^{k}\sum_{i=1}^{n_i}(y_{ii} - \bar{y})^2}{N-1} \end{aligned} \tag{10-22}$$

2. ANOVA 表

一旦所述参数计算出来，按惯例就以 ANOVA 表的表格形式组织这些参数。ANOVA 表的一般格式如表 10-4 所示。相应表 10-3 中缺陷密度数据列在的 ANOVA 表示在表 10-5 中。可见，在平方和与自由度数这两个表栏中，处理间和处理内的值之和等于给定的相应总值，这个平方和的额外特性根据下列代数恒等式得到：

$$\sum_{i=1}^{k}\sum_{i=1}^{n_i}(y_{ii} - \bar{y})^2 = \sum_{i=1}^{k} n_i(\bar{y}_i - \bar{y})^2 + \sum_{i=1}^{k}\sum_{i=1}^{n_i}(y_{ii} - \bar{y}_i)^2 \tag{10-23}$$

或者等效为

$$S_D = S_T + S_R$$

完整的 ANOVA 表为所试验的假说提供了一种机理，即所有处理均值是相等的。这种情况下的虚无假设如下：

$$H_0: \mu_1 = \mu_2 = \mu_3 = \mu_4$$

245

表 10-4　ANOVA 表的一般格式

差别源	平方和	自由度数	均方	F 比
处理间	S_T	$v_T=k-1$	s_T^2	s_T^2/s_R^2
处理内	S_R	$v_R=N-k$	s_R^2	
总和	S_D	$v_D=N-1$	s_D^2	

表 10-5　穿孔尺寸数据的 ANOVA 表

差别源	平方和	自由度数	均　方	F　比
处理间	$S_T=228$	$v_T=3$	$s_T^2=76.0$	$s_T^2/s_R^2=13.6$
处理内	$S_R=112$	$v_R=20$	$s_R^2=5.6$	
总和	$S_D=340$	$v_D=23$	$s_D^2=14.8$	

如果虚无假设是对的，那么 s_T^2/s_R^2 比应该服从具有 v_T 和 v_R 自由度的 F 分布。根据附录 L 内推，对于所得到具有 3 和 30 自由度且比率为 13.6 的 F 分布，显著性水平（即在表中 F 值的第 1 级下标）是 0.000046，这意味着均值实际相等的可能性只有 0.0046%，虚无假设就值得怀疑了。换句话说，我们有 99.9954%的把握相信真正的差别存在于所举例子的 4 种不同工艺之中。

10.4.3　因子设计

实验设计是一种引导实验的筹划方法，其目的是为了从有限数量的实验中汲取最大量的信息。在制造过程中使用实验设计技术来系统有效地探究一系列输入变量的影响、或者因子（如工艺温度）、或者响应（如成品率）。统计设计实验的总体概述就是所有因子是同时变化的，与传统“一次一变”的因子法相悖。恰当的设计实验能够最小化实验次数，当然，如果采用这种方法或者随机取样的话，这样做是很必要的。

因子实验设计对于 IC 制造应用具有极大的实用价值。要实施一项因子实验，调查人员为每组的众多变量（因子）选定一个水平极，并且在所有可能相关的水平级进行实验。在因子实验设计中有两个最重要的问题：实验中一组可变化因子的选择和方差存在作用范围识别。因子数的选择直接影响着实验次数（以及相关的实验成本）。

1. 二水平因子

在因子实验中查寻的工艺变量范围可以被离散成最小、最大和中间水平级。在二水平因子设计中，把各种因子的最小和最大水平级（分别归一化为标志值 −1 和 +1）一起用在每种可能组合之中。因此，n 个因子的完整二水平因子实验要求进行 2^n 次。不同因子水平级合并成的三因子实验可以形象地表示为立方体的顶点，如图 10-20 所示。

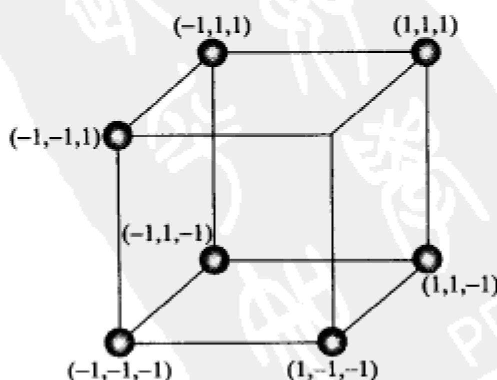


图 10-20　因子水平级合并成的三因子实验所表示成的立方体顶点

表 10-6 列出了某道 CVD 工艺的 2^3 因子实验，其中三个因子是温度(T)、压力(P)和气体流速(F)，可测的响应是每分钟以埃为单位的淀积速率(D)，每个因子的最高和最低水平级分别由＋和－符号表示。表示在表中前 3 列的离散水平级称为设计矩阵。 246

表 10-6 二水平因子实验

操 作	P	T	F	D (Å/min)
1	－	－	－	$d_1 = 94.8$
2	＋	－	－	$d_2 = 110.96$
3	－	＋	－	$d_3 = 214.12$
4	＋	＋	－	$d_4 = 255.82$
5	－	－	＋	$d_5 = 94.14$
6	＋	－	＋	$d_6 = 145.92$
7	－	＋	＋	$d_7 = 286.71$
8	＋	＋	＋	$d_8 = 340.52$

根据这个因子设计可以确定出什么呢？更进一步而言，所收集到的数据表述出压力对淀积速率的影响是多少？任意单个变量对响应的作用称为一个主效果，用来计算这样一个主效果的方法是为了求出当压力最高时(第 2、4、6、8 次操作)的平均淀积速率和最低时(第 1、3、4、5 次操作)的平均淀积速率的差别，那么从数学上可表示为：

$$P = d_{p+} - d_{p-} = 1/4[(d_2 + d_4 + d_6 + d_8) - (d_1 + d_3 + d_5 + d_7)] = 40.86 \tag{10-24}$$

其中 P 是压力的主效果，d_{p+} 是当压力最高时的平均淀积速率，d_{p-} 是当压力最低时的平均淀积速率。可以把上述结果理解为压力从最低水平级升到最高水平级，其平均效果是淀积速率提高了 40.86Å/min。用类似的方式可以计算出对于温度和流速的其他主效果。一般来说，在二水平因子实验中每个变量的主效果是两个响应均值(y)之间的差异，或者表示为：

$$主效果 = y_+ - y_- \tag{10-25}$$

247

我们还关注于两个或更多因子如何相互作用的量化问题。例如，料想高温时的压力效果要比低温时的显著得多，则由温度高时的平均压力效果和温度低时的平均压力效果的差异得出了对这种相互作用的测量。按照惯例，差异之半称为*压力×温度的互作用*，或用符号表示为 $P\times T$ 互作用。该互作用也可视为在两级压力下平均温度差别之半，从数学上可表示为：

$$P\times T = d_{PT+} - d_{PT-} = 1/4[(d_1 + d_4 + d_5 + d_8) - (d_2 + d_3 + d_6 + d_7)] = 6.89 \tag{10-26}$$

用类似的方式可以获得 $P\times F$ 和 $T\times F$ *互作用*。最后，我们还可能关注的是所有 3 个因子的互作用，表示为*压力×温度×流速*的互作用，或者是 $P\times T\times F$ 互作用。这个互作用定义出在第 3 个因子为高水平级和低水平级时任意两个因子互作用之间的平均差异，该均差表示为：

$$P\times T\times F = d_{PTF+} - d_{PTF-} = -5.88 \tag{10-27}$$

重点要注意，仅当不存在因子间互作用的证据时，才能分别表达任何因子的主效果。

2. 耶茨算法

对二水平因子实验使用刚才所述的方法计算其效果和互作用相当繁琐，尤其是涉及3个以上的因子。但幸运的是，耶茨算法提供了一种快速计算方法，这是一种通过计算机相对容易编程的计算方法。要实现这种算法，实验设计矩阵首先编排成所谓的标准格式。设计矩阵的第1列由负号和正号交替组成，第2列由负号对和正号对相连组成，第3列由4个负号和4个紧跟着的正号组成，这样就构成了标准格式的2^n因子设计。一般地，第k列由2^{k-1}负号和2^{k-1}正号交替组成。

淀积速率的耶茨计算数据列在表10-7中。y列由每次操作的淀积速率组成，这些数据可认为是连续的数对，数对加起来得出(1)列的前4项，接着每对数中下面的数减去上面的数得出(1)列的后4项；采用相同的方式从(1)列得出(2)列，从(2)列得出(3)列。然后只要用(3)列各项除以除数列的各项，就能够得到实验结果。通常第1个除数是2^n，剩余除数将是2^{n-1}。识别(ID)列中的第1项是所获结果的总均值，其余各项由设计矩阵中正号所定。

248

表10-7　耶茨算法的说明

P	T	F	y	(1)	(2)	(3)	除数	效果	ID
−	−	−	94.8	205.76	675.70	1543.0	8	192.87	平均
+	−	−	110.96	469.94	867.29	163.45	4	40.86	P
−	+	−	214.12	240.06	57.86	651.35	4	162.84	T
+	+	−	255.82	627.23	105.59	27.57	4	6.89	PT
−	−	+	94.14	16.16	264.18	191.59	4	47.90	F
+	−	+	145.92	41.70	387.17	47.73	4	11.93	PF
−	+	+	286.71	51.78	25.54	122.99	4	30.75	TF
+	+	+	340.52	53.81	2.03	−23.51	4	−5.88	PTF

尽管耶茨算法提供了一种计算实验结果的相对直截了当的方法，但应该指出的是统计实验的现代分析几乎由专门的商用统计软件包完成。一些很常用的软件包有RS/1、SAS和Minitab，这些软件包可完全消除繁琐的手算。

3. 部分因子设计

二水平因子设计的缺点是实验进行次数随因子数增大而呈指数增加。为了缓减这个问题，通过系统地消除全因子设计中的一些操作从而构建了部分因子设计。比如n个因子只进行2^{n-1}次操作的半设计。全部或部分的二水平因子设计可以用来估算单独因子的主效果，同时还能估算因子间的互作用，但不能用来估算二次方或更高次幂的效应。这不是严重的缺陷，因为高次幂的效应和互作用比低次幂的效果影响小(即主效果比2因子互作用影响大，而2因子又比3因子互作用影响大，如此等等)。从概念上看忽略高次幂的效应类似于泰勒级数展开式中忽略高次项。

令 $n=5$，考虑 2^5 的因子设计以便说明部分因子设计的使用。全因子地完成这项设计需要进行 32 次实验操作，但 2^{5-1} 的部分因子设计只需要 16 次实验操作。这项 2^{5-1} 的设计是这样产生的，首先按照标准规则对 2^4 的全因子设计编写设计矩阵，然后把 2^4 的设计矩阵 4 列中的所有正号和负号"乘"在一起得到第 5 列中的符号。

例如再回顾一次 CVD 实验，假设只有完成 4 次实验的时间或资源，而不是对于 2^3 的全因子设计所要求的 8 次。这就是所谓的 2^{3-1} 的部分因子替换法。这项新设计是这样产生的，首先对压力和温度变量编写全面的 2^2 设计，接着两列相乘得到第 3 列的流速。这个过程说明于表 10-8 中。这种制程的唯一缺憾是由于使用 PT 关系去定义 F 列，就无法区分 $P\times T$ 互作用效果与 F 主效果的差别。当这种情况发生时，就称两种效果发生混淆。

表 10-8 对 CVD 举例进行 2^{3-1} 的部分因子设计的说明

操 作	P	T	F
1	−	−	+
2	+	−	−
3	−	+	−
4	+	+	+

249

10.5 成品率

集成电路制造工艺上的变化会在最终产品中引起形变和非一致性。这种工艺上的分布通常导致故障，或者电子产品性能或一致性方面的无端改变。这些故障的存在运用生产成品率进行量化。*成品率*在字面上定义为性能规范器件或电路所占的百分比。

成品率可按*功能型*和*参数型*进行归档。功能成品率是由全功能产品所占比例确定。IC 的功能成品率通常被称为硬成品率，它一般以由物理缺陷（如微粒）导致的开路或短路为特征。然而，在某些情况下，全功能产品仍旧不符合一项或多项参数（如速度、噪声水平或功耗）的性能规范。这些状态可用参数成品率（或称软成品率）描述。

10.5.1 功能成品率

开发估算集成电路功能成品率的模型是进行制造所必需的。给出准确制造成品率估算的模型有助于预测产品成本，确定最佳的设备利用，或者作为与实际可测的制造成品率相对照，且能够被估算出来的体系。成品率模型在支持采用新技术选择以及识别问题产品和工艺方面也还是很重要的。

如前所述，功能成品率显著受到缺陷存在的影响。缺陷来源于很多随机源，包括设备玷污、工艺或处理的玷污、掩模的不完整性和空气中微粒。从物理上看，这些缺陷

分为短接、断开、套准失配、光致抗蚀剂溅污与剥落、针孔、擦痕和结晶瑕疵，如图 10-21 所示。

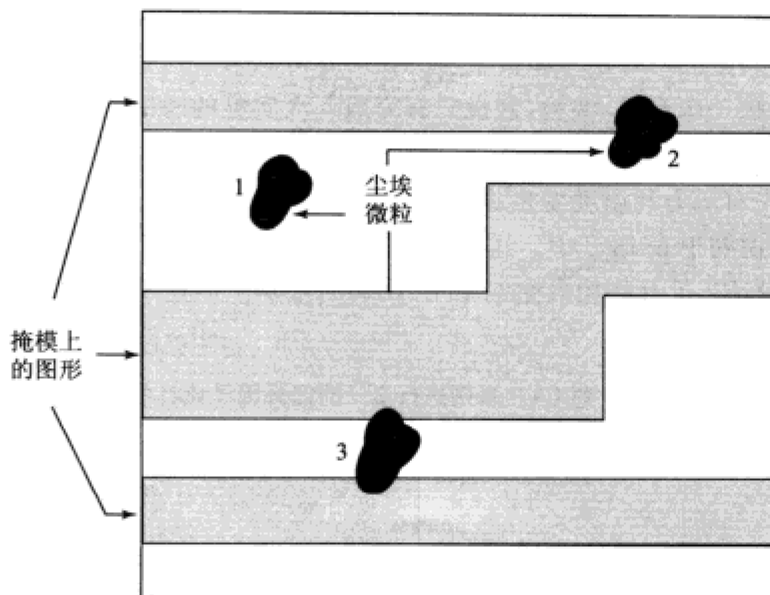


图 10-21　各种形式的能够影响掩模图形连接的尘埃微粒

产品率模型通常表示为每单位面积(D_0)上平均缺陷数和电子系统关键面积(A_c)的函数，也就是：

250

$$Y = f(A_c, D_0) \tag{10-28}$$

式中 Y 是功能成品率。关键面积是这样的区域，在该区域内缺陷发生导致故障的概率较高。举个例子，如果图 10-21 中的微粒 3 足够地大，且导电，那么它在落到的区域上就会引发该区域内的两条金属线间桥接短路。成品率、缺陷密度和关键面积间的相互关系是很复杂的，它取决于电路几何形状、光刻图形密度、在制造工艺过程中所使用的光刻步骤数以及其他一些原因。接下来会讨论一些试图量化这种相互关系的公用模型。

1. 泊松模型

泊松成品率模型假定缺陷是均匀分布在衬底上，并且每个缺陷引起一个故障。Pineda de Gyvez 给出了泊松模型的一种出色派生[7]，令 C 为衬底上电路的数量(即 IC 芯片数)、M 为可能的缺陷类型数量。在该条件下，M 个缺陷能在 C 个电路上以 C^M 种不同方式分布。比如，若有 3 个电路(C 1、C 2和 C 3)和 3 种缺陷类型(如 M 1 = 金属开路，M 2 = 金属短路和 M 3 = 金属 1 和金属 2 短路)，则有：

$$C^M = 3^3 = 27 \tag{10-29}$$

这 3 种缺陷以可能的方式分布在 3 块晶片上，所以相互关联列在表 10-9 中。

表 10-9 各缺陷组合的真值表

组合	C1	C2	C3
1	M1M2M3		
2		M1M2M3	
3			M1M2M3
4	M1M2	M3	
5	M1M3	M2	
6	M2M3	M1	
7	M1M2		M3
8	M1M3		M2
9	M2M3		M1
10	M1	M2M3	
11	M2	M1M3	
12	M3	M2M1	
13	M1		M2M3
14	M2		M1M3
15	M3		M2M1
16		M1M2	M3
17		M1M3	M2
18		M2M3	M1
19		M1	M2M3
20		M2	M1M3
21		M3	M2M1
22	M1	M2	M3
23	M1	M3	M2
24	M2	M1	M3
25	M2	M3	M1
26	M3	M1	M2
27	M3	M2	M1

如果去掉一个电路(比如发现电路中没有缺陷),那么把 M 个缺陷分布在剩余电路中的方式有:

$$(C-1)^M \tag{10-30}$$

因此,电路由任何类型的零缺陷组成的概率为:

$$\frac{(C-1)^M}{C^M} = \left(1-\frac{1}{C}\right)^M \tag{10-31}$$

251

代入 $M = CA_cD_0$,成品率就是无缺陷电路的数量,即:

$$Y = \lim_{C\to\infty}\left(1-\frac{1}{C}\right)^{CA_cD} = \exp(-A_cD_0) \tag{10-32}$$

对于 N 个零缺陷电路,上式变成:

$$Y = \exp(-A_cD_0)^N = \exp(-NA_cD_0) \tag{10-33}$$

泊松模型被简单且相对容易地进行了推衍,它对小的关键面积给出一个合理又合适的成品率估计。但是,如果用小面积电路算出的 D_0 去估计大面积电路的成品率,则估计值比实际获得的大面积电路成品率要低得多。

2. 墨菲成品率积分

墨菲首先提出缺陷密度值(D)不应该是常量[8],作为替换,他推论出 D 必须是采用归一化概率密度函数 $f(D)$ 对整个电路和衬底求和。接下来成品率可用如下积分估算:

$$Y = \int_0^\infty e^{-A_cD} f(D)dD \tag{10-34}$$

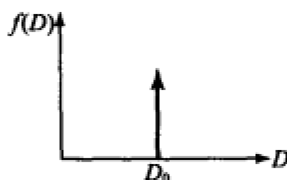
不同形式的 $f(D)$ 造成了很多分析成品率模型之间的根本差别。泊松模型中假设 $f(D)$ 是 δ 函数,即是:

$$f(D) = \delta(D-D_0) \tag{10-35}$$

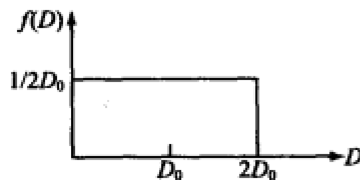
式中 D_0 为如前所述(如图 10-22a 所示)的平均缺陷密度。运用该密度函数,根据公式

252 (10-34)得到如前所示的成品率:

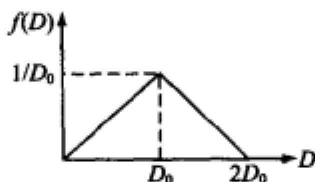
$$Y_{\text{Poisson}} = \int_0^\infty e^{\ AD} f(D)dD = \exp(-A_cD_0) \tag{10-36}$$



(a)泊松模型



(b)均匀分布的墨菲模型



(c)三角分布的墨菲模型



(d)指数分布的Seeds模型[7]

图 10-22 几种概率密度函数

墨菲开始的时候研究均匀分布密度函数,如图 10-22b 所示。对均匀分布密度函数成品率积分估算如下:

$$Y_{\text{均匀}} = \frac{1-e^{-2D_0A_c}}{2D_0A_c} \tag{10-37}$$

后来墨菲认为高斯分布会比 d 函数更好的反映出真实的缺陷密度分布,但是由于他无法把用高斯分布代入 $f(D)$的成品率积分积出来,于是他近似使用如图 10-22c 所示三角函数,该函数得出的产品率表示为:

$$Y_{\text{三角}} = \left(\frac{1-e^{D_0A_c}}{2D_0A_c}\right)^2 \tag{10-38}$$

如今,三角分布墨菲成品率模型使用在工业中以便确定制造工艺缺陷密度的影响。

R. B. Seeds 首次证明了墨菲的预测[9]。而且 Seeds 推理出高成品率是由大量低缺陷密度(不会高到足以引起故障)和少部分高缺陷密度(即高到足以引起故障)带来的,他因此提出用如图 10-22d 所示指数密度函数如下:

$$f(D) = \frac{1}{D_0}\exp\left(\frac{-D}{D_0}\right) \tag{10-39}$$

该函数表明获得低缺陷密度的概率显著高于获得高缺陷密度的概率。把指数函

数代入墨菲积分，并积分出成品率：

$$Y_{指数} = \frac{1}{1+D_0A_c} \tag{10-40}$$

虽然 Seeds 模型很简单，但对大面积衬底的成品率预测与实际值相比过高。

Okabe、Nagata 和 Shimada 重新分析了缺陷分布的物理属性，提出 Γ 概率密度函数[10]。Stapper 使用 Γ 密度函数同样地发展并应用成品率模型[11]。Γ 分布表达如下：

$$f(D) = [\Gamma(\alpha)\beta^{\alpha}]^{-1} D^{\alpha-1} e^{-D/\beta} \tag{10-41}$$

式中 α 和 β 是两个分布参数，$\Gamma(\alpha)$ 是 Γ 函数。当 α 取不同值时 $\Gamma(\alpha)$ 的形状如图 10-23 所示。在此分布中，平均缺陷密度为 $D_0 = \alpha\beta$。

把公式(10-41)代入墨菲积分，从成品率模型得出：

$$Y_\Gamma = \left(1+\frac{A_cD_0}{\alpha}\right)^{-\alpha} \tag{10-42}$$

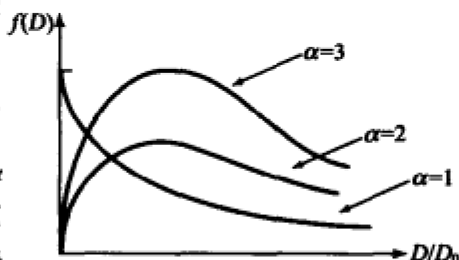


图 10-23 Γ 分布的概率密度函数

这个模型公称为是负二项回归模型。参数 α 需要根据经验确定，一般被称为群集参数，因为它随着缺陷分布中的方差减小而增大。如果 α 高，缺陷可变性就低（小的群集），在这种情况下，Γ 密度函数迫近 δ 函数，负二项回归模型退化为泊松模型，从数学上看，这就意味着：

$$Y = \lim_{\alpha\to\infty}\left(1+\frac{A_cD_0}{\alpha}\right)^{-\alpha} = \exp(-A_cD_0) \tag{10-43}$$

相反地，如果 α 低，遍布晶片上的缺陷可变性就很明显（较多的群集），Γ 模型退化为 Seeds 指数模型，即：

$$Y = \lim_{\alpha\to 0}\left(1+\frac{A_cD_0}{\alpha}\right)^{-\alpha} = \frac{1}{1+A_cD_0} \tag{10-44}$$

如果已知（或者能够准确测量）关键面积和缺陷密度，那么负二项回归模型是一个出色的通用产品率预测器，该预测器适用于各种 IC 制造工艺之中。

10.5.2 参数成品率

即使在无缺陷制造环境中，随机的工艺处理变化仍会导致变动系统性能水平。这些变化源于众多物理和环境因素（如线宽、膜厚、环境湿度等）的影响，反过来它们作为最终系统性能（如速度和噪声水平）的变量而证明了自身的存在。这些性能上的变化引发出“软”故障，用制造工艺的参数成品率来表征。参数成品率是对机能系统的品质测量，而功能成品率测量的是按照制造工艺生产的机能单元所占比例。

估算参数成品率的常用方法是蒙特·卡洛模拟。在蒙特·卡洛方法中，根据假设的概率分布（通常为归一化分布）产生大量电路或系统参数用的伪随机数值组，概率分布建立在样本均值和从测量数据中提出的标准差基础之上。对于每组参数，进行一次

模拟以便获得电路或系统可预测行为的信息。然后从相应模拟结果组中提取出总体性能分布。

为了说明蒙特·卡洛技术，考察一个 N 沟 MOSFET 处于饱和态时的驱动电流(I_{Dsat})所拥有的性能体系，饱和电流表示如下：

$$I_{Dsat} \cong \left(\frac{Z\mu_n C_o}{2L}\right)(V_G - V_T)^2 \tag{10-45}$$

式中 Z 为器件宽度，L 为器件长度，μ_n为沟道中的电子迁移率，C_o为单位面积上氧化层电容，V_G为外加栅电压，V_T为晶体管的阈值电压。在这个等式中，C_o是氧化层厚度(d)的函数，V_T是氧化层厚度和沟道掺杂情形的函数，或者表示为 $I_{Dsat} = f(C_o, V_T)$。所有这些尺寸都受到制造工艺变化的作用，他们的特性因此可以按照归一化分布变化来描述，这里分别用均值 μ_C和μ_V，以及分别用标准差 σ_C和 σ_V进行归一化(如图 10-24 所示)。

254

采用蒙特卡洛方法，在 MOSFET 一定的饱和漏电流范围内，对每种可能的 C_o和 V_T组合计算出相应 I_{Dsat}值，就能够估算出用给定制造工艺生产的 MOSFET 的参数成品率。这些计算结果为最终的性能分布，分布图如图 10-24b 所示。这个概率密度函数可以接着用来计算具有给定范围的驱动电流的晶体管所占比例。例如，若希望计算出被制备成 I_{Dsat}在界限 a 和 b 之间的 MOSFET 所占百分比，应该进行如下积分：

$$Y(\text{MOSFETs}, a < I_{Dsat} < b) = \int_a^b f(x)\,dx \tag{10-46}$$

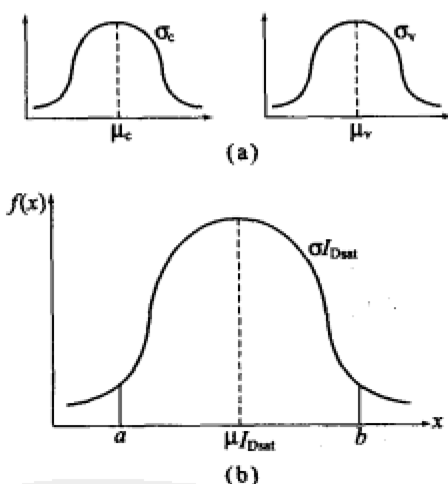


图 10-24 性能分布图

因此，一旦给定输出度量标准的总体分布，那就有可能估算出具有一些性能规范的制备部分所占分数。参数成品率的估计对电路设计者很有用处，因为它能帮助确定制造工艺的极限，以便设计更容易符合制造能力。

255

10.6 计算机集成制造

对 IC 制造工艺的绝大部分估算是通过计算机而非手算完成。这样做不仅效率高，而且是今日经济所不可或缺的。集成电路制备十分昂贵，实际上，近十年已经表明电子器件制造变成资本密集型，以致小公司常常发觉完成自己公司的制造运行太昂贵而无法进行。当今最新技术中典型的高容量制造设备，其花费比 20 年前的可比设备多出好几个数量级。这使制造业出现了大量的订单。

由于成本上升，今日制造商面临的挑战是采用大量制作工艺中技术上的革新来抵消如此巨大的资金投入，换句话说，现在的目标是使用计算机硬件和软件技术方面的

最新发展来加强已经很昂贵的制造方法。实际上，在集成电路的计算机集成制造(IC-CIM)方面努力寻求的目标在于，采用与计算机辅助设计(CAD)这种极大地影响着电路设计经济效果相同的方式，去优化电子产品制造的成本效率。

在降低制造成本的总体前提下，一些单项工作已经确定下来。它们包括提高生产成品率、缩短产品生产周期、保持产品质量和性能水平一致性以及提高工艺设备的可靠性。由于制备工艺通常包括几百道有序步骤，每道步骤都潜在着发生成品率损失的可能。因此，要保持电子产品制造设备上的产品质量必须严格控制几百道甚至几千道的工艺变量。可以利用最新技术 IC-CIM 系统中一些关键性能的发展来处理高成品率、高质量和低生产周期等相互依赖问题，以致解决一些。最新技术的 IC-CIM 系统包括：在制品(WIP)监察、设备通信、数据获取与存储、工艺/设备建模以及实时工艺控制。重视这些行为过程的每一步是要通过规避潜在实效工艺以便提高产量减小成品率损失，但这每一步在其有效落实和配置过程中又展示出有意义的工程挑战。

典型现代 IC-CIM 系统的方块图如图 10-25 所示。该图勾画出有效制造过程所必需的关键特征[13]。这个两级结构的下级包括有能提供制造设备实时控制和分析的嵌入式控制器，控制器通常由个人电脑和相关联的控制软件构成，其控制软件专门用于各个单独设备。该 IC-CIM 结构的第二级由计算机工作站构成分布式局域网和共享分布式数据库相连的文件服务组成。采用称为类属设备模型(GEM)的电子器件制造标准使得设备与主机之间的通信更容易。GEM 标准可用在半导体制造和印制电路板组装之中，该标准是基于半导体设备通信标准(SECS)协议。

256

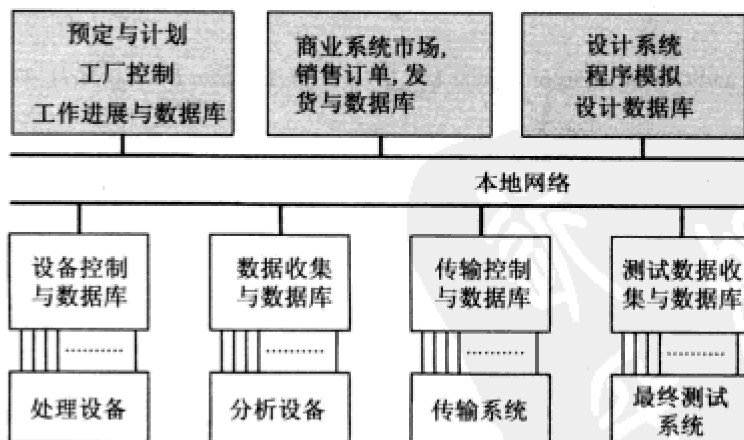


图 10-25 两级 CIM 结构

这类 IC-CIM 结构具有很大的灵活性，面对不断变化的要求可以进行扩展增配。在过去的几年中，基于这个模式的强大、灵活且有成本效率的信息系统已经成为 IC 制造企业的集成部分。

10.7 小结

本章纵览了IC制造中的相关问题，这包括对电气测试和基本封装工艺的描述，还有对统计过程控制、统计实验设计和成品率建模的介绍。本章以IC-CIM系统的简要介绍而结束。在IC制造过程中，工艺和设备的可靠性直接影响产量、成品率和最终成本。在接下来的几年当中，研究未来一代微电子器件、封装和系统的重要目标将是制造过程显著增强所必需的。

参考文献

1. Pineda de Gyvez and D. Pradhan, *Integrated Circuit Manufacturability*, IEEE Press, Piscataway, NJ, 1999.
2. A. Landzberg, *Microelectronics Manufacturing Diagnostics Handbook*, Van Nostrand Reinhold, New York, 1993.
3. R. Tummala, Ed., *Fundamentals of Microsystems Packaging*, McGraw-Hill, New York, 2001.
4. W. Brown, Ed., *Advanced Electronic Packaging*, IEEE Press, New York, 1999.
5. R. Jaeger, *Introduction to Microelectronic Fabrication*, 2nd Ed., Prentice-Hall, Upper Saddle River, NJ, 2002.
6. D. Montgomery, *Introduction to Statistical Quality Control*, Wiley, New York, 1985.
7. J. Pineda de Gyvez and D. Pradhan, *Integrated Circuit Manufacturability*, IEEE Press, New York, 1999.
8. B. Murphy, "Cost-Size Optima of Monolithic Integrated Circuits," *Proc. IEEE*, **52**, (12), 1537–1545 (1964).
9. R. Seeds, "Yield and Cost Analysis of Bipolar LSI," *IEEE Int. Electron Devices Meet.*, Washington, DC, October 1967.
10. T. Okabe, M. Nagata, and S. Shimada, "Analysis of Yield of Integrated Circuits and a New Expression for the Yield," in C. Strapper, Ed., *Defect and Fault Tolerance in VLSI Systems*, Vol. 2, Plenum Press, New York, pp. 47–61, 1990.
11. C. Stapper, "Fact and Fiction in Yield Modeling," *Microelectronics J.*, **210**, 129–151 (1989).
12. S. Sze, *Semiconductor Devices: Physics and Technology*, 2nd Ed., Wiley, New York, 2002.
13. D. Hodges, L. Rowe, and C. Spanos, "Computer Integrated Manufacturing of VLSI," Proceedings of the 11th IEEE/CHMT International Electronics Manufacturing Technology Symposium, September 1989, pp. 1–3.

257

习题

1. 用 $\bar{x}$ 和 s 的控制图来保持短沟道MOSFET的阈值电压，采用样本数量 $n=10$。已知工艺是 $\mu=0.75$V 和 $\sigma=0.10$V 的正态分布，求这两种图的中心线和控制界限。

2. 假设 μ 和 σ 未知，已收集样本数量为10的50个结果，请重做问题1。这些样本得出0.734V的总均值和0.125V的平均 s_i。

3. 用以下 2^3 的因子实验分析光刻工艺，请用Yates算法分析实验结果。

操　作	曝光剂量	显影时间	焙烘时间	成品率(%)
1	−	−	−	60
2	+	−	−	77
3	−	+	−	59
4	+	+	−	68
5	−	−	+	57
6	+	−	+	83
7	−	+	+	45
8	+	+	+	85

*4. 讨论 5 种不同制造工艺(从 A 到 E 分别标注在下表之中)的产率(即每小时处理的晶片)，对每种工艺，数据采集于不同时间。完成方差分析以确定工艺和处理数据是否有明显差别。

日　期	A	B	C	D	E
1	509	512	532	506	509
2	505	507	542	520	519
3	465	472	498	483	475

5. 假设一个泊松模型，要获得 95%的功能成品率，请算出 100000 个 NMOS 晶体管中可容许的最大缺陷密度。设每个器件的栅 10μm 宽，1μm 长。

6. 用墨菲成品率积分推导公式(10-37)、(10-38)和(10-40)。

*7. 设对于给定互连线制造工艺缺陷密度的概率密度函数是：

$f(D) = -100D + 10\ (0 \leqslant D \leqslant 0.1)$

如果该互连线的关键面积是 100cm^2，设定工艺覆盖的缺陷密度从 0.05 到 0.1cm^{-2}，请计算功能成品率。

258

第 11 章 未来趋势和挑战

自 1959 年开创集成电路时代以来，器件的最小尺寸（也称最小特征长度）每年大约以 13%的进度递减（即每 3 年减少 30%）。按照《国际半导体技术指南》的预测[1]，器件的最小特征长度将从 2002 年的 130 nm（0.13μm）减到 2014 年前后的 35 nm（0.035μm），如表 11-1 所示。同时列在表 11-1 中的还有 DRAM 的尺寸，DRAM 每 3 年已将其存储能力提高 4 倍，有望在 2011 年采用 50nm 设计规则实现 64G 位的 DRAM，表中还显示出到 2014 年晶片尺寸将增大到 450 mm（直径 18 英寸）。除特征尺寸减小以外，还有源自器件级、材料级和系统级的挑战，这些将在本章中讨论。

表 11-1 从 1997 年到 2014 年技术的发展

第一批产品出货时间	1997	1999	2002	2005	2008	2011	2014
特征尺寸(nm)	250	180	130	100	70	50	35
DRAM 尺寸(b)	256M	1G	—	8G	—	64G	—
晶片尺寸(mm)	200	300	300	300	300	300	450
栅氧化层(nm)	3 ～ 4	1.9～2.5	1.3～1.7	0.9～1.1	< 1.0	—	—
结深(nm)	50～100	42～70	25～43	20～30	15～30	—	—

DRAM：动态随机存储器。
来源自：《国际半导体技术指南》，半导体行业协会，美国加州，圣何塞，1999 年。

11.1 集成挑战

图 11-1 示意出 CMOS 逻辑技术中电源供给电压(V_{DD})，阈值电压(V_T)和栅氧化层厚度(d)与沟道长度相对应的变化趋势[2]。从图中可以看到，栅氧化层厚度不久将会接近 2nm 的隧道电流极限。按比例缩小的 V_{DD}将会因为不能按比例缩小的 V_T(即由于亚阈值泄漏和电路抗扰度而得到约 0.3V 的最小 V_T值)而减缓下降。一些在 180nm 和更低技术之中的挑战如图 11-2 所示[3]。最迫切的要求将在下面详细讨论。

11.1.1 超浅结的形成

随着沟道长度缩短就发生了所谓的短沟道效应。当器件尺寸按比例缩小到 100 nm，短沟道效应的问题变得很严重。必须使用大剂量低能（即小于 1 keV）注入技术才能获得低方块电阻的超浅结。表 11-1 给出了随着技术发展所要求的结深。100 nm

特征尺寸所要求的结的深度约在 20 到 30 nm，具有 $1\times10^{20}/cm^3$ 掺杂浓度。

11.1.2 超薄氧化层

当栅的长度缩减到 130 nm 以下，栅介质的氧化层等效厚度必须减小到 2 nm 左右以保持性能。但是，若只使用 SiO_2（介质常数为 3.9），由于直接隧道击穿通过栅的泄漏电流将会非常大。出于这个原因，要求使用较厚的高 k 值介质材料，这类材料能够降低泄漏电流。短沟道器件的备选有：氮化硅（介质常数为 7），Ta_2O_5（介质常数为 25）和 TiO_2（介质常数为 60 ～ 100）。

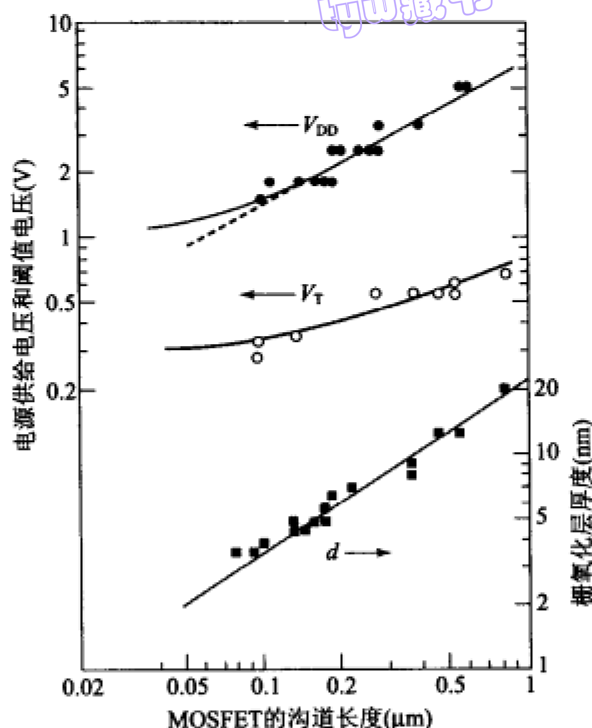


图 11-1 CMOS 逻辑技术中电源供给电压 V_{DD}，阈值电压 V_T 和栅氧化层厚度 d 与沟道长度相对应的变化趋势，各图形点来源于近几年的公开数据[2]

11.1.3 硅化物的形成

在减小寄生电阻提高器件和电路性能方面，相关硅化物技术已成为亚微米器件不可或缺的部分。常规 Ti—硅化物工艺已经广泛应用在 350 nm 到 250 nm 技术之中。但是 $TiSi_2$ 线的电阻随着线宽变窄而增大，这样就限制了 $TiSi_2$ 应用在 100 nm 和更小的 CMOS 之中。$CoSi_2$ 或者 NiSi 工艺将替代 $TiSi_2$ 应用在 100 nm 和更小的 CMOS 之中。

11.1.4 互连新材料

为了实现芯片高速工作，必须减小互连线的 RC 延迟。图 8-14 给出了特征尺寸与时延的函数关系[4]，很明显栅时延随着沟道长度的缩短而减小，同时，互连线部分的时延随着特征尺寸缩小而明显加大。当器件尺寸按比例缩小到 250 nm，这引起总的时延增长。因此，既有如 Cu 等高电导率材料，又有有机材料（聚酰亚胺）或无机材料（F 掺杂氧化物）等低介质常数绝缘层提供了主要性能增强的材料。铜因为其高电导率（1.7μΩ/cm，而 Al 为 2.7μΩ/cm）和 10 到 100 倍以上的抗电迁徙，展示出超级性能。相比于采用常规 Al 和氧化物，用 Cu 和低 k 值材料时的时延表现出显著下降。所以，与低 k 值材料联袂的 Cu 成为未来深亚微米技术中多层互连的关键所在。

11.1.5 功耗极限

在 IC 芯片中仅对电路结点充放电所要求的功率消耗正比于门电路数目和门开关

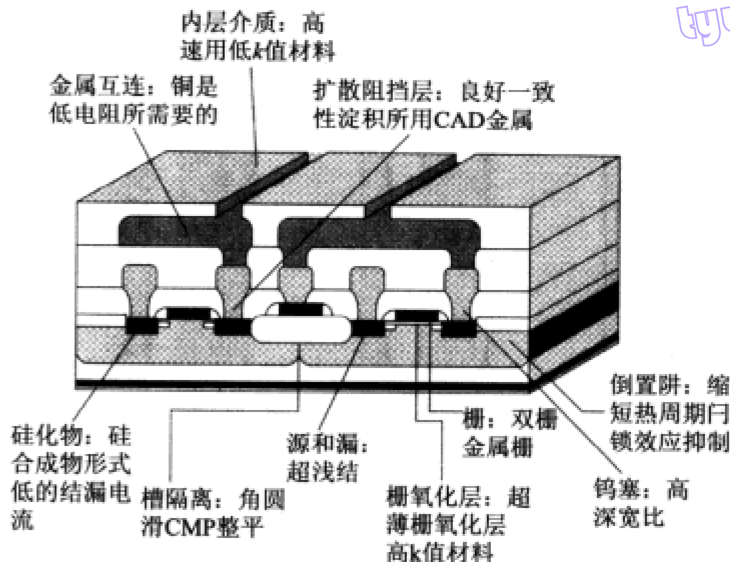


图 11-2　在 180nm 和更低技术之中的挑战[3]

频率(时钟频率)，功耗可表达为 $P \cong 1/2CV^2nf$，其中 C 是每个器件的电容，V 是供给电压，n 是每枚芯片上的器件数目，f 是时钟频率。在固定 IC 封装中，这些功耗引起温度上升，而温度上升极限由封装材料的热导率确定，当然使用液体或气体辅助冷却除外。最大可承受温度升高受限于半导体带隙宽度(～100℃时 Si 带隙宽 1.1eV)。对如此这般温度升高，典型高性能封装的最大功耗约 10W。结果必须既要限制最大功耗又要限制单个芯片上的门电路数目。比如，在一枚包含 100nm MOS 器件的 IC 上，IC 的电容 $C = 5\times10^{-2}$ fF，运行时钟频率 20 GHz，若假设 10%的占空比，则最大能容纳的门电路约 10^7，这是由材料参数导致的设计约束决定的。

260～261

11.1.6　SOI 集成

在 9.2.2 节中提到 SOI 晶片隔离的问题，最近，SOI 技术受到广泛的重视。随着最小特征尺寸接近 100 nm，SOI 集成的优势变得很显著。从工艺的角度上看，SOI 不需要复杂阱结构和隔离技术，另外，利用 SOI 薄膜厚度就可直接获得浅结结构，Al 和硅在接触区域不存在不均匀的互相扩散，这是因为氧化隔离在结的底部。因此，接触阻挡层没有存在的必要。从器件的观点来看，现代体硅器件在漏极和衬底上需要高掺杂，以便消除短沟道效应和穿通现象。在结置反偏电压时上述高掺杂引起高电容。另一方面，在 SOI 中，结和衬底间的最大电容是隔离埋层电容，其介质常数比硅小 3 倍(即 3.9 比 11.9)。基于电路振荡器性能，对比类似体器件技术，130nm 的 SOI CMOS 技术能够获得快 15%的工作速度或者功耗少于 50%[5]。已经成功地运用 SOI 技术制备出 SRAM、DRAM、CPU 和 rf CMOS。所以，SOI 成为未来系统芯片技术的关键所在，下节将进行讨论。

【例 1】 对于 1.5 nm 的等效氧化层厚度，当采用高 k 值材料：氮化硅（$\varepsilon_1/\varepsilon_0=7$），$Ta_2O_5$（25），或 TiO_2（80）时，求物理厚度？

解：对于氮化硅：

$$\left(\frac{\varepsilon_{ox}}{1.5}\right)=\left(\frac{\varepsilon_{氮化硅}}{d_{氮化硅}}\right)$$

$$d_{氮化硅}=1.5\left(\frac{7}{3.9}\right)=2.69\text{nm}$$

用同样的方法可计算出来 Ta_2O_5 的物理厚度为 9.62nm，TiO_2 的物理厚度为 10.77nm。

11.2 系统芯片

元件密度增大和制备技术提高已促进系统芯片（SOC）的实现，所谓 SOC 即是一枚容纳有复杂电子系统的芯片。设计者能够把一个复杂系统如相机、收音机、电视机或个人电脑（PC）所需的全部电路建立在单枚芯片上。图 11-3 所示为 SOC 在 PC 机主板上的应用。曾经能在主板上觅见的元件（在此应用中为 11 枚芯片）变成了右图芯片上的虚拟元件。

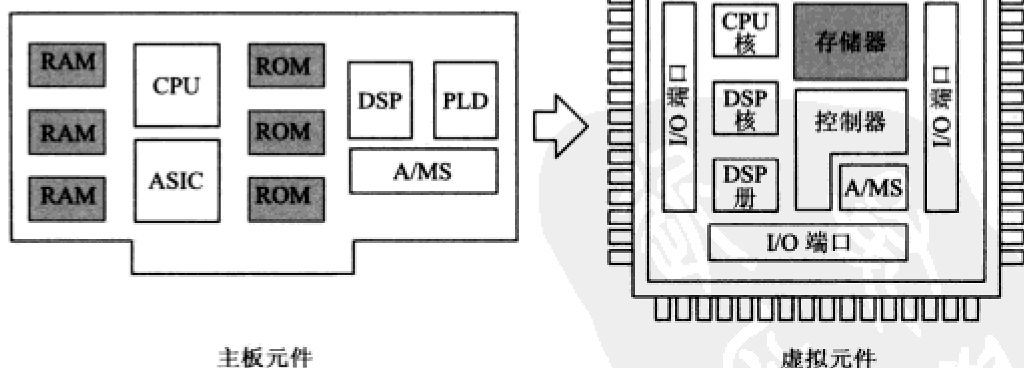


图 11-3 常规个人计算机主板上的系统芯片[6]

在 SOC 实现过程中存在两个障碍。第一个难题是设计的高复杂度。由于目前的元件主板由不同公司使用不同工具设计，这就很难做到把板上的元件集成进一枚芯片之中。另一个困难所在是制备。一般来说，DRAM 的制备工艺是所有这些逻辑 IC 芯片（如 CPU 等）中最难的。逻辑电路中速度是第一位的，而存储器电路中存储电荷的泄漏却是第一位。因此，要想提高逻辑 IC 工作速度，采用 5、6 层金属的多层互连线结构非常重要，但 DRAM 电路 2、3 层足矣。另外，要提高速度的话，必须采用硅化物工艺

减小串联电阻，需要用超薄栅氧化层提高逻辑电路中的驱动电流，而这一切对于存储器来说并不困难。

为了实现 SOC 目标，引入嵌入式 DRAM 技术，使得逻辑电路与 DRAM 通过兼容工艺相融合在单枚芯片之中。图 11-4 所示为嵌入式 DRAM 的横截面结构，它包括 263 DRAM 单元和逻辑 CMOS 器件[7]。一些工艺步骤作了折中修正。用槽型电容器替代叠层电容器，这样一来在 DRAM 单元结构中不会有高度差异。此外，为了配合多电源电压或者使得存储器与逻辑电路工作在同一芯片上抑或两者兼而有之，同一块晶片上存在多重栅氧化层厚度。

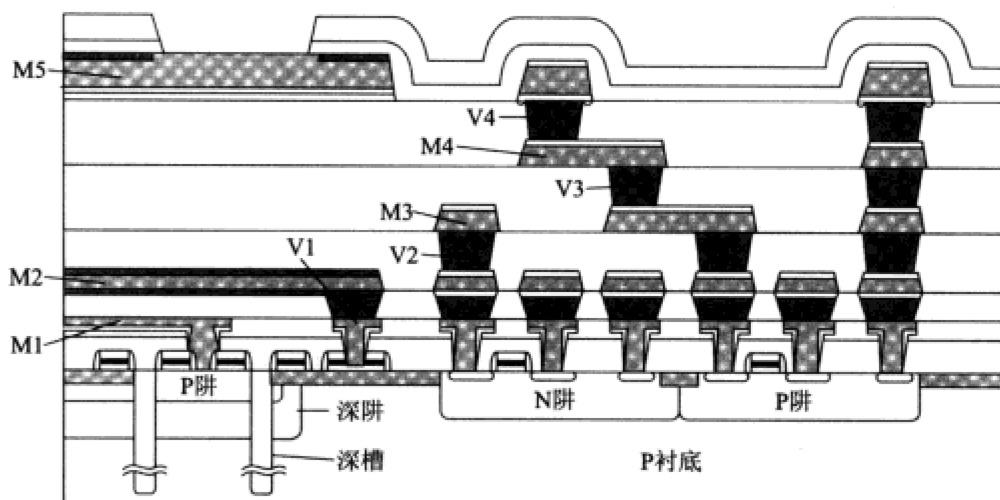


图 11-4　包括有 DRAM 单元和逻辑 MOSFET 的嵌入式 DRAM 横截面结构图，出于 DRAM 单元结构的原因，在沟槽电容器单元中没有高度差异。M1 到 M5 为金属互连层，V1 到 V4 为穿孔[7]

11.3　小结

IC 技术由于其特征尺寸的快速缩小，随着沟道长度缩减到 20 nm 左右，它不久将到达实际极限。从事研究的科学家所探询的一个关键问题是什么样的 IC 芯片将超越 CMOS。主要选择方案有基于量子原理效应的新型器件，因为当器件的横向尺寸减小降低到 100 nm 以下，电子结构展现出与材料和运行温度相关的非经典行为。这种器件工作将有赖于单电子传输范围，该方案已通过单电子存储单元进行演示。实现这类拥有万亿个元件的系统将是超越 CMOS 的一个主要挑战[8]。

参考文献

1. *International Technology Roadmap for Semiconductors*, Semiconductor Industry Association, San Jose, 1999.
2. Y. Taur and E. J. Nowak, "CMOS Devices below 0.1 μm: How High Will Performance Go?" *IEEE Tech. Dig. Int. Electron Devices Meet.*, p. 215 (1997).
3. L. Peters, "Is the 0.18 μm Node Just a Roadside Attraction?" *Semicond. Int.*, **22**, 46 (1999).
4. M. T. Bohr, "Interconnect Scaling—The Real Limiter to High Performance ULSI," *IEEE Tech. Dig. Int. Electron Devices Meet.*, p. 241 (1995).
5. E. Leobandung, et al., "Scalability of SOI Technology into 0.13 μm 1.2 V CMOS Generation," *IEEE Int. Electron Devices Meet.*, p. 403 (1998).
6. B. Martin, "Electronic Design Automation," *IEEE Spectr.*, **36**, 61 (1999).
7. H. Ishiuchi, et al., "Embedded DRAM Technologies," *IEEE Tech. Dig. Int. Electron Devices Meet.*, p. 33 (1997).
8. S. Luryi, J. Xu, and A. Zaslavsky, Eds., *Future Trends in Microelectronics*, Wiley, New York, 1999.

264

习题

1. (a)厚度 0.5μm 的铝引线制备在厚 0.5μm 的热生长 SiO_2 上，引线的长度和宽度分别是 1cm 和 1μm，电阻率为 10^{-5} Ω/cm，请求出引线的 *RC* 时间常数？(b) 请求出同样尺寸的多晶硅($R_h = 30$Ω/h)引线的 *RC* 时间常数。

2. 为什么系统芯片需要多重氧化层厚度？

3. 通常，需要把一缓冲层放置在高 *k* 值的 Ta_2O_5 与硅衬底之间。当叠层栅介质为置于缓冲氮化硅层($k = 7$，厚 10Å)之上，厚 75Å 的 Ta_2O_5($k = 25$)，请求出有效氧化层(EOT)厚度，并求出某一个缓冲氧化层($k = 3.9$，厚 5Å)的 EOT。

附录 A　符号表

符　号	名　称	单　位
a	晶格常数	Å
c	真空中的光速	cm/s
C	电容	F
D	扩散系数	cm^2/s
E	能量	eV
$\mathscr{E}$	电场	V/cm
f	频率	Hz
h	普朗克常数	J·s
I	电流	A
J	电流密度	A/cm^2
k	玻尔兹曼常数	J/K
L	长度	cm 或 μm
m_0	电子静止质量	kg
$\bar{n}$	折射率	
n	自由电子浓度	cm^{-3}
n_i	本征载流子浓度	cm^{-3}
p	自由空穴浓度	cm^{-3}
P	压强	Pa
q	电子电荷数	C
Q_{it}	界面陷阱密度	电荷$/cm^2$
R	电阻	Ω
t	时间	s
T	绝对温度	K
v	载流子速度	cm/s
V	电压	V
ε_0	真空介电常数	F/cm
ε_s	半导体介电常数	F/cm
ε_{ox}	绝缘层介电常数	F/cm
$\varepsilon_s/\varepsilon_0$ 或 $\varepsilon_{ox}/\varepsilon_0$	介质常数	
λ	波长	μm 或 nm
ν	光的频率	Hz
μ_0	真空磁导率	H/cm
μ_n	电子迁移率	$cm^2/V\cdot s$
μ_p	空穴迁移率	$cm^2/V\cdot s$
ρ	电阻率	Ω/cm
Ω	欧姆	Ω

附录 B　国际单位制

量	单　位	符　号	量　纲
长度*	米	m	
质量	千克	kg	
时间	秒	s	
绝对温度	开[尔文]	K	
电流	安[培]	A	
光亮度	坎[德拉]	Cd	
角度	弧度	rad	
频率	赫[兹]	Hz	1/s
力	牛[顿]	N	$kg \cdot m/s^2$
压力	帕[斯卡]	Pa	N/m^2
能量*	焦[耳]	J	$N \cdot m$
功率	瓦[特]	W	J/s
电荷量	库[伦]	C	$A \cdot s$
电动势	伏[特]	V	J/C
电导	西[门子]	S	A/V
电阻	欧[姆]	Ω	V/A
电容	法[拉]	F	C/V
磁通量	韦[伯]	Wb	$V \cdot s$
磁感应强度	特[拉斯]	T	Wb/m^2
电感	亨[利]	H	Wb/A
光通量	流[明]	Lm	Cd·rad

* 在半导体领域更常使用 cm 作为长度单位，eV 作能量单位（$1cm = 10m^{-2}$，$1eV = 1.6\times10^{-19}J$）。

附录 C　单位词头*

倍　率	词头名称	符　号
10^{18}	艾[可萨]　exa	E
10^{15}	拍[它]　peta	P
10^{12}	太[拉]　tera	T
10^{9}	吉[咖]　giga	G
10^{6}	兆　mega	M
10^{3}	千　kilo	k
10^{2}	百　hector	h
10	十　deka	da
10^{-1}	分　deci	d
10^{-2}	厘　centi	c
10^{-3}	毫　milli	m
10^{-6}	微　micro	μ
10^{-9}	纳[诺]　nano	n
10^{-12}	皮[可]　pico	p
10^{-15}	飞[母托]　femto	f
10^{-18}	阿[托]　atto	a

* 国际计量委员会采用。(不应采用复合词头,例如不用 μμ,而用 p。)

附录 D　希腊字母表

名　称	小　写	大　写
Alpha	α	A
Beta	β	B
Gamma	γ	Γ
Delta	δ	Δ
Epsilon	ε	E
Zeta	ξ	Z
Eta	η	H
Theta	θ	Θ
Iota	ι	I
Kappa	κ	K
Lambda	λ	Λ
Mu	μ	M
Nu	ν	N
Xi	ξ	Ξ
Omicron	o	O
Pi	π	Π
Rho	ρ	P
Sigma	σ	Σ
Tau	τ	T
Upsilon	υ	Y
Phi	φ	Φ
Chi	χ	X
Psi	ψ	Ψ
Omega	ω	Ω

附录 E　物理常数

物理量	符　号	数　值
埃	Å	10Å = 1 nm = 10^{-3} μm = 10^{-7} cm = 10^{-9} m
阿伏加德罗常数	N_{av}	6.02214 × 10^{23}
玻尔半径	a_B	0.52917Å
玻尔兹曼常数	k	1.38066 × 10^{-23} J/K(R/N_{av})
基本电荷	q	1.60218 × 10^{-19} C
电子静止质量	m_0	0.91094 × 10^{-30} kg
电子伏特	eV	1 eV = 1.60218 × 10^{-19} J = 23.053 kcal/mol
气体常数	R	1.98719 cal/mol · K
真空磁导率	μ_0	1.25664 × 10^{-8} H/cm($4\pi \times 10^{-9}$)
真空介电常数	ε_0	8.85418 × 10^{-14} F/cm($1/\mu_0 c^2$)
普朗克常数	h	6.62607 × 10^{-34} J · s
约化普朗克常数	$\hbar$	1.05457 × 10^{-34} J · s($h/2\pi$)
质子静止质量	M_p	1.67262 × 10^{-27} kg
真空中光速	c	2.99792 × 10^{10} cm/s
标准大气压		1.01325 × 10^{5} Pa
300K 下的热电压	kT/q	0.025852 V
1 eV 量子的波长	λ	1.23984 μm

附录 F　300K 时 Si 和 GaAs 的性质

性　　质	Si	GaAs
原子/cm^3	5.02×10^{22}	4.42×10^{22}
原子量	28.09	144.63
击穿电场(V/cm)	$\sim 3\times10^5$	$\sim 4\times10^5$
晶体结构	金刚石	闪锌石
密度(g/cm^3)	2.329	5.317
介质常数	11.9	12.4
导带中的有效态密度,$N_C(cm^{-3})$	2.86×10^{19}	4.7×10^{17}
价带中的有效态密度,$N_V(cm^{-3})$	2.66×10^{19}	7.0×10^{18}
有效质量(传导性)		
电子(m_e/m_0)	0.26	0.063
空穴(m_p/m_0)	0.69	0.57
电子亲和势,X(V)	4.05	4.07
禁带宽度(eV)	1.12	1.42
折射率	3.42	3.3
本征载流子浓度(cm^{-3})	9.65×10^9	2.25×10^6
本征电阻率(Ω/cm)	3.3×10^5	2.9×10^8
晶格常数(Å)	5.43102	5.65325
线性热膨胀系数,$\Delta L/L\times T$(℃$^{-1}$)	2.59×10^{-6}	5.75×10^{-6}
熔点(℃)	1412	1240
少数载流子寿命(s)	3×10^{-2}	$\sim 10^{-8}$
迁移率(cm^2/V·s)		
μ_n(电子)	1450	9200
μ_p(空穴)	505	320
比热(J/g·℃)	0.7	0.35
热导率(W/cm·K)	1.31	1.46
蒸汽压(Pa)	1(1650℃) 10^{-6}(900℃)	100(1050℃) 1(900℃)

附录 G　误差函数的一些性质

w	erf(w)	w	erf(w)	w	erf(w)	w	erf(w)
0.00	0.000 000	0.38	0.409 009	0.76	0.717 537	1.14	0.893 082
0.01	0.011 283	0.39	0.418 739	0.77	0.723 822	1.15	0.896 124
0.02	0.022 565	0.40	0.428 392	0.78	0.730 010	1.16	0.899 096
0.03	0.033 841	0.41	0.437 969	0.79	0.736 103	1.17	0.902 000
0.04	0.045 111	0.42	0.447 468	0.80	0.742 101	1.18	0.904 837
0.05	0.056 372	0.43	0.456 887	0.81	0.748 003	1.19	0.907 608
0.06	0.067 622	0.44	0.466 225	0.82	0.753 811	1.20	0.910 314
0.07	0.078 858	0.45	0.475 482	0.83	0.759 524	1.21	0.912 956
0.08	0.090 078	0.46	0.484 655	0.84	0.765 143	1.22	0.915 534
0.09	0.101 281	0.47	0.493 745	0.85	0.770 668	1.23	0.918 050
0.10	0.112 463	0.48	0.502 750	0.86	0.776 110	1.24	0.920 505
0.11	0.123 623	0.49	0.511 668	0.87	0.781 440	1.25	0.922 900
0.12	0.134 758	0.50	0.520 500	0.88	0.786 687	1.26	0.925 236
0.13	0.145 867	0.51	0.529 244	0.89	0.719 843	1.27	0.927 514
0.14	0.156 947	0.52	0.537 899	0.90	0.796 908	1.28	0.929 734
0.15	0.167 996	0.53	0.546 464	0.91	0.801 883	1.29	0.931 899
0.16	0.179 012	0.54	0.554 939	0.92	0.806 768	1.30	0.934 008
0.17	0.189 992	0.55	0.563 323	0.93	0.811 564	1.31	0.936 063
0.18	0.200 936	0.56	0.571 616	0.94	0.816 271	1.32	0.938 065
0.19	0.211 840	0.57	0.579 816	0.95	0.820 891	1.33	0.940 015
0.20	0.222 703	0.58	0.587 923	0.96	0.825 424	1.34	0.941 914
0.21	0.233 522	0.59	0.595 936	0.97	0.829 870	1.35	0.943 762
0.22	0.244 296	0.60	0.603 856	0.98	0.834 232	1.36	0.945 561
0.23	0.255 023	0.61	0.611 681	0.99	0.838 508	1.37	0.947 312
0.24	0.265 700	0.62	0.619 411	1.00	0.842 701	1.38	0.949 016
0.25	0.276 326	0.63	0.627 046	1.01	0.846 810	1.39	0.950 673
0.26	0.286 900	0.64	0.634 586	1.02	0.850 838	1.40	0.952 285
0.27	0.297 418	0.65	0.642 029	1.03	0.854 784	1.41	0.953 852
0.28	0.307 880	0.66	0.649 377	1.04	0.858 650	1.42	0.955 376
0.29	0.318 283	0.67	0.656 628	1.05	0.862 436	1.43	0.956 857
0.30	0.328 627	0.68	0.663 782	1.06	0.866 144	1.44	0.958 297
0.31	0.338 908	0.69	0.670 840	1.07	0.869 773	1.45	0.959 695
0.32	0.349 126	0.70	0.677 801	1.08	0.873 326	1.46	0.961 054
0.33	0.359 279	0.71	0.684 666	1.09	0.876 803	1.47	0.962 373
0.34	0.369 365	0.72	0.691 433	1.10	0.880 205	1.48	0.963 654
0.35	0.379 382	0.73	0.698 104	1.11	0.883 533	1.49	0.964 898
0.36	0.389 330	0.74	0.704 678	1.12	0.886 788	1.50	0.966 105
0.37	0.399 206	0.75	0.711 156	1.13	0.889 971	1.51	0.967 277

(续)

w	erf(w)	w	erf(w)	w	erf(w)	w	erf(w)
1.52	0.968 413	1.96	0.994 426	2.39	0.999 275	2.82	0.999 933
1.53	0.969 516	1.97	0.994 664	2.40	0.999 311	2.83	0.999 937
1.54	0.970 586	1.98	0.994 892	2.41	0.999 346	2.85	0.999 944
1.55	0.971 623	1.99	0.995 111	2.42	0.999 379	2.86	0.999 948
1.56	0.972 628	2.00	0.995 322	2.43	0.999 411	2.87	0.999 951
1.57	0.973 603	2.01	0.995 525	2.44	0.999 441	2.88	0.999 954
1.58	0.974 547	2.02	0.995 719	2.45	0.999 469	2.89	0.999 956
1.59	0.975 462	2.03	0.995 906	2.46	0.999 497	2.90	0.999 959
1.60	0.976 348	2.04	0.996 086	2.47	0.999 523	2.91	0.999 961
1.61	0.977 207	2.05	0.996 258	2.48	0.999 547	2.92	0.999 964
1.62	0.978 038	2.06	0.996 423	2.49	0.999 571	2.93	0.999 966
1.63	0.978 843	2.07	0.996 582	2.50	0.999 593	2.94	0.999 968
1.64	0.979 622	2.08	0.996 734	2.51	0.999 614	2.95	0.999 970
1.65	0.980 376	2.09	0.996 880	2.52	0.999 634	2.96	0.999 972
1.66	0.981 105	2.10	0.997 021	2.53	0.999 654	2.97	0.999 973
1.67	0.981 810	2.11	0.997 155	2.54	0.999 672	2.98	0.999 975
1.68	0.982 493	2.12	0.997 284	2.55	0.999 689	2.99	0.999 976
1.69	0.983 153	2.13	0.997 407	2.56	0.999 706	3.00	0.999 977 91
1.70	0.983 790	2.14	0.997 525	2.57	0.999 722	3.01	0.999 979 26
1.71	0.984 407	2.15	0.997 639	2.58	0.999 736	3.02	0.999 980 53
1.72	0.985 003	2.16	0.997 747	2.59	0.999 751	3.03	0.999 981 73
1.73	0.985 578	2.17	0.997 851	2.60	0.999 764	3.04	0.999 982 86
1.74	0.986 135	2.18	0.997 951	2.61	0.999 777	3.05	0.999 983 92
1.75	0.986 672	2.19	0.998 046	2.62	0.999 789	3.06	0.999 984 92
1.76	0.987 190	2.20	0.998 137	2.63	0.999 800	3.07	0.999 985 86
1.77	0.987 691	2.21	0.998 224	2.64	0.999 811	3.08	0.999 986 74
1.79	0.988 641	2.22	0.998 308	2.65	0.999 822	3.09	0.999 987 57
1.80	0.989 091	2.23	0.998 388	2.66	0.999 831	3.10	0.999 988 35
1.81	0.989 525	2.24	0.998 464	2.67	0.999 841	3.11	0.999 989 08
1.82	0.989 943	2.25	0.998 537	2.68	0.999 849	3.12	0.999 989 77
1.83	0.990 347	2.26	0.998 607	2.69	0.999 858	3.13	0.999 990 42
1.84	0.990 736	2.27	0.998 674	2.70	0999 866	3.14	0.999 991 03
1.85	0.991 111	2.28	0.998 738	2.71	0.999 873	3.15	0.999 991 60
1.86	0.991 472	2.29	0.998 799	2.72	0.999 880	3.16	0.999 992 14
1.87	0.991 821	2.30	0.998 857	2.73	0.999 887	3.17	0.999 992 64
1.88	0.992 156	2.31	0.998 912	2.74	0.999 893	3.18	0.999 993 11
1.89	0.992 479	2.32	0.998 966	2.75	0.999 899	3.19	0.999 993 56
1.90	0.992 790	2.33	0.999 016	2.76	0.999 905	3.20	0.999 993 97
1.91	0.993 090	2.34	0.999 065	2.77	0.999 910	3.21	0.999 994 36
1.92	0.993 378	2.35	0.999 111	2.78	0.999 916	3.22	0.999 994 73
1.93	0.993 656	2.36	0.999 155	2.79	0.999 920	3.23	0.999 995 07
1.94	0.993 923	2.37	0.999 197	2.80	0.999 925	3.24	0.999 995 40
1.95	0.994 179	2.38	0.999 237	2.81	0.999 929	3.25	0.999 995 70

（续）

w	erf(w)	w	erf(w)	w	erf(w)	w	erf(w)
3.26	0.999 995 98	3.45	0.999 998 934	3.64	0.999 999 736	3.83	0.999 999 939
3.27	0.999 996 24	3.46	0.999 999 008	3.65	0.999 999 756	3.84	0.999 999 944
3.28	0.999 996 49	3.47	0.999 999 077	3.66	0.999 999 773	3.85	0.999 999 948
3.29	0.999 996 72	3.48	0.999 999 141	3.67	0.999 999 790	3.86	0.999 999 952
3.30	0.999 996 94	3.49	0.999 999 201	3.68	0.999 999 805	3.87	0.999 999 956
3.31	0.999 997 15	3.50	0.999 999 257	3.69	0.999 999 820	3.88	0.999 999 959
3.32	0.999 997 34	3.51	0.999 999 309	3.70	0.999 999 833	3.89	0.999 999 962
3.33	0.999 997 51	3.52	0.999 999 358	3.71	0.999 999 845	3.90	0.999 999 965
3.34	0.999 997 68	3.53	0.999 999 403	3.72	0.999 999 857	3.91	0.999 999 968
3.35	0.999 997 838	3.54	0.999 999 445	3.73	0.999 999 867	3.92	0.999 999 970
3.36	0.999 997 983	3.55	0.999 999 485	3.74	0.999 999 877	3.93	0.999 999 973
3.37	0.999 998 120	3.56	0.999 999 521	3.75	0.999 999 886	3.94	0.999 999 975
3.38	0.999 998 247	3.57	0.999 999 555	3.76	0.999 999 895	3.95	0.999 999 977
3.39	0.999 998 367	3.58	0.999 999 587	3.77	0.999 999 903	3.96	0.999 999 979
3.40	0.999 998 478	3.59	0.999 999 617	3.78	0.999 999 910	3.97	0.999 999 980
3.41	0.999 998 582	3.60	0.999 999 644	3.79	0.999 999 917	3.98	0.999 999 982
3.42	0.999 998 679	3.61	0.999 999 670	3.80	0.999 999 923	3.99	0.999 999 983
3.43	0.999 998 770	3.62	0.999 999 694	3.81	0.999 999 929		
3.44	0.999 998 855	3.63	0.999 999 716	3.82	0.999 999 934		

附录 H　气体基本动力学理论

理想气体定律为：

$$PV = RT = N_{av}kT \tag{H-1}$$

其中 P 为压强，V 为气体摩尔体积，R 为气体常数（1.98 cal/mol·K，或 82 atm-cm^3/mol·K），T 为以 K 表示的绝对温度，N_{av} 为阿伏加德罗常数（6.02×10^{23} 分子数/摩尔），k 为玻尔兹曼常数（1.38×10^{-23}J/K 或 1.37×10^{-22}atm·cm^2/K。由于随着压强的降低，实际气体的性能越来越接近理想气体，因此公式（H-1）对大多数真空过程是适用的。我们可以利用公式（H-1）计算分子浓度 n（单位体积内的分子数）：

$$n = \frac{N_{av}}{V} = \frac{P}{kT} \tag{H-2a}$$

$$= 7.25\times10^{16}\,\frac{P}{T}\ \text{分子数}/\text{cm}^3 \tag{H-2b}$$

其中 P 的单位是 Pa，气体密度 ρ_d 可以分子量与其浓度的乘积给出：

$$\rho_d = \text{分子量}\times\left(\frac{P}{kT}\right) \tag{H-3}$$

气体分子在不停地运动，其运动速度与温度有关。分子的速度分布用麦克斯韦—玻尔兹曼分布律描述，根据该分布定律，对给定的速度 v，有：

$$\frac{1}{n}\frac{\mathrm{d}n}{\mathrm{d}v} \equiv f_v = \frac{4}{\sqrt{\pi}}\left(\frac{m}{2kT}\right)^{3/2} v^2 \exp\left(-\frac{mv^2}{2kT}\right) \tag{H-4}$$

其中 m 为分子质量。上式表明，如果容积内有 n 个分子，则速度在 v 和 $v+\mathrm{d}v$ 之间的分子有 $\mathrm{d}n$ 个。从公式（H-4）可得平均速度为：

$$v_m = \frac{\int_0^\infty v f_v \mathrm{d}v}{\int_0^\infty f_v \mathrm{d}v} = \frac{2}{\sqrt{\pi}}\sqrt{\frac{2kT}{m}} \tag{H-5}$$

真空技术的一个重要参数是分子碰撞率，即单位时间内碰撞在单位面积上的分子数量。为了求出碰撞率，首先考虑在 x 方向的分子速度分布函数 f_{vx}，和公式（H-5）相似，x 方向的速度分布因数可表示为：

$$\frac{1}{n}\frac{\mathrm{d}n_x}{\mathrm{d}v_x} \equiv f v_x = \left(\frac{m}{2\pi kT}\right)^{1/2} v_x^2 \exp\left(\frac{-mv_x^2}{2kT}\right) \tag{H-6}$$

分子碰撞率 ϕ 可由下式给出：

$$\phi = \int_0^\infty v_x \mathrm{d}n_x \tag{H-7}$$

把公式（H-6）的 $\mathrm{d}n_x$ 代入上式，并积分得：

$$\phi = n\sqrt{\frac{kT}{2\pi m}} \tag{H-8}$$

利用公式(H-2a)可得碰撞率与气体压强之间的关系：

$$\phi = P(2\pi mkT)^{-1/2} \tag{H-9}$$

$$= 2.64 \times 10^{20}\left(\frac{P}{\sqrt{MT}}\right) \tag{H-9a}$$

其中 P 为以 Pa 表示的压强，M 为分子量。



附录 I　SUPREM 命令

斯坦福大学的工艺仿真(SUPREM)程序是一套模拟软件，它许可用户对集成电路制备中不同工艺步骤进行仿真。SUPREM 能够预测出氧化、淀积、刻蚀、扩散、外延生长和离子注入等工艺的结果，SUPREM III 在一维尺寸空间模拟了上述这些工艺引起的半导体结构变化，其主要仿真结果是各种膜层的厚度和杂质在这些膜层中的分布。该程序还能确定某些杂质的性质，如硅膜层中扩散区域的方块电阻。

要有输入脚本才能运行 SUPREM。程序脚本以 TITLE 指令开头，仅是重复在每页输出程序上进行的注释。下一个命令 INITIALIZE 是控制指令，用来设置衬底类型、晶向和掺杂，这个命令也可以用来规定模拟区域的厚度并建立格点。建立衬底及材料之后，按照实际发生情况用一系列指令来规定工艺步骤顺序。最后用指令 PRINT 或 PLOT 分别打印或画出结果，以 STOP 指令结束仿真。一些 COMMENT 指令会贯穿在整个程序卡中。

部分公用指令见表 I-1，该表确实不完整。要想获得完整的 SUPREM 软件包及相关文档，请联系以下地址：

Silvaco Data Systems, Inc.
4701 Patrick Henry Drive
Building 2
Santa Clara, CA 95054
电话：408-654-4372
传真：408-727-5297
www.silvaco.com

SUPREM 是斯坦福大学董事会所持有的商标。

表 I-1　常用 SUPREM 命令

名　称	描　述	基本句法	典型标记和参数
COMMENT	输出字符串标明输入序列	COMMENT < tex>	None
DEPOSI-TION	在当前结构顶上淀积特定材料	DEPOSITION < Material> Thickness= < n> Temperature= < n>	Aluminum Nitride Oxide Polysilicon Silicon C.Phosphor(cm^{-3}) C.Arsenic(cm^{-3}) C.Boron(cm^{-3}) Thickness(μm) Temperature(℃)
DIFFUSION	模拟氧化和非氧化气氛中的高温扩散	DIFFUSION Time= < n> Temperature= < n> < Dopant> < Ambient>	Arsenic Boron DryO2 Nitrogen Phosphorus WetO2 Solidsol HCl% (%) T.Rate(℃/min) Temperature(℃) Time(minutes)
ETCH	从当前结构顶上刻蚀去掉特定材料	ETCH< Material> Thickness= < n>	All Aluminum Nitride Oxide Polysilicon Silicon Thickness(μm)
IMPLANT	模拟杂质离子注入	IMPLANT < Dopant> Dose= < n> Energy= < n>	Arsenic Boron Phosphorus Dose(cm^{-2}) Energy(keV)
INITIAL-IZE	建立模拟中要用的初始化系数和结构	INITIALIZE < Structure> < Sub-strate> < Dopant> Concentra-tion= < n>	< 100> < 110> < 111>

（续）

名　称	描　述	基本句法	典型标记和参数
		INITIALIZE Structure= < filename>	Silicon Arsenic Boron Phosphorus
PLOT	画出杂质浓度或电学计算结果与进入衬底深度的规则性能	PLOT< Parameters> Cmin= < n> Cmax= < n>	Concentration(cm^{-3}) Active Arsenic Boron Chemical Net Phosphorus Cmin(cm^{-3}) Cmax(cm^{-3})
PRINT	输出有关模拟结构和使用系数的信息	PRINT < Parameters>	Arsenic Boron Chemical Concentration Layers Net Phosphorus
SAVEFILE	把当前处理完的结构、用过的系数或者兼而有之存盘	SAVEFILE < Feature> Filenanme= < Text>	Structure
STOP	终止模拟	STOP < Text>	None
TITLE	输入字符串标明以下输入	TITLE < Text>	None

附录 J 运行 PROLITH

PROLITH 是一款光刻模拟视窗程序，由德克萨斯州奥斯汀(Austin, Texas)的 FINLE Technologies 公司在市场上销售。PROLITH 模拟了整个一、二维的光学印刷术，即从空间成像到抗蚀剂曝光直至显影全过程。程序的输出结果是对最终抗蚀剂外形的精确推论，该结果以图形、绘线性、曲线图和计算数据的多样式表现出来。

PROLITH 以数据文件形式和参数输入方式的接受光刻信息，并用这些信息来模拟标准的和先进的光刻制程。软件安装以后，用户只要在 Window 开始菜单里简单地点击 PROLITH 的图标，就能运行 PROLITH。成功地完成许可文件搜索之后，成像工具(Imaging Tool)参数窗口显示出来(如图 4-20 所示)。用户需要选择模拟模式并加进一组输入参数，这可以从文件(File)菜单中选择来打开选项对话框(Options dialog)，对话窗中的设置项用来建立基本模拟选择，如图像计算模式(Image Calculation Mode)、物理模式(Physical Mode)和速度因子(Speed Factor)。

一旦完成选项设置，用户可以从相应的参数窗口加进模拟输入参数。通过从观察(View)菜单选择各种选项，或者点击窗口上相应的工具条按钮的方式来打开参数窗口。在每个窗口中，可以通过以下方式来输入参数：选择或者取消复选框或选择按钮，在文本框输入值，从列表选择文件或其他值，以及如此等方式。比如电阻参数窗等很多窗口提供了输入信息的立即生成视图。

输入完参数以后，PROLITH 从图表(Graphs)菜单显示模拟结果。PROLITH 能够提供以下模拟结果：掩模图形按照光学投影体系的图像模拟形式，所用图形的抗蚀剂曝光结果，或者曝光抗蚀剂的显影结果。下列图表(Graphs)菜单的选项(或者相应的工具条按钮)都能有效显示上述模拟结果。

- ☐ 空间像：图像的相对强度为位置函数。
- ☐ 抗蚀剂中的图像：曝光开始时投影在抗蚀剂中的图像。
- ☐ 曝光潜像：在进行曝光后烘烤之前的潜像。
- ☐ PEB 潜像：在进行曝光后烘烤之后的潜像。
- ☐ 显影时间等高线：抗蚀剂中具有相同显影时间的位置连线。
- ☐ 抗蚀剂分布：显影后二维抗蚀剂分布。

上述对 PROLITH 的叙述很不完整。要想获得完整的 PROLITH 软件包及相关文档，请联系以下地址：

FINLE Technologies, Inc.
P. O. Box 162712
Austin, TX 78716
电话：512-327-3781
传真：512-327-1510
www. finle. com

附录 K　t 分布的百分点

v \ α	0.40	0.25	0.10	0.05	0.025	0.01	0.005	0.0025	0.001	0.0005
1	0.325	1.000	3.078	6.314	12.706	31.821	63.657	127.32	318.31	636.62
2	0.289	0.816	1.886	2.920	4.303	6.965	9.925	14.089	23.326	31.598
3	0.277	0.765	1.638	2.353	3.182	4.541	5.841	7.453	10.213	12.924
4	0.271	0.741	1.533	2.132	2.776	3.747	4.604	5.598	7.173	8.610
5	0.267	0.727	1.476	2.015	2.571	3.365	4.032	4.773	5.893	6.869
6	0.265	0.727	1.440	1.943	2.447	3.143	3.707	4.317	5.208	5.959
7	0.263	0.711	1.415	1.895	2.365	2.998	3.499	4.019	4.785	5.408
8	0.262	0.706	1.397	1.860	2.306	2.896	3.355	3.833	4.501	5.041
9	0.261	0.703	1.383	1.833	2.262	2.821	3.250	3.690	4.297	4.781
10	0.260	0.700	1.372	1.812	2.228	2.764	3.169	3.581	4.144	4.587
11	0.260	0.697	1.363	1.796	2.201	2.718	3.106	3.497	4.025	4.437
12	0.259	0.695	1.356	1.782	2.179	2.681	3.055	3.428	3.930	4.318
13	0.259	0.694	1.350	1.771	2.160	2.650	3.012	3.372	3.852	4.221
14	0.258	0.692	1.345	1.761	2.145	2.624	2.977	3.326	3.787	4.140
15	0.258	0.691	1.341	1.753	2.131	2.602	2.947	3.286	3.733	4.073
16	0.258	0.690	1.337	1.746	2.120	2.583	2.921	3.252	3.686	4.015
17	0.257	0.689	1.333	1.740	2.110	2.567	2.898	3.222	3.646	3.965
18	0.257	0.688	1.330	1.734	2.101	2.552	2.878	3.197	3.610	3.922
19	0.257	0.688	1.328	1.729	2.093	2.539	2.861	3.174	3.579	3.883
20	0.257	0.687	1.325	1.725	2.086	2.528	2.845	3.153	3.552	3.850
21	0.257	0.686	1.323	1.721	2.080	2.518	2.831	3.135	3.527	3.819
22	0.256	0.686	1.321	1.717	2.074	2.508	2.819	3.119	3.505	3.792
23	0.256	0.685	1.319	1.714	2.069	2.500	2.807	3.104	3.485	3.767
24	0.256	0.685	1.318	1.711	2.064	2.492	2.797	3.091	3.467	3.745
25	0.256	0.684	1.316	1.708	2.060	2.485	2.787	3.078	3.450	3.725
26	0.256	0.684	1.315	1.706	2.056	2.479	2.779	3.067	3.435	3.707
27	0.256	0.684	1.314	1.703	2.052	2.473	2.771	3.057	3.421	3.690
28	0.256	0.683	1.313	1.701	2.048	2.467	2.763	3.047	3.408	3.674
29	0.256	0.683	1.311	1.699	2.045	2.462	2.756	3.038	3.396	3.659
30	0.256	0.683	1.310	1.697	2.042	2.457	2.750	3.030	3.385	3.646
40	0.255	0.681	1.303	1.684	2.021	2.423	2.704	2.971	3.307	3.551
60	0.254	0.679	1.296	1.671	2.000	2.390	2.660	2.915	3.232	3.460
120	0.254	0.677	1.289	1.658	1.980	2.358	2.617	2.860	3.160	3.373
∞	0.253	0.674	1.282	1.645	1.960	2.326	2.576	2.807	3.090	3.291

v：自由度。

来源：改编自 *Biometrike Tables for Statisticians*（第 1 卷，第 3 版，作者：E. S. Pearson 和 H. O. Hartley，剑桥大学出版，剑桥，1966 年），已经过许可。

附录 L　F 分布的百分点

$F_{0.25,\nu_1,\nu_2}$

分母自由度(ν_2) \ 分子自由度(ν_1)	1	2	3	4	5	6	7	8	9	10	12	15	20	24	30	40	60	120	∞
1	5.83	7.50	8.20	8.58	8.82	8.98	9.10	9.19	9.26	9.32	9.41	9.49	9.58	9.63	9.67	9.71	9.76	9.80	9.85
2	2.57	3.00	3.15	3.23	3.28	3.31	3.34	3.35	3.37	3.38	3.39	3.41	3.43	3.43	3.44	3.45	3.46	3.47	3.48
3	2.02	2.28	2.36	2.39	2.41	2.42	2.43	2.44	2.44	2.44	2.45	2.46	2.46	2.46	2.47	2.47	2.47	2.47	2.47
4	1.81	2.00	2.05	2.06	2.07	2.08	2.08	2.08	2.08	2.08	2.08	2.08	2.08	2.08	2.08	2.08	2.08	2.08	2.08
5	1.69	1.85	1.88	1.89	1.89	1.89	1.89	1.89	1.89	1.89	1.89	1.89	1.88	1.88	1.88	1.88	1.87	1.87	1.87
6	1.62	1.76	1.78	1.79	1.79	1.78	1.78	1.78	1.77	1.77	1.77	1.76	1.76	1.75	1.75	1.75	1.74	1.74	1.74
7	1.57	1.70	1.72	1.72	1.71	1.71	1.70	1.70	1.70	1.69	1.68	1.68	1.67	1.67	1.66	1.66	1.65	1.65	1.65
8	1.54	1.66	1.67	1.66	1.66	1.65	1.64	1.64	1.63	1.63	1.62	1.62	1.61	1.60	1.60	1.59	1.59	1.58	1.58
9	1.51	1.62	1.63	1.63	1.62	1.61	1.60	1.60	1.59	1.59	1.58	1.57	1.56	1.56	1.55	1.54	1.54	1.53	1.53
10	1.49	1.60	1.60	1.59	1.59	1.58	1.57	1.56	1.56	1.55	1.54	1.53	1.52	1.52	1.51	1.51	1.50	1.49	1.48
11	1.47	1.58	1.58	1.57	1.56	1.55	1.54	1.53	1.53	1.52	1.51	1.50	1.49	1.49	1.48	1.47	1.47	1.46	1.45
12	1.46	1.56	1.56	1.55	1.54	1.53	1.52	1.51	1.51	1.50	1.49	1.48	1.47	1.46	1.45	1.45	1.44	1.43	1.42
13	1.45	1.55	1.55	1.53	1.52	1.51	1.50	1.49	1.49	1.48	1.47	1.46	1.45	1.44	1.43	1.42	1.42	1.41	1.40
14	1.44	1.53	1.53	1.52	1.51	1.50	1.49	1.48	1.47	1.46	1.45	1.44	1.43	1.42	1.41	1.41	1.40	1.39	1.38
15	1.43	1.52	1.52	1.51	1.49	1.48	1.47	1.46	1.46	1.45	1.44	1.43	1.41	1.41	1.40	1.39	1.38	1.37	1.36
16	1.42	1.51	1.51	1.50	1.48	1.47	1.46	1.45	1.44	1.44	1.43	1.41	1.40	1.39	1.38	1.37	1.36	1.35	1.34
17	1.42	1.51	1.50	1.49	1.47	1.46	1.45	1.44	1.43	1.43	1.41	1.40	1.39	1.38	1.37	1.36	1.35	1.34	1.33
18	1.41	1.50	1.49	1.48	1.46	1.45	1.44	1.43	1.42	1.42	1.40	1.39	1.38	1.37	1.36	1.35	1.34	1.33	1.32
19	1.41	1.49	1.49	1.47	1.46	1.44	1.43	1.42	1.41	1.41	1.40	1.38	1.37	1.36	1.35	1.34	1.33	1.32	1.30
20	1.40	1.49	1.48	1.47	1.45	1.44	1.43	1.42	1.41	1.40	1.39	1.37	1.36	1.35	1.34	1.33	1.32	1.31	1.29
21	1.40	1.48	1.48	1.46	1.44	1.43	1.42	1.41	1.40	1.39	1.38	1.37	1.35	1.34	1.33	1.32	1.31	1.30	1.28
22	1.40	1.48	1.47	1.45	1.44	1.42	1.41	1.40	1.39	1.39	1.37	1.36	1.34	1.33	1.32	1.31	1.30	1.29	1.28
23	1.39	1.47	1.47	1.45	1.43	1.42	1.41	1.40	1.39	1.38	1.37	1.35	1.34	1.33	1.32	1.31	1.30	1.28	1.27
24	1.39	1.47	1.46	1.44	1.43	1.41	1.40	1.39	1.38	1.38	1.36	1.35	1.33	1.32	1.31	1.30	1.29	1.28	1.26
25	1.39	1.47	1.46	1.44	1.42	1.41	1.40	1.39	1.38	1.37	1.36	1.34	1.33	1.32	1.31	1.29	1.28	1.27	1.25
26	1.38	1.46	1.45	1.44	1.42	1.41	1.39	1.38	1.37	1.37	1.35	1.34	1.32	1.31	1.30	1.29	1.28	1.26	1.25
27	1.38	1.46	1.45	1.43	1.42	1.40	1.39	1.38	1.37	1.36	1.35	1.33	1.32	1.31	1.30	1.28	1.27	1.26	1.24
28	1.38	1.46	1.45	1.43	1.41	1.40	1.39	1.38	1.37	1.36	1.34	1.33	1.31	1.30	1.29	1.28	1.27	1.25	1.24
29	1.38	1.45	1.45	1.43	1.41	1.40	1.38	1.37	1.36	1.35	1.34	1.32	1.31	1.30	1.29	1.27	1.26	1.25	1.23
30	1.38	1.45	1.44	1.42	1.41	1.39	1.38	1.37	1.36	1.35	1.34	1.32	1.30	1.29	1.28	1.27	1.26	1.24	1.23
40	1.36	1.44	1.42	1.40	1.39	1.37	1.36	1.35	1.34	1.33	1.31	1.30	1.28	1.26	1.25	1.24	1.22	1.21	1.19
60	1.35	1.42	1.41	1.38	1.37	1.35	1.33	1.32	1.31	1.30	1.29	1.27	1.25	1.24	1.22	1.21	1.19	1.17	1.15
120	1.34	1.40	1.39	1.37	1.35	1.33	1.31	1.30	1.29	1.28	1.26	1.24	1.22	1.21	1.19	1.18	1.16	1.13	1.10
∞	1.32	1.39	1.37	1.35	1.33	1.31	1.29	1.28	1.27	1.25	1.24	1.22	1.19	1.18	1.16	1.14	1.12	1.08	1.00

$F_{0.75,\nu_1,\nu_2} = 1/F_{0.25,\nu_2,\nu_1}$

来源：改编自 *Biometrika Tables for Statisticians*（第 1 卷，第 3 版，作者：E. S. Pearson 和 H. O. Hartley，剑桥大学出版，剑桥，1966 年），已经过许可。

$F_{0.10,v_1,v_2}$

v_2 \ v_1	1	2	3	4	5	6	7	8	9	10	12	15	20	24	30	40	60	120	∞
分母自由度(v_2) 1	39.86	49.50	53.59	55.83	57.24	58.20	58.91	59.44	59.86	60.19	60.71	61.22	61.74	62.00	62.26	62.53	62.79	63.06	63.33
2	8.53	9.00	9.16	9.24	9.29	9.33	9.35	9.37	9.38	9.39	9.41	9.42	9.44	9.45	9.46	9.47	9.47	9.48	9.49
3	5.54	5.46	5.39	5.34	5.31	5.28	5.27	5.25	5.24	5.23	5.22	5.20	5.18	5.18	5.17	5.16	5.15	5.14	5.13
4	4.54	4.32	4.19	4.11	4.05	4.01	3.98	3.95	3.94	3.92	3.90	3.87	3.84	3.83	3.82	3.80	3.79	3.78	3.76
5	4.06	3.78	3.62	3.52	3.45	3.40	3.37	3.34	3.32	3.30	3.27	3.24	3.21	3.19	3.17	3.16	3.14	3.12	3.10
6	3.78	3.46	3.29	3.18	3.11	3.05	3.01	2.98	2.96	2.94	2.90	2.87	2.84	2.82	2.80	2.78	2.76	2.74	2.72
7	3.59	3.26	3.07	2.96	2.88	2.83	2.78	2.75	2.72	2.70	2.67	2.63	2.59	2.58	2.56	2.54	2.51	2.49	2.47
8	3.46	3.11	2.92	2.81	2.73	2.67	2.62	2.59	2.56	2.54	2.50	2.46	2.42	2.40	2.38	2.36	2.34	2.32	2.29
9	3.36	3.01	2.81	2.69	2.61	2.55	2.51	2.47	2.44	2.42	2.38	2.34	2.30	2.28	2.25	2.23	2.21	2.18	2.16
10	3.29	2.92	2.73	2.61	2.52	2.46	2.41	2.38	2.35	2.32	2.28	2.24	2.20	2.18	2.16	2.13	2.11	2.08	2.06
11	3.23	2.86	2.66	2.54	2.45	2.39	2.34	2.30	2.27	2.25	2.21	2.17	2.12	2.10	2.08	2.05	2.03	2.00	1.97
12	3.18	2.81	2.61	2.48	2.39	2.33	2.28	2.24	2.21	2.19	2.15	2.10	2.06	2.04	2.01	1.99	1.96	1.93	1.90
13	3.14	2.76	2.56	2.43	2.35	2.28	2.23	2.20	2.16	2.14	2.10	2.05	2.01	1.98	1.96	1.93	1.90	1.88	1.85
14	3.10	2.73	2.52	2.39	2.31	2.24	2.19	2.15	2.12	2.10	2.05	2.01	1.96	1.94	1.91	1.89	1.86	1.83	1.80
15	3.07	2.70	2.49	2.36	2.27	2.21	2.16	2.12	2.09	2.06	2.02	1.97	1.92	1.90	1.87	1.85	1.82	1.79	1.76
16	3.05	2.67	2.46	2.33	2.24	2.18	2.13	2.09	2.06	2.03	1.99	1.94	1.89	1.86	1.84	1.81	1.78	1.75	1.72
17	3.03	2.64	2.44	2.31	2.22	2.15	2.10	2.06	2.03	2.00	1.96	1.91	1.86	1.84	1.81	1.78	1.75	1.72	1.69
18	3.01	2.62	2.42	2.29	2.20	2.13	2.08	2.04	2.00	1.98	1.93	1.89	1.84	1.81	1.78	1.75	1.72	1.69	1.66
19	2.99	2.61	2.40	2.27	2.18	2.11	2.06	2.02	1.98	1.96	1.91	1.86	1.81	1.79	1.76	1.73	1.70	1.67	1.63
20	2.97	2.59	2.38	2.25	2.16	2.09	2.04	2.00	1.96	1.94	1.89	1.84	1.79	1.77	1.74	1.71	1.68	1.64	1.61
21	2.96	2.57	2.36	2.23	2.14	2.08	2.02	1.98	1.95	1.92	1.87	1.83	1.78	1.75	1.72	1.69	1.66	1.62	1.59
22	2.95	2.56	2.35	2.22	2.13	2.06	2.01	1.97	1.93	1.90	1.86	1.81	1.76	1.73	1.70	1.67	1.64	1.60	1.57
23	2.94	2.55	2.34	2.21	2.11	2.05	1.99	1.95	1.92	1.89	1.84	1.80	1.74	1.72	1.69	1.66	1.62	1.59	1.55
24	2.93	2.54	2.33	2.19	2.10	2.04	1.98	1.94	1.91	1.88	1.83	1.78	1.73	1.70	1.67	1.64	1.61	1.57	1.53
25	2.92	2.53	2.32	2.18	2.09	2.02	1.97	1.93	1.89	1.87	1.82	1.77	1.72	1.69	1.66	1.63	1.59	1.56	1.52
26	2.91	2.52	2.31	2.17	2.08	2.01	1.96	1.92	1.88	1.86	1.81	1.76	1.71	1.68	1.65	1.61	1.58	1.54	1.50
27	2.90	2.51	2.30	2.17	2.07	2.00	1.95	1.91	1.87	1.85	1.80	1.75	1.70	1.67	1.64	1.60	1.57	1.53	1.49
28	2.89	2.50	2.29	2.16	2.06	2.00	1.94	1.90	1.87	1.84	1.79	1.74	1.69	1.66	1.63	1.59	1.56	1.52	1.48
29	2.89	2.50	2.28	2.15	2.06	1.99	1.93	1.89	1.86	1.83	1.78	1.73	1.68	1.65	1.62	1.58	1.55	1.51	1.47
30	2.88	2.49	2.28	2.14	2.03	1.98	1.93	1.88	1.85	1.82	1.77	1.72	1.67	1.64	1.61	1.57	1.54	1.50	1.46
40	2.84	2.44	2.23	2.09	2.00	1.93	1.87	1.83	1.79	1.76	1.71	1.66	1.61	1.57	1.54	1.51	1.47	1.42	1.38
60	2.79	2.39	2.18	2.04	1.95	1.87	1.82	1.77	1.74	1.71	1.66	1.60	1.54	1.51	1.48	1.44	1.40	1.35	1.29
120	2.75	2.35	2.13	1.99	1.90	1.82	1.77	1.72	1.68	1.65	1.60	1.55	1.48	1.45	1.41	1.37	1.32	1.26	1.19
∞	2.71	2.30	2.08	1.94	1.85	1.77	1.72	1.67	1.63	1.60	1.55	1.49	1.42	1.38	1.34	1.30	1.24	1.17	1.00

Column header: 分子自由度(v_1)

$F_{0.90,v_1,v_2}=1/F_{0.10,v_2,v_1}$

$F_{0.05,\nu_1,\nu_2}$

ν_2 \ ν_1 分子自由度(ν_1)	1	2	3	4	5	6	7	8	9	10	12	15	20	24	30	40	60	120	∞
1	161.4	199.5	215.7	224.6	230.2	234.0	236.8	238.9	240.5	241.9	243.9	245.9	248.0	249.1	250.1	251.1	252.2	253.3	254.3
2	18.51	19.00	19.16	19.25	19.30	19.33	19.35	19.37	19.38	19.40	19.41	19.43	19.45	19.45	19.46	19.47	19.48	19.49	19.50
3	10.13	9.55	9.28	9.12	9.01	8.94	8.89	8.85	8.81	8.79	8.74	8.70	8.66	8.64	8.62	8.59	8.57	8.55	8.53
4	7.71	6.94	6.59	6.39	6.26	6.16	6.09	6.04	6.00	5.96	5.91	5.86	5.80	5.77	5.75	5.72	5.69	5.66	5.63
5	6.61	5.79	5.41	5.19	5.05	4.95	4.88	4.82	4.77	4.74	4.68	4.62	4.56	4.53	4.50	4.46	4.43	4.40	4.36
6	5.99	5.14	4.76	4.53	4.39	4.28	4.21	4.15	4.10	4.06	4.00	3.94	3.87	3.84	3.81	3.77	3.74	3.70	3.67
7	5.59	4.74	4.35	4.12	3.97	3.87	3.79	3.73	3.68	3.64	3.57	3.51	3.44	3.41	3.38	3.34	3.30	3.27	3.23
8	5.32	4.46	4.07	3.84	3.69	3.58	3.50	3.44	3.39	3.35	3.28	3.22	3.15	3.12	3.08	3.04	3.01	2.97	2.93
9	5.12	4.26	3.86	3.63	3.48	3.37	3.29	3.23	3.18	3.14	3.07	3.01	2.94	2.90	2.86	2.83	2.79	2.75	2.71
10	4.96	4.10	3.71	3.48	3.33	3.22	3.14	3.07	3.02	2.98	2.91	2.85	2.77	2.74	2.70	2.66	2.62	2.58	2.54
11	4.84	3.98	3.59	3.36	3.20	3.09	3.01	2.95	2.90	2.85	2.79	2.72	2.65	2.61	2.57	2.53	2.49	2.45	2.40
12	4.75	3.89	3.49	3.26	3.11	3.00	2.91	2.85	2.80	2.75	2.69	2.62	2.54	2.51	2.47	2.43	2.38	2.34	2.30
13	4.67	3.81	3.41	3.18	3.03	2.92	2.83	2.77	2.71	2.67	2.60	2.53	2.46	2.42	2.38	2.34	2.30	2.25	2.21
14	4.60	3.74	3.34	3.11	2.96	2.85	2.76	2.70	2.65	2.60	2.53	2.46	2.39	2.35	2.31	2.27	2.22	2.18	2.13
15	4.54	3.68	3.29	3.06	2.90	2.79	2.71	2.64	2.59	2.54	2.48	2.40	2.33	2.29	2.25	2.20	2.16	2.11	2.07
16	4.49	3.63	3.24	3.01	2.85	2.74	2.66	2.59	2.54	2.49	2.42	2.35	2.28	2.24	2.19	2.15	2.11	2.06	2.01
17	4.45	3.59	3.20	2.96	2.81	2.79	2.61	2.55	2.49	2.45	2.38	2.31	2.23	2.19	2.15	2.10	2.06	2.01	1.96
18	4.41	3.55	3.16	2.93	2.77	2.66	2.58	2.51	2.46	2.41	2.34	2.27	2.19	2.15	2.11	2.06	2.02	1.97	1.92
19	4.38	3.52	3.13	2.90	2.74	2.63	2.54	2.48	2.42	2.38	2.31	2.23	2.16	2.11	2.07	2.03	1.98	1.93	1.88
20	4.35	3.49	3.10	2.87	2.71	2.60	2.51	2.45	2.39	2.35	2.28	2.20	2.12	2.08	2.04	1.99	1.95	1.90	1.84
21	4.32	3.47	3.07	2.84	2.68	2.57	2.49	2.42	2.37	2.32	2.25	2.18	2.10	2.05	2.01	1.96	1.92	1.87	1.81
22	4.30	3.44	3.05	2.82	2.66	2.55	2.46	2.40	2.34	2.30	2.23	2.15	2.07	2.03	1.98	1.94	1.89	1.84	1.78
23	4.28	3.42	3.03	2.80	2.64	2.53	2.44	2.37	2.32	2.27	2.20	2.13	2.05	2.01	1.96	1.91	1.86	1.81	1.76
24	4.26	3.40	3.01	2.78	2.62	2.51	2.42	2.36	2.30	2.25	2.18	2.11	2.03	1.98	1.94	1.89	1.84	1.79	1.73
25	4.24	3.39	2.99	2.76	2.60	2.49	2.40	2.34	2.28	2.24	2.16	2.09	2.01	1.96	1.92	1.87	1.82	1.77	1.71
26	4.23	3.37	2.98	2.74	2.59	2.47	2.39	2.32	2.27	2.22	2.15	2.07	1.99	1.95	1.90	1.85	1.80	1.75	1.69
27	4.21	3.35	2.96	2.73	2.57	2.46	2.37	2.31	2.25	2.20	2.13	2.06	1.97	1.93	1.88	1.84	1.79	1.73	1.67
28	4.20	3.34	2.95	2.71	2.56	2.45	2.36	2.29	2.24	2.19	2.12	2.04	1.96	1.91	1.87	1.82	1.77	1.71	1.65
29	4.18	3.33	2.93	2.70	2.55	2.43	2.35	2.28	2.22	2.18	2.10	2.03	1.94	1.90	1.85	1.81	1.75	1.70	1.64
30	4.17	3.32	2.92	2.69	2.53	2.42	2.33	2.27	2.21	2.16	2.09	2.01	1.93	1.89	1.84	1.79	1.74	1.68	1.62
40	4.08	3.23	2.84	2.61	2.45	2.34	2.25	2.18	2.12	2.08	2.00	1.92	1.84	1.79	1.74	1.69	1.64	1.58	1.51
60	4.00	3.15	2.76	2.53	2.37	2.25	2.17	2.10	2.04	1.99	1.92	1.84	1.75	1.70	1.65	1.59	1.53	1.47	1.39
120	3.92	3.07	2.68	2.45	2.29	2.17	2.09	2.02	1.96	1.91	1.83	1.75	1.66	1.61	1.55	1.55	1.43	1.35	1.25
∞	3.84	3.00	2.60	2.37	2.21	2.10	2.01	1.94	1.88	1.83	1.75	1.67	1.57	1.52	1.46	1.39	1.32	1.22	1.00

(Row label: 分母自由度(ν_2))

$F_{0.95,\nu_1,\nu_2}=1/F_{0.05,\nu_2,\nu_1}$

$F_{0.025,v_1,v_2}$

v_2 \ v_1 分子自由度(v_1)	1	2	3	4	5	6	7	8	9	10	12	15	20	24	30	40	60	120	∞
1	647.8	799.5	864.2	899.6	921.8	937.1	948.2	956.7	963.3	968.6	976.7	984.9	993.1	997.2	1001.0	1006.0	1010.0	1014.0	1018.0
2	38.51	39.00	39.17	39.25	39.30	39.33	39.36	39.37	39.39	39.40	39.41	39.43	39.45	39,46	39.46	39.47	39.48	39.49	39.50
3	17.44	16.94	15.44	15.10	14.88	14.73	14.62	14.54	14.47	14.42	14.34	14.25	14.17	14.12	14.08	14.04	13.99	13.95	13.90
4	12.22	10.65	9.98	9.60	9.36	9.20	9.07	8.98	8.90	8.84	8.75	8.66	8.56	8.51	8.46	8.41	8.36	8.31	8.26
5	10.01	8.43	7.76	7.39	7.15	6.98	6.85	6.76	6.68	6.62	6.52	6,43	6.33	6.28	6.23	6.18	6.12	6.07	6.02
6	8.81	7.26	6.60	6.23	5.99	5.82	5.70	5.60	5.52	5.46	5.37	5.27	5.17	5.12	5.07	5.01	4.96	4.90	4.85
7	8.07	6.54	5.89	5.52	5.29	5.12	4.99	4.90	4.82	4.76	4.67	4.57	4.47	4.42	4.36	4.31	4.25	4,20	4.14
8	7.57	6.06	5.42	5.05	4.82	4.65	4.53	4.43	4.36	4.30	4.20	4.10	4.00	3.95	3.89	3.84	3.78	3.73	3.67
9	7.21	5.71	5.08	4.72	4.48	4.32	4.20	4.10	4.03	3.96	3.87	3.77	3.67	3.61	3.56	3.51	3.45	3.39	3.33
10	6.94	5.46	4.83	4.47	4.24	4.07	3.95	3.85	3.78	3.72	3.62	3.52	3.42	3.37	3.31	3.26	3.20	3.14	3.08
11	6.72	5.26	4.63	4.28	4.04	3.88	3.76	3.66	3.59	3.53	3.43	3.33	3.23	3.17	3.12	3.06	3.00	2.94	2.88
12	6.55	5.10	4.47	4.12	3.89	3.73	3.61	3.51	3.44	3.37	3.28	3.18	3.07	3.02	2.96	2.91	2.85	2.79	2.72
13	6.41	4.97	4.35	4.00	3.77	3.60	3.48	3.39	3.31	3.25	3.15	3.05	2.95	2.89	2.84	2.78	2.72	2.66	2.60
14	6.30	4.86	4.24	3.89	3.66	3.50	3.38	3.29	3.21	3.15	3.05	2.95	2.84	2.79	2.73	2.67	2.61	2.55	2.49
15	6.20	4.77	4.15	3.80	3.58	3.41	3.29	3.20	3.12	3.06	2.96	2.86	2.76	2.70	2.64	2.59	2.52	2.46	2.40
16	6.12	4.69	4.08	3.73	3.50	3.34	3.22	3.12	3.05	2.99	2.89	2.79	2.68	2.63	2.57	2.51	2.45	2.38	2.32
17	6.04	4.62	4.01	3.66	3.44	3.28	3.16	3.06	2.98	2.92	2.82	2.72	2.62	2.56	2.50	2.44	2.38	2.32	2.25
18	5.98	4.56	3.95	3.61	3.38	3.22	3.10	3.01	2.93	2.87	2.77	2.67	2.56	2.50	2.44	2.38	2.32	2.26	2.19
19	5.92	4.51	3.90	3.56	3.33	3.17	3.05	2.96	2.88	2.82	2.72	2.62	2.51	2.45	2.39	2.33	2.27	2.20	2.13
20	5.87	4.46	3.86	3.51	3.29	3.13	3.01	2.91	2.84	2.77	2.68	2.57	2.46	2.41	2.35	2.29	2.22	2.16	2.09
21	5.83	4.42	3.82	3.48	3.25	3.09	2.97	2.87	2.80	2.73	2.64	2.53	2.42	2.37	2.31	2.25	2.18	2.11	2.04
22	5.79	4.38	3.78	3.44	3.22	3.05	2.93	2.84	2.76	2.70	2.60	2.50	2.39	2.33	2.27	2.21	2.14	2.08	2.00
23	5.75	4.35	3.75	3.41	3.18	3.02	2.90	2.81	2.73	2.67	2.57	2.47	2.36	2.30	2.24	2.18	2.11	2.04	1.97
24	5.72	4.32	3.72	3.38	3.15	2.99	2.87	2.78	2.70	2.64	2.54	2.44	2.33	2.27	2.21	2.15	2.08	2.01	1.94
25	5.69	4.29	3.69	3.35	3.13	2.97	2.85	2.75	2.68	2.61	2.51	2.41	2.30	2.24	2.18	2.12	2.05	1.98	1.91
26	5.66	4.27	3.67	3.33	3.10	2.94	2.82	2.73	2.65	2.59	2.49	2.39	2.28	2.22	2.16	2.09	2.03	1.95	1.88
27	5.63	4.24	3.65	3.31	3.08	2.92	2.80	2.71	2.63	2.57	2.47	2.36	2.25	2.19	2.13	2.07	2.00	1.93	1.85
28	5.61	4.22	3.63	3.29	3.06	2.90	2.78	2.69	2.61	2.55	2.45	2.34	2.23	2.17	2.11	2.05	1.98	1.91	1.83
29	5.59	4.20	3.61	3.27	3.04	2.88	2.76	2.67	2.59	2.53	2.43	2.32	2.21	2.15	2.09	2.03	1.96	1.89	1.81
30	5.57	4.18	3.59	3.25	3.03	2.87	2.75	2.65	2.57	2.51	2.41	2.31	2.20	2.14	2.07	2.01	1.94	1.87	1.79
40	5.42	4.05	3.46	3.13	2.90	2.74	2.62	2.53	2.45	2.39	2.29	2.18	2.07	2.01	1.94	1.88	1.80	1.72	1.64
60	5.29	3.93	3.34	3.01	2.79	2.63	2.51	2.41	2.33	2.27	2.17	2.06	1.94	1.88	1.82	1.74	1.67	1.58	1.48
120	5.15	3.80	3.23	2.89	2.67	2.52	2.39	2.30	2.22	2.16	2.05	1.94	1.82	1.76	1.69	1.61	1.53	1.43	1.31
∞	5.02	3.69	3.12	2.79	2.57	2.41	2.29	2.19	2.11	2.05	1.94	1.83	1.71	1.64	1.57	1.48	1.39	1.27	1.00

分母自由度(v_2)

$F_{0.975,v_1,v_2}=1/F_{0.025,v_1,v_2}$

$F_{0.01,v_1,v_2}$

v_2 \ v_1 分子自由度(v_1)	1	2	3	4	5	6	7	8	9	10	12	15	20	24	30	40	60	120	∞
1	4052.0	4999.5	5403.0	5625.0	5764.0	5859.0	5928.0	5982.0	6022.0	6056.0	6106.0	6157.0	6209.0	6235.0	6261.0	6287.0	6313.0	6339.0	6366.0
2	98.50	99.00	99.17	99.25	99.30	99.33	99.36	99.37	99.39	99.40	99.42	99.43	99.45	99.46	99.47	99.47	99.48	99.49	99.50
3	34.12	30.82	29.46	28.71	28.24	27.91	27.67	27.49	27.35	27.23	27.05	26.87	26.69	26.00	26.50	26.41	26.32	26.22	26.13
4	21.20	18.00	16.69	15.98	15.52	15.21	14.98	14.80	14.66	14.55	14.37	14.20	14.02	13.93	13.84	13.75	13.65	13.56	13.46
5	16.26	13.27	12.06	11.39	10.97	10.67	10.46	10.29	10.16	10.05	9.89	9.72	9.55	9.47	9.38	9.29	9.20	9.11	9.02
6	13.75	10.92	9.78	9.15	8.75	8.47	8.26	8.10	7.98	7.87	7.72	7.56	7.40	7.31	7.23	7.14	7.06	6.97	6.88
7	12.25	9.55	8.45	7.85	7.46	7.19	6.99	6.84	6.72	6.62	6.47	6.31	6.16	6.07	5.99	5.91	5.82	5.74	5.65
8	11.26	8.65	7.59	7.01	6.63	6.37	6.18	6.03	5.91	5.81	5.67	5.52	5.36	5.28	5.20	5.12	5.03	4.95	4.86
9	10.56	8.02	6.99	6.42	6.06	5.80	5.61	5.47	5.35	5.26	5.11	4.96	4.81	4.73	4.65	4.57	4.48	4.40	4.31
10	10.04	7.56	6.55	5.99	5.64	5.39	5.20	5.06	4.94	4.85	4.71	4.56	4.41	4.33	4.25	4.17	4.08	4.00	3.91
11	9.65	7.21	6.22	5.67	5.32	5.07	4.89	4.74	4.63	4.54	4.40	4.25	4.10	4.02	3.94	3.86	3.78	3.69	3.60
12	9.33	6.93	5.95	5.41	5.06	4.82	4.64	4.50	4.39	4.30	4.16	4.01	3.86	3.78	3.70	3.62	3.54	3.45	3.36
13	9.07	6.70	5.74	5.21	4.86	4.62	4.44	4.30	4.19	4.10	3.96	3.82	3.66	3.59	3.51	3.43	3.34	3.25	3.17
14	8.86	6.51	5.56	5.04	4.69	4.46	4.28	4.14	4.03	3.94	3.80	3.66	3.51	3.43	3.35	3.27	3.18	3.09	3.00
15	8.68	6.36	5.42	4.89	4.36	4.32	4.14	4.00	3.89	3.80	3.67	3.52	3.37	3.29	3.21	3.13	3.05	2.96	2.87
16	8.53	6.23	5.29	4.77	4.44	4.20	4.03	3.89	3.78	3.69	3.55	3.41	3.26	3.18	3.10	3.02	2.93	2.84	2.75
17	8.40	6.11	5.18	4.67	4.34	4.10	3.93	3.79	3.68	3.59	3.46	3.31	3.16	3.08	3.00	2.92	2.83	2.75	2.65
18	8.29	6.01	5.09	4.58	4.25	4.01	3.84	3.71	3.60	3.51	3.37	3.23	3.08	3.00	2.92	2.84	2.75	2.66	2.57
19	8.18	5.93	5.01	4.50	4.17	3.94	3.77	3.63	3.52	3.43	3.30	3.15	3.00	2.92	2.84	2.76	2.67	2.58	2.59
20	8.10	5.85	4.94	4.43	4.10	3.87	3.70	3.56	3.46	3.37	3.23	3.09	2.94	2.86	2.78	2.69	2.61	2.52	2.42
21	8.02	5.78	4.87	4.37	4.04	3.81	3.64	3.51	3.40	3.31	3.17	3.03	2.88	2.80	2.72	2.64	2.55	2.46	2.36
22	7.95	5.72	4.82	4.31	3.99	3.76	3.59	3.45	3.35	3.26	3.12	2.98	2.83	2.75	2.67	2.58	2.50	2.40	2.31
23	7.88	5.66	4.76	4.26	3.94	3.71	3.54	3.41	3.30	3.21	3.07	2.93	2.78	2.70	2.62	2.54	2.45	2.35	2.26
24	7.82	5.61	4.72	4.22	3.90	3.67	3.50	3.36	3.26	3.17	3.03	2.89	2.74	2.66	2.58	2.49	2.40	2.31	2.21
25	7.77	5.57	4.68	4.18	3.85	3.63	3.46	3.32	3.22	3.13	2.99	2.85	2.70	2.62	2.54	2.45	2.36	2.27	2.17
26	7.72	5.53	4.64	4.14	3.82	3.59	3.42	3.29	3.18	3.09	2.96	2.81	2.66	2.58	2.50	2.42	2.33	2.23	2.13
27	7.68	5.49	4.60	4.11	3.78	3.56	3.39	3.26	3.15	3.06	2.93	2.78	2.63	2.55	2.47	2.38	2.29	2.20	2.10
28	7.64	5.45	4.57	4.07	3.75	3.53	3.36	3.23	3.12	3.03	2.90	2.75	2.60	2.52	2.44	2.35	2.26	2.17	2.06
29	7.60	5.42	4.54	4.04	3.73	3.50	3.33	3.20	3.09	3.00	2.87	2.73	2.57	2.49	2.41	2.33	2.23	2.14	2.03
30	7.56	5.39	4.51	4.02	3.70	3.47	3.30	3.17	3.07	2.98	2.84	2.70	2.55	2.47	2.39	2.30	2.21	2.11	2.01
40	7.31	5.18	4.31	3.83	3.51	3.29	3.12	2.99	2.89	2.80	2.66	2.52	2.37	2.29	2.20	2.11	2.02	1.92	1.80
60	7.08	4.98	4.13	3.65	3.34	3.12	2.95	2.82	2.72	2.63	2.50	2.35	2.20	2.12	2.03	1.94	1.84	1.73	1.60
120	6.85	4.79	3.95	3.48	3.17	2.96	2.79	2.66	2.56	2.47	2.34	2.19	2.03	1.95	1.86	1.76	1.66	1.53	1.38
∞	6.63	4.61	3.78	3.32	3.02	2.80	2.64	2.51	2.41	2.32	2.18	2.04	1.88	1.79	1.70	1.59	1.47	1.32	1.00

分母自由度(v_2)

$F_{0.99,v_1,v_2}=1/F_{0.01,v_1,v_2}$

索　　引

索引中的页码为英文原书页码，与本书中页边标注的页码一致。

A

B

C

D

E

H

I

J

K

L

M

N

S

T

U

V

W

X

Y

Z

Fundamentals of Semiconductor Fabrication

半导体制造基础

本书是两位世界级权威合著的经典著作，按照典型制造工序详细介绍了半导体制造技术，包括硅氧化、光刻、刻蚀、扩散、离子注入以及各种薄膜淀积方法等，涵盖了半导体制造步骤的理论与实践，反映了亚微米、深亚微米硅基器件制备中使用成熟的工艺和设备。

本书所有内容的讲解都结合了计算机仿真和模拟工具，可以为读者的实际工作打下良好基础。书中配有大量例题，并在各章结尾给出了习题，便于读者巩固所学内容。

本书适合作为高等院校微电子专业高年级本科生和研究生教材，亦可作为微电子行业工程技术人员的参考书。

Gary S. May 是半导体制造领域的世界级专家，IEEE会士，现任佐治亚理工学院电子和计算机工程学院院长、教授。May于1991年获得加州大学伯克利分校博士学位，此后任职于贝尔实验室和麦道公司。曾担任半导体领域权威期刊*IEEE Transactions of Semiconductor Manufacturing*主编。



施敏 (Simon M. Sze) 是微电子学与半导体领域的世界级权威，中国工程院外籍院士，IEEE终身会士，美国工程院院士。由于在电子元件领域做出的基础性及前瞻性贡献，他于1991年获得该领域的最高荣誉IEEE Ebers奖，并曾获得三次诺贝尔奖提名。除本书外，他的*Physics of Semiconductor Devices*等著作也蜚声全球，成为微电子学领域的教科书和权威参考书。



代永平博士是南开大学信息学院副教授。从事IC工艺和版图设计近20年，研制出国内首枚LCoS芯片。所取得的相关硅基显示技术成果获天津市科学进步二等奖；在平板显示领域发表科研论文20余篇，获得相关技术专利8项。





www.wiley.com

本书相关信息请访问：图灵网站 http://www.turingbook.com
读者/作者热线：(010) 88593802
反馈/投稿/推荐信箱：contact@turingbook.com

分类建议 电子电气/微电子

人民邮电出版社网址 www.ptpress.com.cn



ISBN 978-7-115-16639-5/TN
定价：45.00 元